

BUNDESPATENTGERICHT

17 W (pat) 65/00

(Aktenzeichen)

Verkündet am
13. Dezember 2001

...

BESCHLUSS

In der Beschwerdesache

betreffend die Patentanmeldung 199 35 788.9-53

...

hat der 17. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 13. Dezember 2001 unter Mitwirkung des Vorsitzenden Richters Dipl.-Phys. Grimm, der Richter Dipl.-Ing. Bertl und Dipl.-Ing. Prasch sowie der Richterin Püschel

beschlossen:

Die Beschwerde wird zurückgewiesen.

G r ü n d e

I.

Die Patentanmeldung mit der Bezeichnung

"Bussystemhierarchie für System on Chip Anwendungen"

wurde von der Prüfungsstelle für Klasse G 06 F des Deutschen Patent- und Markenamts mit Beschluß vom 14. September 2000 aus den im Bescheid vom 10. Februar 2000 genannten Gründen zurückgewiesen. In den Gründen ist ausgeführt, daß der Gegenstand des Patentanspruchs 1 nicht auf einer erfinderischen Tätigkeit beruhe.

Gegen diesen Beschluß richtet sich die Beschwerde der Anmelderin.

Der geltende Patentanspruch 1 nach Hauptantrag lautet:

"Anordnung zur optimierten Verbindung von Komponenten einer System-on-Chip Anordnung, bei der als Komponenten eine beliebige Auswahl von Prozessoren (P-B, FBC), Speichern (OCM-B, SRAM-B, DRAM-B, Flash-B), Feld-programmierbarer Gatter-Anordnungen (FPGA), Verbindungslogik (GL-B) auf einem Halbleitersubstrat angeordnet sind,
dadurch gekennzeichnet, dass

- eine Mehrzahl von Bussen (B) mit unterschiedlicher Taktfrequenz angeordnet sind,
- die Komponenten nach Maßgabe der Taktfrequenz beim Datenaustausch mit anderen Komponenten wenigstens an einem Bus (B) angeschlossen sind,

- jeweils zwei benachbarte Busse (B) über ein Kopplungselement (BR1, ..., BR4) miteinander verbunden sind."

In der mündlichen Verhandlung wurde ein Patentanspruch 1 nach Hilfsantrag überreicht, bei dem die Merkmale des Patentanspruchs 6 an den Patentanspruch 1, jeweils nach Hauptantrag, angefügt sind, nämlich:

- "- fünf verschiedene Busse (B) mit unterschiedlichen Taktfrequenzen gegeben sind, und
- bei einer Nummerierung der Busse (B) nach fallender Taktfrequenz wenigstens eine Komponente des folgenden Komponententyps an den entsprechenden Bus angeschlossen ist:
 - Bus 1: Prozessor (P-B), Speicher (OCM-B)
 - Bus 2: Feld-programmierbarer Gatter-Anordnungen (FPGA), Komponente der Verbindungslogik (GL-B), Speicher (SRAM-B), Prozessor (P-B)
 - Bus 3: Speicher (DRAM-B)
 - Bus 4: Speicher (Flash-B)
 - Bus 5: Feldbuscontroller (FBC)."

Ziel der Anmeldung ist es, die Verlustleistung des Chips bei möglichst geringer Komplexität von Anordnung und Verbindung der Komponenten auf dem Chip zu minimieren (vgl Schriftsatz vom 14. November 2001, Blatt 3, Absatz 4).

Die Anmelderin wies darauf hin, daß bei der Optimierung von System-on-Chip Anordnungen zwei Parameter zu berücksichtigen seien, zum einen eine möglichst dichte Anordnung der Komponenten und zum anderen die Begrenzung der Verlustleistung. Eine Verminderung der Verlustleistung wäre möglich, wenn jeweils zwei Komponenten entsprechend ihrer Taktfrequenz direkt miteinander verbunden würden, dies würde aber zu einer erhöhten Komplexität führen. Als Kompromiß seien bei der vorliegenden Anmeldung jeweils mehrere Komponenten mit im we-

sentlichen gleicher Frequenz an einen entsprechenden Bus gruppiert angeschlossen.

Die Anmeldung sei auf eine System-on-Chip Anordnung gerichtet, bei diesen Anordnungen wäre es naheliegend, alle Komponenten über einen Bus zu verbinden. Es dürften die Leitungen nicht zu nahe aneinander geführt werden, da es zu Interferenzen kommen könnte. Auch der Stand der Technik DE 692 23 304 T2 gebe dem Fachmann keine Anregung auf den Anmeldungsgegenstand.

Der Patentanspruch 1 nach Hilfsantrag zeige eine Anordnung mit der die Verlustleistung auf ein Minimum reduziert werde. Es werde auch die Zuordnung der Taktraten und der Komponenten zu den Bussen gelehrt.

Die Anmelderin stellt den Antrag,

den angefochtenen Beschluß aufzuheben und das nachgesuchte Patent mit folgenden Unterlagen zu erteilen:

Patentansprüche 1 bis 8, eingegangen am 14. November 2001, ursprünglich eingereichte Beschreibung Seiten 1 bis 6, sowie ursprünglich eingereichte 2 Blatt Zeichnungen mit Figuren 1 und 2, hilfsweise mit den in der mündlichen Verhandlung überreichten Patentansprüchen 1 bis 7, übrige Unterlagen wie Hauptantrag.

II

Die frist- und formgerecht erhobene Beschwerde ist zulässig. Sie hat jedoch keinen Erfolg. Der Gegenstand des Patentanspruchs 1 ist nicht patentfähig, da er nicht wie in § 4 PatG gefordert wird, auf einer erfinderischen Tätigkeit beruht.

Die Anmeldung betrifft eine Mikrocomputerschaltung, bei der mehrere Prozessoren, Speicher und andere Komponenten auf einem Chip angeordnet sind. Die ein-

zelenen Komponenten sind über mehrere Busse verbunden. Diese Busse sind verschieden konfiguriert (Breite, Frequenz) um Energie einzusparen und über Koppungseinrichtungen verbunden.

In der mündlichen Verhandlung wurde die Druckschrift

DE 692 23 304 T2

aufgegriffen.

Hauptantrag:

Aus dieser Druckschrift ist eine Anordnung bekannt, bei der als Komponenten eine beliebige Auswahl von Elementen einer Rechnerschaltung an einer Mehrzahl von Bussen angeordnet sind. Jeweils zwei Busse sind über eine Kopplungseinrichtung (Bus-zu-Bus-Schnittstelle) miteinander verbunden.

Der Fachmann, der stets bestrebt ist, die Verlustleistung bei einer Rechnerschaltung gering zu halten, wird sich bei einer Schaltung, die mehrere Busse aufweist, bei jedem Bus Gedanken machen, wie dieser auszulegen ist, d.h. auch mit welcher Taktfrequenz er betrieben werden soll. Wenn die anzuschließenden Komponenten mit unterschiedlichen Datenübertragungsgeschwindigkeiten arbeiten bzw auskommen, liegt es für ihn auf der Hand, die Busse nur so schnell zu takten wie notwendig und die einzelnen Komponenten entsprechend ihren Anforderungen zu verteilen. Daß die einzelnen Busse dabei mit unterschiedlichen Taktfrequenzen betrieben werden, versteht sich von selbst.

Ebenso liegt es für den Fachmann auf der Hand, allgemein bekannte Schaltungskonzepte, hier ein System mit mehreren Bussen, die über Kopplungselemente miteinander verbunden sind, auf Schaltungen zu übertragen, die auf einem Chip realisiert sind.

Nach allem bedarf es keiner erfinderischen Tätigkeit, ausgehend von der bekannten Anordnung, die Busse mit verschiedenen Taktfrequenzen zu betreiben, übliche Elemente einer Rechnerschaltung entsprechend ihren Anforderungen daran anzuschließen und die Schaltung zu miniaturisieren.

Der Patentanspruch 1 nach Hauptantrag ist deshalb nicht gewährbar. Mit ihm fallen auch die auf ihn rückbezogenen Patentansprüche 2 bis 8.

Hilfsantrag:

Die Anordnung nach dem Patentanspruch 1 nach Hilfsantrag beruht ebenfalls nicht auf einer erfinderischen Tätigkeit.

Dieser Patentanspruch enthält zusätzlich die Merkmale, wie die Nummerierung der Busse nach der Taktfrequenz und die Zuordnung der Komponenten zu den Bussen. Die Nummerierung der Busse ist eine Maßnahme, die in diesem Fall völlig willkürlich erfolgen kann und keinen Einfluß auf die technische Lehre hat. Die Zuordnung der einzelnen Komponenten liegt im Rahmen des Wissens und Könnens des Durchschnitts-Fachmanns, denn er wird diese selbstverständlich entsprechend der notwendigen Taktfrequenz vornehmen.

Somit ist der Patentanspruch 1 nach Hilfsantrag, unter Berücksichtigung der Ausführungen zum Hauptantrag, ebenfalls nicht gewährbar. Mit ihm fallen auch die auf ihn rückbezogenen Patentansprüche 2 bis 7.

Grimm

Bertl

Prasch

Püschel

Bb