



BUNDESPATENTGERICHT

17 W (pat) 109/04

(Aktenzeichen)

Verkündet am
20. November 2007

...

BESCHLUSS

In der Beschwerdesache

betreffend die Patentanmeldung 102 36 011.1-53

...

hat der 17. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 20. November 2007 unter Mitwirkung des Vorsitzenden Richters Dipl.-Phys. Dr. Fritsch, des Richters Dipl.-Ing. Prasch sowie der Richterin Eder und des Richters Dipl.-Ing. Baumgardt

beschlossen:

BPatG 154

08.05

Die Beschwerde wird zurückgewiesen.

Gründe

I.

Die vorliegende Patentanmeldung, welche die Priorität einer Anmeldung in Japan vom 15. November 2001 in Anspruch nimmt, ist am 6. August 2002 beim Deutschen Patent- und Markenamt eingereicht worden unter der Bezeichnung:

„Mikrocomputer“.

Sie wurde durch Beschluss der Prüfungsstelle für Klasse G 06 F des Deutschen Patent- und Markenamts in der Anhörung vom 21. September 2004 mit der Begründung zurückgewiesen, der Gegenstand des Patentanspruchs 1 nach Haupt- und nach Hilfsantrag beruhe nicht auf erfinderischer Tätigkeit.

Gegen diesen Beschluss ist die Beschwerde der Anmelderin gerichtet. Sie hat in einem Schriftsatz, eingeg. am 10. Oktober 2007, der Argumentation der Prüfungsstelle ausführlich widersprochen und dargelegt, dass aus ihrer Sicht der beanspruchte Gegenstand nach Haupt- wie nach Hilfsantrag auf erfinderischer Tätigkeit beruhe und alle Merkmale enthalte, die zur Lösung der gestellten Aufgabe beitragen. In der mündlichen Verhandlung hat sie ihre Argumente erläutert. Sie stellt den Antrag,

den angefochtenen Beschluss aufzuheben und das nachgesuchte Patent mit folgenden Unterlagen zu erteilen:

gemäß Hauptantrag mit Patentanspruch 1 vom 18. Mai 2004, Patentansprüchen 2 - 15 sowie 36 Seiten noch anzupassender Beschreibung und 17 Blatt Zeichnungen mit 17 Figuren jeweils vom Anmeldetag,

gemäß Hilfsantrag mit Patentanspruch 1 vom 21. September 2004, im Übrigen wie Hauptantrag.

Der Patentanspruch 1 nach Hauptantrag, hier zusätzlich mit der Gliederung gemäß dem Zurückweisungsbeschluss des Deutschen Patent- und Markenamts versehen, lautet:

- „ 1. Mikrocomputer mit:
- a) einer CPU (1) zur Ausführung einer bestimmten Anweisung;
 - b) einem in eine Vielzahl von Blöcken aufgeteilten Flash-Speicher-Abschnitt (2; 2A; 2B); und
 - c) einer Flash-Speicher-Steuerungsschaltung (3; 3A; 3B; 3C) zur Steuerung einer Neuschreiboperation für den Flash-Speicher-Abschnitt,
 - d) wobei die CPU dazu in der Lage ist, ein in zumindest einen Block der Vielzahl von Blöcken geschriebenes vorbestimmtes Programm auszuführen,
 - e) wobei das vorbestimmte Programm ein Programm zum Neuschreiben eines anderen Blocks als des zumindest einen Blocks der Vielzahl von Blöcken in dem Flash-Speicher-Abschnitt ist
 - f) und der Flash-Speicher-Abschnitt eine Neuschreiboperation bei dem anderen Block als dem zumindest einen Block der Vielzahl von Blöcken auf der Grundlage eines Neuschreibebefehls ausführt und ein Bereitstatussignal (RYIBY) ausgibt, das es angibt, ob die Neuschreiboperation ausgeführt wird oder nicht;

- g) und die Flash-Speicher-Steuerungsschaltung das Bereitstausignal empfängt, wodurch die Flash-Speicher-Steuerungsschaltung dann, wenn es das Bereitstausignal angibt, dass die Neuschreiboperation auszuführen ist, ein Haltesignal (HOLD) für die CPU bereitstellt, das es angibt, dass ein für die CPU zum Zugriff auf den Flash-Speicher-Abschnitt erforderliches vorbestimmtes Signal konstant festgelegt werden soll,
- h) wobei das vorbestimmte Signal ein Adresssignal, ein Datensignal und ein Steuerungssignal der Flash-Speicher-Steuerungsschaltung umfasst.“

Der Patentanspruch 1 nach Hilfsantrag, soweit möglich mit übereinstimmender Gliederung versehen (Textunterschiede kursiv dargestellt), lautet:

- „1. Mikrocomputer mit:
 - a*) einer CPU (1) zur Ausführung einer bestimmten Anweisung *entsprechend einem Taktsignal (CLK)*;
 - b) einem in eine Vielzahl von Blöcken aufgeteilten Flash-Speicher-Abschnitt (2; 2A; 2B); und
 - c) einer Flash-Speicher-Steuerungsschaltung (3; 3A; 3B; 3C) zur Steuerung einer Neuschreiboperation für den Flash-Speicher-Abschnitt,
 - d) wobei die CPU dazu in der Lage ist, ein in zumindest einen Block der Vielzahl von Blöcken geschriebenes vorbestimmtes Programm auszuführen,

- e) wobei das vorbestimmte Programm ein Programm zum Neuschreiben eines anderen Blocks als des zumindest einen Blocks der Vielzahl von Blöcken in dem Flash-Speicher-Abschnitt ist
- f) und der Flash-Speicher-Abschnitt eine Neuschreiboperation bei dem anderen Block als dem zumindest einen Block der Vielzahl von Blöcken auf der Grundlage eines Neuschreibebefehls ausführt und ein Bereitstatussignal (RYIBY) ausgibt, das es angibt, ob die Neuschreiboperation ausgeführt wird oder nicht;
- g) und die Flash-Speicher-Steuerungsschaltung das Bereitstatussignal empfängt, wodurch die Flash-Speicher-Steuerungsschaltung dann, wenn es das Bereitstatussignal angibt, dass die Neuschreiboperation auszuführen ist, ein Haltesignal (HOLD) für die CPU bereitstellt, das es angibt, dass ein für die CPU zum Zugriff auf den Flash-Speicher-Abschnitt erforderliches vorbestimmtes Signal konstant festgelegt werden soll,
- h) wobei das vorbestimmte Signal ein Adresssignal, ein Datensignal und ein Steuerungssignal der Flash-Speicher-Steuerungsschaltung umfasst
- i) *und das Taktsignal (CLK) kontinuierlich anliegt.“*

Wegen der Unteransprüche 2 – 15 wird auf die Akte verwiesen.

Der Anmeldung soll die **Aufgabe** zugrunde liegen, einen Mikrocomputer mit einem eingebauten Flash-Speicher zu erhalten, der den Flash-Speicher mit einem in dem Flash-Speicher platziert gehaltenen Neuschreibprogramm richtig neu schreiben

kann und keine zusätzlichen komplizierten Steuerungsschaltungen erfordert (siehe Offenlegungsschrift Absatz [0014]).

II.

Die Beschwerde wurde frist- und formgerecht eingelegt und ist auch sonst zulässig. Sie ist jedoch nicht begründet, denn der Gegenstand des Patentanspruchs 1 nach Haupt- wie nach Hilfsantrag beruht nicht auf einer erfinderischen Tätigkeit (§ 4 PatG).

1. Die Anmeldung betrifft einen Mikrocomputer (bestehend üblicherweise aus Mikroprozessor = CPU, Speicher und Peripheriebaugruppen) mit einem eingebauten Flash-Speicher, wie er häufig als selbständiges Steuergerät (Mikrocontroller) im Einsatz ist; dabei dient der Flash-Speicher vor allem als Programmspeicher, der bei Stromabschaltung seinen Inhalt behält, der aber auch – im Gegensatz zu dem früher üblichen ROM oder EPROM – insbesondere für ein Programm-Update mit geringem Aufwand im Betrieb umprogrammiert, d. h. neu beschrieben werden kann.

Bei derartigen elektrisch löschbaren Festwertspeichern ist vor einem Neu-Beschreiben ein Löschen der jeweiligen Speicherzelle erforderlich. Technologiebedingt lässt sich dies bei Flash-Speichern nur komplett oder in größeren Blöcken durchführen. Wenn keine besonderen zusätzlichen Maßnahmen getroffen sind, kann die CPU während der Löschzeit nicht auf den Flash-Speicher zugreifen. Allgemein ergibt sich das Problem, wie ein Neuschreibvorgang mit dem (Normal-)Betriebslauf der CPU koordiniert werden kann.

Die Anmeldung beschreibt als Stand der Technik folgende Vorschläge (vgl. Offenlegungsschrift Absatz [0002] bis [0013]):

a) Der Neuschreibvorgang wird ohne die CPU durchgeführt. Dazu ist eine zusätzliche Baugruppe als Flash-Speicher-Schreibeinrichtung mit eigener Datenschnittstelle nach außen vorgesehen; die CPU wird während des Neuschreibvorgangs angehalten. Eine solche zusätzliche Schreibeinrichtung ist jedoch aufwendig.

b) Der Neuschreibvorgang wird durch die CPU mit einem eigenen Neuschreibprogramm durchgeführt. Hierzu werden zwei Alternativen beschrieben:

b.1) Das Neuschreibprogramm wird aus dem Flash-Speicher in einen RAM-Bereich des Mikrocomputer-Speichers kopiert, dann springt das Programm dorthin und führt die Schreibbefehle im RAM aus, um nach Beendigung des Neuschreibens zurück in das Programm im Flash-Speicher zu springen. Dies setzt aber ein zusätzliches RAM im Mikrocomputer voraus.

b.2) Der Flash-Speicher wird so organisiert, dass während des Neuschreibens eines bestimmten Speicherblocks andere Speicherblöcke ausgelesen werden können. Dafür wäre jedoch eine zusätzliche Schaltung im Flash-Speicher erforderlich, die einen gleichzeitigen Zugriff auf zwei verschiedene Speicherblöcke ermöglicht.

Um den jeweiligen Aufwand zu vermeiden, schlägt die Anmeldung demgegenüber vor, das Neuschreibprogramm zwar (ähnlich **b.2**) in einem anderen Block des Flash-Speichers ablaufen zu lassen, aber jeweils während eines Löscho- oder Schreibvorgangs ein Haltesignal für die CPU bereitzustellen, so dass diese ihre Verarbeitung unterbricht (unklar, s. u.) und währenddessen die Signale auf dem Verbindungsbus zum Flash-Speicher konstant festlegt; eine zusätzliche Schaltung zum Zugriff auf den anderen Speicherblock wäre dann nicht nötig.

Als **Fachmann** für solche Überlegungen sieht der Senat einen Entwicklungsingenieur (univ. oder FH) der Elektrotechnik mit mehrjähriger Berufserfahrung im Entwurf von Mikrocomputerschaltungen auf Baugruppenebene an.

2. Die geänderten Patentansprüche 1 nach Haupt- wie nach Hilfsantrag liegen im Rahmen der ursprünglichen Offenbarung.

Der geltende Patentanspruch 1 nach Hauptantrag unterscheidet sich von dem ursprünglichen Patentanspruch 1 durch eine kleine Ergänzung am Ende von Merkmal g), dass es ein vorbestimmtes Signal ist, welches konstant festgelegt werden soll, sowie durch das zusätzliche Merkmal h), dass „das vorbestimmte Signal ein Adresssignal, ein Datensignal und ein Steuerungssignal der Flash-Speicher-Steuerungsschaltung umfasst“.

Dies ergibt sich beispielsweise aus Seite 8 Zeile 34 bis Seite 9 Zeile 5 oder Seite 14 Zeile 26 bis 30 der Anmeldung und ist daher zulässig.

Der geltende Patentanspruch 1 nach Hilfsantrag unterscheidet sich vom Patentanspruch 1 nach Hauptantrag durch eine Ergänzung in Merkmal a), dass die CPU die bestimmten Anweisungen „entsprechend einem Taktsignal (CLK)“ ausführt - dies ist für den Fachmann selbstverständlich, siehe auch die Zeitdiagramme Figur 6, Figur 9 u. a. - und ferner durch das zusätzliche Merkmal i), dass „das Taktsignal (CLK) kontinuierlich anliegt“.

Dies lässt sich beispielsweise aus Figur 6 / 7 der Anmeldung entnehmen, die ein während der Dauer des HOLD-Signals kontinuierlich weiterlaufendes CLK-Signal zeigen.

Gegen die geänderten Patentansprüche 1 bestehen daher insoweit keine Einwände.

3. Die technische Lehre der vorliegenden Patentanmeldung ist wenig klar formuliert und weist einige Widersprüche oder Ungenauigkeiten auf.

3.1 So ist beispielsweise das „Dritte bevorzugte Ausführungsbeispiel“ (siehe Offenlegungsschrift Absätze [0122] - [0136], Figuren 11 - 13) charakterisiert durch ein zusätzliches RAM (26), in das ein Programm zum Abfragen eines Status-Bits des Flash-Speichers kopiert wird; dieses Programm läuft während eines Schreib- oder Löschvorgangs im RAM und endet mit einem Rücksprung in das Programm im Flash-Speicher, wenn dieser wieder „bereit“ ist. Wie der Beschreibung und dem Zeitdiagramm Figur 12 / 13 zu entnehmen ist, sieht dies angebliche Ausführungsbeispiel kein Halte-Signal für die CPU vor, welches diese veranlassen würde, die Signale auf dem Adress- und Datenbus konstant festzulegen. Es kann somit kein Ausführungsbeispiel des Gegenstands des Patentanspruchs 1 sein.

3.2 Ferner bleibt im Dunkeln, was in der CPU während des HOLD-Signals geschieht. Einige Hinweise wie etwa Absatz [0063] der Offenlegungsschrift „Die CPU weist eine Haltefunktion auf“, Absatz [0088] „so dass die CPU ihre Verarbeitung ... wiederaufnehmen kann“ u. a. lassen den Fachmann vermuten, dass der Betrieb der CPU während des HOLD-Signals angehalten wird.

Die Anmelderin sieht hingegen einen wesentlichen Vorteil des Anspruchsgegenstandes gerade darin, dass die CPU nicht angehalten werde und parallel ein anderes Programm abarbeiten könne („Multitasking“), während sie auf den Abschluss der Löscho- oder Schreiboperation wartet. Es ist zuzugestehen, dass einige Textpassagen der Anmeldung in dieser Richtung ausgelegt werden könnten. Dazu weist die Anmelderin insbesondere hin auf Absatz [0018] „Es ist somit möglich, die Neuschreiboperation für den Flash-Speicher-Abschnitt auszuführen, während die CPU das vorbestimmte Programm ausführt“, Absatz [0092] „Ferner kann ... der Mikrocontroller ... Neuschreibeanweisungen ... ausführen, während er das Programm ausführt“ u. a.. Außerdem sieht sie den beanspruchten Mikrocomputer als Weiterbildung des Standes der Technik nach Alternative **b)** (s. o. **1.**), welche im Gegensatz zu Alternative **a)**, bei der die CPU angehalten wird, gerade von einem Weiterlaufen der CPU ausgehe.

Eine verlässliche Aussage zur Klärung dieser grundsätzlichen Frage ist in der ursprünglichen Offenbarung nicht zu finden. Die Anmelderin vermochte den Senat jedoch vor allem aus folgendem Grund nicht von ihrer Auffassung zu überzeugen:

Wesentliches Merkmal des Patentanspruchs 1 ist es, dass die für den Zugriff auf den Flash-Speicher erforderlichen Bussignale (Adresssignal, Datensignal und Steuerungssignal) in Reaktion auf das Haltesignal konstant festgelegt werden sollen, und zwar entsprechend Absatz [0039], Absatz [0063] der Offenlegungsschrift alle Bussignale. Das entspricht der Feststellung, dass zu diesem Zeitpunkt ein Zugriff auf den Flash-Speicher durch die CPU nicht mehr möglich ist, vgl. Spalte 9 Zeile 32, Zeile 47 - 51.

In der gesamten Anmeldung findet sich nichts, was auf einen zusätzlichen, alternativen Programmspeicher hindeutet (der – wenn er am selben Bus angeschlossen wäre – aber auch schon wegen der Signalfestlegung der Datensignale keine neuen Programmanweisungen liefern könnte). Ebenfalls nicht offenbart ist ein zweiter Adress- und Datenbus oder eine nur teilweise Festlegung der Bussignale, so dass ein Teilbereich des Flash-Speichers noch adressierbar wäre (auch hier würde sich ggf. das Problem des blockierten Datenbusses stellen). Damit ergibt sich für den Fachmann aber zwangsläufig, dass die CPU während der Dauer des Haltesignals keinen Zugriff auf irgendeinen Programmspeicher mehr hat. Selbst wenn sie also Multitasking-fähig wäre und weiterarbeiten könnte, fehlte ihr der Zugriff auf die dafür notwendigen Programmbefehle.

Folglich ist, auch wenn die ungenauen Formulierungen in den Anmeldeunterlagen eine solche Schlussfolgerung nahelegen könnten, das Abarbeiten eines anderen Programms während der Lösch- oder Schreiboperation im von der Anmeldung beschriebenen Zusammenhang technisch nicht möglich. Ein Vorteil des anmeldungsgemäßen Mikrocomputers kann damit nicht begründet werden.

3.3 Auf die missverständliche oder mehrdeutige Formulierung einiger Merkmale in den Patentansprüchen braucht hier nicht mehr eingegangen zu werden, da der Senat auch nach gedanklicher Klarstellung im Sinne der Gesamtoffenbarung die Patentfähigkeit verneinen muss (s. u.). Es ist lediglich darauf hinzuweisen, dass der Durchschnittsfachmann im Bemühen um das richtige Verständnis den letzten Nebensatz von Merkmal g) und das darauf folgende Merkmal h) so auslegen wird, dass mit „ein Signal“ oder „das Signal“ die Summe aller Adress-, Daten- und Steuerleitungen gemeint sind, die für die CPU zum Zugriff auf den Flash-Speicher erforderlich sind (vgl. Offenlegungsschrift Figur 2 linker Schnittstellenbereich sowie Absatz [0080]: AD (20:0), DB (15:0) und die Gruppe der Lese-/Schreibsteuerungssignale).

4. Der Gegenstand des jeweiligen Patentanspruchs 1 nach Haupt- und nach Hilfsantrag ergab sich vor dem Prioritätstag der vorliegenden Patentanmeldung für den Durchschnittsfachmann in naheliegender Weise aus dem Stand der Technik.

4.1 Zum Hauptantrag:

4.1.1 Die im Prüfungsverfahren entgegengehaltene, vorveröffentlichte Druckschrift

D1: US 5 923 838 A

betrifft (siehe insbesondere Figur 1 und zugehörige Beschreibung) einen Mikrocomputer (1) mit:

- a) einer CPU (2) zur Ausführung einer bestimmten Anweisung;
- b) einem Flash-Speicher (3), wobei es allgemein bekannt war, dass dieser in eine Vielzahl von Blöcken aufgeteilt sein kann, wobei das Löschmodul dann in einem anderen als dem

zu löschenden Block gespeichert ist (vgl. Spalte 3 Zeile 36 - 41, Zeile 4 Zeile 18 - 28); und

- c) einer Flash-Speicher-Steuerungsschaltung (4) zur Steuerung einer Neuschreiboperation für den Flash-Speicher-Abschnitt,
- d) wobei die CPU dazu in der Lage ist, ein in zumindest einen Block der Vielzahl von Blöcken geschriebenes vorbestimmtes Programm auszuführen,
- e) wobei das vorbestimmte Programm ein Programm zum Neuschreiben eines anderen Blocks als des zumindest einen Blocks der Vielzahl von Blöcken in dem Flash-Speicher-Abschnitt ist (s. o. Fundstellen zu b)
- f) und der Flash-Speicher-Abschnitt eine Neuschreiboperation bei dem anderen Block als dem zumindest einen Block der Vielzahl von Blöcken auf der Grundlage eines Neuschreibebefehls ausführt, und ein Bereitstatussignal (42) *erzeugt wird*, das es angibt, ob die Neuschreiboperation ausgeführt wird oder nicht (Spalte 6 Zeile 42 - 44, Zeile 51/52);
- g) und die Flash-Speicher-Steuerungsschaltung (4 & 45) das Bereitstatussignal (42) empfängt, wodurch die Flash-Speicher-Steuerungsschaltung dann, wenn es das Bereitstatussignal (42) angibt, dass die Neuschreiboperation auszuführen ist, ein Haltesignal (46) für die CPU bereitstellt (Spalte 7 Zeile 29 - 35).

Hier wird das Bereitstatussignal (write/erasure busy signal 42) in der Flash-Steuerungsschaltung (4) erzeugt. Für den Fachmann macht es aber keinen Unterschied, ob das Signal statt dessen - wie beansprucht - im Flash-Speicher-Abschnitt (3) erzeugt wird, zumal es eine rein gedankliche und willkürliche Maßnahme ist, eine

Teilschaltung zur Statussignalerzeugung dem Speicher oder der Speichersteuerung zuzuordnen.

Der Anmelderin ist hingegen zuzustimmen, dass **D1** nicht explizit lehrt, für den Zugriff auf den Flash-Speicher-Abschnitt erforderliche Signale, nämlich die Adress-, Daten- und Steuersignale, im Sinne des letzten Nebensatzes von Merkmal g) in Verbindung mit Merkmal h) konstant festzulegen.

Wenn allerdings, wie in **D1** beschrieben, das der CPU zugeführte Taktsignal (71a) unterbrochen wird (Signal 46 an UND-Gatter 76) und die CPU daraufhin zwangsläufig anhält, können sich die Signale auf dem Bus (Adress-, Daten- und Steuersignale entsprechend Merkmal h) von selbst nicht mehr ohne weiteres ändern. D. h. dem Fachmann ist klar, dass sie in irgendeiner Weise „festgelegt“ sind; insofern ist für ihn der letzte Nebensatz von Merkmal g) in Verbindung mit Merkmal h) implizit mit erfüllt.

Sonach legt **D1** schon für sich allein genommen den Gegenstand des Patentanspruchs 1 nach Hauptantrag für den Fachmann nahe.

4.1.2 Die Anmelderin sieht einen wesentlichen Unterschied darin, dass die CPU gemäß der Lehre der **D1** angehalten wird, während sie anmeldungsgemäß weiterlaufen könne. Sie konnte dies jedoch weder als ursprünglich offenbart nachweisen noch den Senat überzeugen, dass ein Weiterlaufen im beschriebenen Zusammenhang technisch überhaupt möglich ist (s. o. **3.2**).

Ebenso wenig vermochte ihr Argument zu überzeugen, der Fachmann werde **D1** nicht heranziehen, da ihr eine vollständig andere technische Aufgabe zugrunde liege.

Ein solcher Eindruck mag zwar entstehen, wenn man lediglich das in Spalte 4 Zeile 37 - 40 beschriebene Problem (1) des „software overload“ in Betracht zieht. Zu-

sätzlich ist aber in Spalte 4 Zeile 54 - 64 ein weiteres technisches Problem angegeben, das von einem Flash-Speicher ausgeht, der während des Schreib- bzw. Löschvorgangs nicht ausgelesen werden kann und somit der Ausgangssituation der Anmeldung entspricht: wie in der Anmeldung soll auch hier eine Alternative zum Kopieren des Schreib-/Löschprogramms in ein RAM gefunden werden (vgl. Zeile 60 - 64). Der Fachmann hatte somit guten Grund, **D1** zu berücksichtigen.

4.1.3 Der Patentanspruch 1 nach Hauptantrag ist daher nicht patentfähig. Mit ihm fällt der gesamte Hauptantrag, da über einen Antrag nur einheitlich entschieden werden kann.

4.2 Zum Hilfsantrag:

Der geltende Patentanspruch 1 nach Hilfsantrag unterscheidet sich vom Patentanspruch 1 nach Hauptantrag (neben der für den Fachmann selbstverständlichen Ergänzung in Merkmal a*), dass die CPU die bestimmten Anweisungen „entsprechend einem Taktsignal (CLK)“ ausführt) durch das zusätzliche Merkmal i), dass „das Taktsignal (CLK) kontinuierlich anliegt“. Hier dürfte in Abgrenzung zu **D1** gemeint sein, dass das Taktsignal der CPU kontinuierlich zugeführt wird, während es - wie oben beschrieben - bei der Schaltung nach **D1** durch ein UND-Gatter unterbrochen werden kann.

Das kontinuierliche „Anliegen“ des Taktsignals kann aber nicht die Bedeutung haben, dass die CPU weiterarbeitet (vgl. oben **3.2**). Falls - wie hier - keine weiteren, darauf aufbauenden Maßnahmen angegeben sind, wird der Fachmann vielmehr erwarten, dass die CPU auf andere Weise, etwa durch ein internes UND-Gatter, angehalten wird. Ein kontinuierliches „Anliegen“ des Taktsignals an der CPU, wobei das Halte-Signal dann CPU-intern verarbeitet wird, würde der Fachmann daher als gleichwirkend mit der Lösung nach **D1** verstehen und somit als eine Maßnahme, die allein eine erfinderische Leistung nicht begründen kann.

Für die übrigen, bereits im Hauptantrag enthaltenen Merkmale des Patentanspruchs 1 gilt das unter 4.1 Ausgeführte. Der Hilfsantrag kann daher nicht anders als der Hauptantrag beurteilt werden, er ist ebenfalls nicht patentfähig.

III.

Bei dieser Sachlage war die Beschwerde der Anmelderin gegen den Beschluss der Prüfungsstelle zurückzuweisen.

Dr. Fritsch

Prasch

Eder

Baumgardt

Fa