



BUNDESPATENTGERICHT

17 W (pat) 44/05

(Aktenzeichen)

Verkündet am
3. April 2008

...

BESCHLUSS

In der Beschwerdesache

betreffend die Patentanmeldung P 43 30 100.2-55

...

hat der 17. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 3. April 2008 unter Mitwirkung des Vorsitzenden Richters Dipl.-Phys. Dr. Fritsch, des Richters Dipl.-Ing. Prasch sowie der Richterinnen Eder und Dipl.-Ing. Wickborn

beschlossen:

Die Beschwerde wird zurückgewiesen.

Gründe:

I.

Die vorliegende Patentanmeldung mit der Bezeichnung:

„Verfahren und Vorrichtung für die Auffrischung eines dynamischen
Random-Speichers“

ist am 6. September 1993 unter Inanspruchnahme der Priorität der US-Anmeldung 945563 vom 16. September 1992 beim Deutschen Patent- und Markenamt eingereicht worden.

Sie wurde durch Beschluss der Prüfungsstelle für Klasse G 11 C des Deutschen Patent- und Markenamts vom 14. Dezember 2004 mit der Begründung zurückgewiesen, der Gegenstand des Patentanspruchs 1 beruhe nicht auf erfinderischer Tätigkeit gegenüber dem entgegengehaltenen Stand der Technik.

Gegen diesen Beschluss ist die Beschwerde der Anmelderin gerichtet. Sie stellt den Antrag, den angefochtenen Beschluss aufzuheben und das nachgesuchte Patent mit folgenden Unterlagen zu erteilen:

gemäß Hauptantrag mit
Patentansprüchen 1 bis 6 und
Beschreibung Seiten 1, 5, 6 vom 3. Dezember 2004, eingegangen
am 3. Dezember 2004,

Beschreibung Seiten 2-4, 7-9 vom Anmeldetag,
3 Blatt Zeichnungen mit Figuren 1, 2, 3a, 3b, 4 vom 7. Dezember 1993, eingegangen am 8. Dezember 1993;

gemäß Hilfsantrag mit
Patentansprüchen 1 und 4 vom 25. Januar 2008, eingegangen am 25. Januar 2008, Patentansprüchen 2, 3, 5, 6 wie Hauptantrag, im Übrigen wie Hauptantrag.

Die Anmelderin erklärte die Teilung der Anmeldung.

Der Patentanspruch 1 nach Hauptantrag, mit einer möglichen Gliederung, lautet:

- „1. Vorrichtung zum Auffrischen eines mehrere Zeilen (38) von Speicherzellen (10) aufweisenden dynamischen Direktzugriffsspeichers (70), umfassend
- a) Zykluseinleitmittel zum Einleiten eines normalen Zyklus oder eines Auffrischzyklus,
 - b) an die Zykluseinleitmittel angekoppelte Modussteuermittel (114) zum Erzeugen eines Normalmodussignals, wenn der normale Zyklus eingeleitet wird, und zum Erzeugen eines Auffrischmodussignals, wenn der Auffrischzyklus eingeleitet wird,
 - c) an die Modussteuermittel (114) angekoppelte Zeilenadressenmittel zum Adressieren einer ersten Anzahl von Zeilen (38) von Speicherzellen (10) in Reaktion auf das Normalmodussignal und zum Adressieren einer zweiten Anzahl von Zeilen (38) von Speicherzellen (10) in Reaktion auf das Auffrischmodussignal, wobei die erste Anzahl kleiner ist als die zweite Anzahl,
 - d) Zeilenabtastempfangsmittel (94) zum Empfangen eines Zeilenadressenabtastsignals (RAS),
 - e) Spaltenabtastempfangsmittel (98) zum Empfangen eines Spaltenadressenabtastsignals (CAS), und

- f) externe Adresseneingabemittel (102) zum Empfangen einer externen Adresse,
- g) wobei die Zeilenadressenmittel zum Adressieren der ersten Anzahl von Zeilen (38) von Speicherzellen (10) unter Verwendung der externen Adresse in Reaktion auf das Normalmodussignal an die externen Adresseneingabemittel (102) angekoppelt sind,

dadurch gekennzeichnet, daß

- h) die Modussteuermittel (114) an die Zeilenabtastempfangsmittel (94) und an die Spaltenabtastempfangsmittel (98) zum Erzeugen des Normalmodussignals, wenn das Zeilenadressenabtastsignal (RAS) empfangen wird, bevor das Spaltenadressenabtastsignal (CAS) empfangen wird, und zum Erzeugen des Auffrischmodussignals, wenn das Zeilenadressenabtastsignal (RAS) nicht empfangen wird, bevor das Spaltenadressenabtastsignal (CAS) empfangen wird, angekoppelt sind,
- i) die Modussteuermittel (114) zum Erzeugen eines Inkrementiersignals (INC), wenn das Zeilenadressenabtastsignal (RAS) nicht empfangen wird, bevor das Spaltenadressenabtastsignal (CAS) empfangen wird, ausgestaltet sind,
- j) die Zeilenadressenmittel einen an die Modussteuermittel (114) angekoppelten Zähler (90) zum Speichern eines Zählerstands aufweisen, der in Reaktion auf das Inkrementiersignal (INC) inkrementierbar ist,
- k) die zweite Anzahl von Zeilen (38) unter Verwendung des Zählerstands als eine Adresse in Reaktion auf das Auffrischmodussignal adressierbar ist, und
- l) ein erstes NAND-Gatter (208) mit einem ersten Eingangsanschluß zum Empfang des Auffrischmodussignals, einem zweiten Eingangsanschluß zum Empfang eines höchstwertigen Bits (MSB) des Zählerstands und einem Ausgangsanschluß sowie ein zweites NAND-Gat-

ter (212) mit einem ersten Eingangsanschluß zum Empfang des Auffrischmodussignals, einem zweiten Eingangsanschluß zum Empfang eines invertierten Werts des höchstwertigen Bits (MSB) des Zählerstands und einem Ausgangsanschluß vorgesehen sind,

- m) wobei der Ausgangsanschluß des ersten NAND-Gatters (208) und der Ausgangsanschluß des zweiten NAND-Gatters (212) zum Liefern eines Freigabesignals zum Adressieren der zweiten Anzahl der Zeilen (38) in Reaktion auf das Auffrischmodussignal und eines Freigabesignals zum Adressieren der ersten Anzahl der Zeilen (38) in Reaktion auf das Normalmodussignal an die Zeilenadressenmittel angekoppelt sind.“

Der geltende Patentanspruch 4 nach Hauptantrag, mit einer möglichen Gliederung, lautet:

„4. Verfahren zum Auffrischen eines mehrere Zeilen (38) von Speicherzellen (10) aufweisenden dynamischen Direktzugriffsspeichers (70), bei dem

- a) ein normaler Zyklus oder ein Auffrischzyklus eingeleitet wird,
- b) ein Normalmodussignal erzeugt wird, wenn der normale Zyklus eingeleitet wird, und ein Auffrischmodussignal erzeugt wird, wenn der Auffrischzyklus eingeleitet wird,
- c) eine erste Anzahl von Zeilen (38) von Speicherzellen (10) in Reaktion auf das Normalmodussignal und eine zweite Anzahl von Zeilen (38) Speicherzellen (10) in Reaktion auf das Auffrischmodussignal adressiert wird, wobei die erste Anzahl kleiner ist als die zweite Anzahl,
- d) ein Zeilenadressenabtastsignal (RAS) empfangen wird,
- e) ein Spaltenadressenabtastsignal (CAS) empfangen wird,
- f) eine externe Adresse empfangen wird und
- g) die erste Anzahl von Zeilen (38) von Speicherzellen (10) unter Verwendung der externen Adresse in Reaktion auf das Normalmodussignal adressiert wird,

dadurch gekennzeichnet, daß

- h) das Normalmodussignal erzeugt wird, wenn das Zeilenadressenabtastsignal (RAS) empfangen wird, bevor das Spaltenadressenabtastsignal (CAS) empfangen wird, und das Auffrischmodussignal erzeugt wird, wenn das Zeilenadressenabtastsignal (RAS) nicht empfangen wird, bevor das Spaltenadressenabtastsignal (CAS) empfangen wird,
- i) in einem Zähler (90) ein Zählerstand gespeichert wird,
- j) der Zählerstand inkrementiert wird, wenn das Zeilenadressenabtastsignal (RAS) nicht empfangen wird, bevor das Spaltenadressenabtastsignal (CAS) empfangen wird,
- k) die zweite Anzahl von Zeilen (38) unter Verwendung des Zählerstands als eine Adresse in Reaktion auf das Auffrischmodussignal adressiert wird, indem
- l) an einem ersten Eingangsanschluß eines ersten NAND-Gatters (208) das Auffrischmodussignal und an einem zweiten Eingangsanschluß des ersten NAND-Gatters (208) ein höchstwertiges Bits (MSB) des Zählerstands sowie an einem ersten Eingangsanschluß eines zweiten NAND-Gatters (212) das Auffrischmodussignal und an einem zweiten Eingangsanschluß des zweiten NAND-Gatters (212) ein invertierter Wert des höchstwertigen Bits (MSB) des Zählerstands empfangen werden,
- m) so daß am Ausgangsanschluß des ersten NAND-Gatters (208) sowie am Ausgangsanschluß des zweiten NAND-Gatters (212) ein Freigabesignal zum Adressieren der zweiten Anzahl der Zeilen (38) in Reaktion auf das Auffrischmodussignal und ein Freigabesignal zum Adressieren der ersten Anzahl der Zeilen (38) in Reaktion auf das Normalmodussignal an die Zeilenadressenmittel geliefert werden.“

Der geltende Patentanspruch 1 gemäß Hilfsantrag, mit einer möglichen Gliederung, (Änderungen gegenüber Hauptantrag sind unterstrichen) lautet:

„1. Vorrichtung zum Auffrischen eines mehrere Zeilen (38) von Speicherzellen (10) aufweisenden dynamischen Direktzugriffsspeichers (70), umfassend

- a) Zykluseinleitmittel zum Einleiten eines normalen Zyklus oder eines Auffrischzyklus,
- b) an die Zykluseinleitmittel angekoppelte Modussteuermittel (114) zum Erzeugen eines Normalmodussignals, wenn der normale Zyklus eingeleitet wird, und zum Erzeugen eines Auffrischmodussignals, wenn der Auffrischzyklus eingeleitet wird,
- c) an die Modussteuermittel (114) angekoppelte Zeilenadressenmittel zum Adressieren einer ersten Anzahl von Zeilen (38) von Speicherzellen (10) in Reaktion auf das Normalmodussignal und zum Adressieren einer zweiten Anzahl von Zeilen (38) von Speicherzellen (10) in Reaktion auf das Auffrischmodussignal, wobei die erste Anzahl kleiner ist als die zweite Anzahl,
- d) Zeilenabtastempfangsmittel (94) zum Empfangen eines Zeilenadressenabtastsignals (RAS),
- e) Spaltenabtastempfangsmittel (98) zum Empfangen eines Spaltenadressenabtastsignals (CAS), und
- f) externe Adresseneingabemittel (102) zum Empfangen einer externen Adresse,
- g) wobei die Zeilenadressenmittel zum Adressieren der ersten Anzahl von Zeilen (38) von Speicherzellen (10) unter Verwendung der externen Adresse in Reaktion auf das Normalmodussignal an die externen Adresseneingabemittel (102) angekoppelt sind,

dadurch gekennzeichnet, daß

- h) die Modussteuermittel (114) an die Zeilenabtastempfangsmittel (94) und an die Spaltenabtastempfangsmittel (98) zum Erzeugen des Normalmodussignals, wenn das Zeilenadressenabtastsignal (RAS) empfangen wird, bevor das Spaltenadressenabtastsignal (CAS) empfangen wird, und zum Erzeugen des Auffrischmodussignals, wenn das Zeilenadressenabtastsignal (RAS) nicht empfangen wird, bevor das Spaltenadressenabtastsignal (CAS) empfangen wird, angekoppelt sind,
- i) die Modussteuermittel (114) zum Erzeugen eines Inkrementiersignals (INC), wenn das Zeilenadressenabtastsignal (RAS) nicht empfangen wird, bevor das Spaltenadressenabtastsignal (CAS) empfangen wird, ausgestaltet sind,
- j) die Zeilenadressenmittel einen an die Modussteuermittel (114) angekoppelten Zähler (90) zum Speichern eines Zählerstands aufweisen, der in Reaktion auf das Inkrementiersignal (INC) inkrementierbar ist,
- k) die zweite Anzahl von Zeilen (38) unter Verwendung des Zählerstands als eine Adresse in Reaktion auf das Auffrischmodussignal adressierbar ist, und
- l) ein erstes NAND-Gatter (208) mit einem ersten Eingangsanschluß zum Empfang des Auffrischmodussignals, einem zweiten Eingangsanschluß zum Empfang eines höchstwertigen Bits (MSB) des Zählerstands und einem Ausgangsanschluß sowie ein zweites NAND-Gatter (212) mit einem ersten Eingangsanschluß zum Empfang des Auffrischmodussignals, einem zweiten Eingangsanschluß zum Empfang eines invertierten Werts des höchstwertigen Bits (MSB) des Zählerstands und einem Ausgangsanschluß vorgesehen sind,
- m) wobei der Ausgangsanschluß des ersten NAND-Gatters (208) und der Ausgangsanschluß des zweiten NAND-Gatters (212) zum Liefern eines Freigabesignals zum Adressieren der zweiten Anzahl der Zeilen (38) in Reaktion auf das Auffrischmodussignal und eines Freigabesignals zum Adressieren der ersten Anzahl der Zeilen (38) in Reaktion

auf das Normalmodussignal an die Zeilenadressenmittel angekoppelt sind, und nur dem Modussteuermittel (114) das Zeilenadressenabtastsignal (RAS) und das Spaltenadressenabtastsignal (CAS) zuleitbar ist.“

Der geltende Patentanspruch 4 gemäß Hilfsantrag, mit einer möglichen Gliederung, (Änderungen gegenüber Hauptantrag sind unterstrichen) lautet:

„4. Verfahren zum Auffrischen eines mehrere Zeilen (38) von Speicherzellen (10) aufweisenden dynamischen Direktzugriffsspeichers (70), bei dem

- a) ein normaler Zyklus oder ein Auffrischzyklus eingeleitet wird,
- b) ein Normalmodussignal erzeugt wird, wenn der normale Zyklus eingeleitet wird, und ein Auffrischmodussignal erzeugt wird, wenn der Auffrischzyklus eingeleitet wird,
- c) eine erste Anzahl von Zeilen (38) von Speicherzellen (10) in Reaktion auf das Normalmodussignal und eine zweite Anzahl von Zeilen (38) Speicherzellen (10) in Reaktion auf das Auffrischmodussignal adressiert wird, wobei die erste Anzahl kleiner ist als die zweite Anzahl,
- d) ein Zeilenadressenabtastsignal (RAS) empfangen wird,
- e) ein Spaltenadressenabtastsignal (CAS) empfangen wird,
- f) eine externe Adresse empfangen wird und
- g) die erste Anzahl von Zeilen (38) von Speicherzellen (10) unter Verwendung der externen Adresse in Reaktion auf das Normalmodussignal adressiert wird,

dadurch gekennzeichnet, daß

- h) das Normalmodussignal erzeugt wird, wenn das Zeilenadressenabtastsignal (RAS) empfangen wird, bevor das Spaltenadressenabtastsignal (CAS) empfangen wird, und das Auffrischmodussignal erzeugt

- wird, wenn das Zeilenadressenabtastsignal (RAS) nicht empfangen wird, bevor das Spaltenadressenabtastsignal (CAS) empfangen wird,
- i) in einem Zähler (90) ein Zählerstand gespeichert wird,
 - j) der Zählerstand inkrementiert wird, wenn das Zeilenadressenabtastsignal (RAS) nicht empfangen wird, bevor das Spaltenadressenabtastsignal (CAS) empfangen wird,
 - k) die zweite Anzahl von Zeilen (38) unter Verwendung des Zählerstands als eine Adresse in Reaktion auf das Auffrischmodussignal adressiert wird, indem
 - l) an einem ersten Eingangsanschluß eines ersten NAND-Gatters (208) das Auffrischmodussignal und an einem zweiten Eingangsanschluß des ersten NAND-Gatters (208) ein höchstwertiges Bits (MSB) des Zählerstands sowie an einem ersten Eingangsanschluß eines zweiten NAND-Gatters (212) das Auffrischmodussignal und
 - m) an einem zweiten Eingangsanschluß des zweiten NAND-Gatters (212) ein invertierter Wert des höchstwertigen Bits (MSB) des Zählerstands empfangen werden, so daß am Ausgangsanschluß des ersten NAND-Gatters (208) sowie am Ausgangsanschluß des zweiten NAND-Gatters (212) ein Freigabesignal zum Adressieren der zweiten Anzahl der Zeilen (38) nur in Reaktion auf das Auffrischmodussignal und ein Freigabesignal zum Adressieren der ersten Anzahl der Zeilen (38) nur in Reaktion auf das Normalmodussignal an die Zeilenadressenmittel geliefert werden.“

Hinsichtlich der Unteransprüche 2, 3 und 5, 6 wird auf die Akte verwiesen.

Die Anmelderin stellte in der mündlichen Verhandlung klar, dass unter den Zyklus-einleitmitteln im Merkmal a des Anspruchs 1 gemäß Haupt- und Hilfsantrag der Signalgenerator (82) sowie ggf. zusätzlich der Modussteuerschaltkreis (114) zu verstehen ist.

Die Anmelderin vertrat bezüglich des Hauptantrages die Auffassung, dass die beanspruchten Gegenstände auf erfinderischer Tätigkeit gegenüber dem genannten Stand der Technik beruhen. In D1 sei die Art der Ansteuerung anders, da eine andere Verschaltung im Decoderschaltkreis vorhanden sei. In D1 werde hierzu ein ODER-Gatter statt des beanspruchten NAND-Gatters verwendet.

Seit der Veröffentlichung der D1 sei eine lange Zeit vergangen, in der keine weitere Vereinfachung der Schaltung nach D1 vorgenommen worden sei.

Der Fachmann müsse zudem mehrere Schritte ausführen, um von der D1 zu der beanspruchten Lehre zu gelangen.

Zum Hilfsantrag führte die Anmelderin zusätzlich aus, in der D1 sei ein zusätzliches UND-Gatter zum Zuführen des RAS-Signals vorgesehen. Für den Fachmann habe keine Motivation bestanden, das RAS-Signal wegzulassen. Den beanspruchten Gegenständen nach Hilfsantrag könnte daher die Patentfähigkeit nur aufgrund einer unzulässigen ex post Betrachtung abgesprochen werden.

II.

Die Beschwerde wurde frist- und formgerecht eingelegt und ist auch sonst zulässig. Sie ist jedoch nicht begründet, denn die Gegenstände der Patentansprüche 1 und 4 nach Haupt- und Hilfsantrag beruhen jeweils nicht auf erfinderischer Tätigkeit (§ 4 PatG).

1. Die Anmeldung betrifft das Auffrischen von Zellen eines dynamischen Direktzugriffsspeichers. In der Beschreibungseinleitung wird aufgeführt, dass, da derartige Speicherzellen Kondensatoren enthalten, die über die Zeit ihre Ladung verlieren, derartige Zellen regelmäßig aufgefrischt werden müssen. Die Auffrischung kann mittels normalem Lese- oder Schreibzyklus, der in der Anmeldung als Normalmodus bzw. normaler Zyklus bezeichnet wird, oder mittels separatem Auffrischmodus bzw. Auffrischzyklus erfolgen.

bemittel (102) angekoppelt sind (Oberbegriff des Anspruchs 1 gemäß Haupt- und Hilfsantrag).

Dem Patentbegehren liegt die Aufgabe zugrunde, eine Vorrichtung und ein Verfahren zum Auffrischen eines mehrere Zeilen von Speicherzellen aufweisenden dynamischen Direktzugriffsspeichers nach dem Oberbegriff des Anspruchs 1 bzw. 4 zu schaffen, die bei erhöhter Flexibilität einen vereinfachten Aufbau ermöglichen (S. 6 Abs. 1 der Anmeldeunterlagen, eingegangen am 3. Dezember 2004).

Als zuständiger Fachmann wird ein mit Speicherdesign befasster Diplomingenieur für Elektrotechnik (FH oder Uni) angesehen.

Zur Lösung der genannten Aufgabenstellung schlägt der Anspruch 1 vor, dass nur bei Feststellung des Auffrischmodus das höchstwertige Bit der Zeilenadresse ignoriert wird und dadurch im Vergleich zum Normalmodus die doppelte Anzahl von Wortleitungen gleichzeitig aktiviert wird, so dass mehr Zellen gleichzeitig aufgefrischt werden.

Die dafür erforderliche Feststellung des Auffrischmodus erfolgt durch Auswertung der Reihenfolge der Signale RAS (row address strobe) und CAS (column address strobe). Es wird ein Normalmodussignal erzeugt, wenn das Signal RAS vor dem Signal CAS empfangen wird, oder ein Auffrischmodussignal, wenn das Signal CAS vor dem Signal RAS empfangen wird.

Im Auffrischmodus erfolgt die Adresserzeugung über einen internen Adresszähler (90), wozu bei Feststellung des Auffrischmodus durch das Modussteuermittel das Inkrementieren des Zählers zur Erzeugung der Auffrischadressen ausgelöst wird.

Um eine modusabhängig unterschiedliche Adressierung der Speichermatrizen zu erreichen, ist den Zeilenadressendecodern (204A-H) ein NAND-Gatter (208) und den weiteren Zeilenadressendecodern (204I-P) ein weiteres NAND-Gatter (212) zugeordnet, denen jeweils an einem Eingang das Auffrisch- bzw. Normal-Modussignal (200) zugeführt wird. Das höchstwertige Bit (MSB) der auf dem Bus (132)

anliegenden Zeilenadresse wird am jeweils 2. Eingang dem einen Gatter negiert und dem anderen Gatter nicht negiert zugeführt. Der Ausgang des einen NAND-Gatters wird den Zeilenadressdecodern (204A-H) und der Ausgang des anderen wird den weiteren Zeilenadressdecodern (204I-P) zugeführt.

In Abhängigkeit vom Pegel des Modussignals (200) wird dadurch das höchstwertige Bit (MSB) an die Zeilenadressdecoder weitergeleitet oder nicht.

Wenn das Modussignal (200) einen Auffrischzyklus anzeigt, wird unabhängig vom höchstwertigen Adressbit die angelegte Adresse durchgeschaltet und sowohl die Zeilenadressdecoder (204A-H) als auch die weiteren Zeilenadressdecoder (204I-P) parallel aktiviert.

Wenn das Modussignal (200) den Normalmodus anzeigt, wird das höchstwertige Zeilenadressbit hingegen an die Zeilenadressdecoder weitergeleitet, so dass je nach Wert des höchsten Adressbits nur die Wortleitungen entweder über Zeilenadressdecoder (204A-H) oder über die weiteren Zeilenadressdecoder (204I-P) aktiviert werden.

2. Zum Hauptantrag

2.1 Die Vorrichtung und das Verfahren zum Auffrischen eines mehrere Zeilen von Speicherzellen aufweisenden dynamischen Direktzugriffsspeichers gemäß den Ansprüchen 1 und 4 nach Hauptantrag sind nicht patentfähig, weil sie nicht auf erfinderischer Tätigkeit beruhen.

Die Vorrichtung nach Anspruch 1 und das Verfahren nach Anspruch 4 sind nahegelegt durch die Druckschriften

D1: US 4 079 462

D3: US 4 933 907

2.1.1 Die Vorrichtung nach Anspruch 1 ist dem Fachmann bei Kenntnis von D1 zumindest in Verbindung mit D3 nahegelegt.

Die D1 betrifft eine Vorrichtung zum Auffrischen eines mehrere Zeilen von Speicherzellen aufweisenden dynamischen Direktzugriffsspeichers.

In Übereinstimmung mit dem Oberbegriff des Anspruchs 1 weist die dort beschriebene Vorrichtung folgende Merkmale auf:

In D1 wird unterschieden zwischen einem normalen Modus (Lesen oder Schreiben) und einem Auffrischmodus (Sp. 3 Z. 54 - Z. 58, Z. 67 - Sp. 4 Abs. 1) (*Merkmal b*). Da eine Auswertung der Reihenfolge des Eingangs der Signale RAS und CAS erfolgt, sind Zykluseinleitmittel vorhanden (Fig. 2, Sp. 3 Z. 46 - 54) (*Merkmal a*). Im Auffrischmodus wird ebenso eine größere bzw. doppelte Anzahl von Zeilen adressiert als bzw. wie im normalen Modus (Sp. 1 Z. 42 - 45, Sp. 3 Z. 3 - 9) (*Merkmal c*). Die vorgeschlagene Schaltung empfängt die Eingangssignale RAS (24), CAS (49) und das externe Adresssignal (A0 - A6, A7 - A13) (Fig. 1, 2, Sp. 3 Z. 46 - 54) (*Merkmale d - f*), wobei im normalen Modus die externe Adresse zum Adressieren der Speicherzellen verwendet wird (*Merkmal g*).

Aus D1 sind auch die Merkmale h, l und m des Anspruchs 1 ableitbar:

Die Erzeugung eines Normal- oder Auffrischmodussignals 41 (Sp. 4 Z. 53 - 54, Fig. 3) erfolgt entsprechend *Merkmal h* durch Auswertung der Reihenfolge des Empfangs der Signale CAS und RAS in einem Modussteuermittel (Refreshdetector 40, Sp. 3 Z. 54 - Sp. 4 Z. 4, Fig. 2).

Das mit den Merkmalen l und m beanspruchte Funktionsprinzip wird in D1 realisiert, indem bei Feststellung des Auffrischmodus das höchstwertige Bit (A6) der Zeilenadresse ignoriert und dadurch im Vergleich zum Normalmodus die doppelte Anzahl von Zeilen gleichzeitig aktiviert wird (Fig. 3, Sp. 3 Z. 3 - 9, Sp. 6 Z. 14 - 29). Dies wird in D1 dadurch erreicht, dass das vom Modussteuermittel (Refreshdetector 40) erzeugte Modussignal 41 jeweils über eines der ODER-Gatter 34, 37 zur Bildung der den beiden Zeilenadressdecodern (Zeilendecoder 15 bzw. 15a und 16 bzw. 16a) zugeführten Adressen verwendet wird, und über die Gatter modusabhängig nur ein Zeilenadressdecoder oder beide gemeinsam aktiviert werden (Sp. 4 Z. 49 - Sp. 5 Z. 10).

Den ODER-Gattern wird jeweils an einem Eingang das Modussignal 41 zugeführt und an ihrem 2. Eingang das höchstwertige Bit (MSB) der Zeilenadresse (A6) einmal negiert und einmal nicht negiert. Die Ausgänge der ODER-Gatter werden mit dem RAS-Signal zur Synchronisation UND-verknüpft und den Adressdecodern 15a, 16a zugeführt.

Im Auffrischmodus werden über die Ausgänge der beiden ODER-Gatter unabhängig vom höchstwertigen Adressbit beide Adressdecoder 15a, 16a angesteuert und gleichzeitig beide Wortleitungen aktiviert.

Im Normalmodus wird das höchstwertige Zeilenadressbit einmal invertiert und einmal nicht invertiert über die ODER-Gatter an die Adressdecoder weitergeleitet, so dass nur einer der beiden Adressdecoder 15a oder 16a je nach Wert des höchstwertigen Adressbits angesteuert und damit nur eine Wortleitung aktiviert wird.

In der D1 wird damit die gleiche Schaltfunktion wie mit den beanspruchten Merkmalen I und m realisiert.

Im Unterschied zur beanspruchten Anordnung wird in der bevorzugten Schaltung nach D1 dem Modussignal 41 für den Auffrischmodus der 1-Pegel zugeordnet und für den Normalmodus der 0-Pegel und darauf aufbauend die beschriebene Logik zum Ausblenden des höchstwertigen Bits zur Verdopplung der Anzahl der ansteuerbaren Bitleitungen im Auffrischmodus entwickelt.

Es liegt aber allein im Belieben des Fachmannes, welchem Pegel eines Signals er welche Bedeutung zuordnet. So kann er genauso gut - wie beim Anmeldungsgegenstand - dem Auffrischmodus den 0-Pegel und dem Normalmodus den 1-Pegel zuordnen und somit ein gegenüber D1 inverses Modussignal verwenden. Zum Grundwissen des zuständigen Fachmannes gehören die Kenntnis der Wahrheitstabellen der verschiedenen Gatter und die Regeln der Booleschen Algebra. Daraus ist ihm bekannt, dass er, um mit invertierten Eingangssignalen die gleiche logische Funktion zu realisieren, nach den de Morgan'schen Gesetzen statt der ODER-Verknüpfung eine NAND-Verknüpfung der Signale verwenden muss. Somit kommt er auch zu den *Merkmalen I und m* des Anspruchs 1, ohne erfinderisch tätig werden zu müssen.

Im Unterschied zum Anspruch 1 enthält die Schaltung in D1 keinen internen Auffrischadressenzähler, so dass die Merkmale i bis k der D1 nicht entnommen werden können.

In der vorliegenden Anmeldung wird sinngemäß ausgesagt, dass die Erzeugung von Auffrischadressen entweder extern mittels Software oder aber mittels Hardware durch einen internen Zähler, der aufeinanderfolgend Adressen für den gesamten Adressraum des aufzufrischenden Speichers generiert, gängige Alternativen darstellen (Sp. 2 Z. 44 - 48 und Sp. 3 Z. 31 - 35 der Offenlegungsschrift).

Die Hardwarevariante zur Erzeugung von Auffrischadressen mittels eines solchen internen Adresszählers wird beispielsweise in D3 beschrieben.

Die D3 betrifft ebenfalls eine Vorrichtung zum Auffrischen eines mehrere Zeilen von Speicherzellen aufweisenden dynamischen Direktzugriffsspeichers *mit den Merkmalen a, b und d bis g* (Fig. 12, Sp. 1 Z. 40 - 55) gemäß Oberbegriff des Anspruchs 1, bei dem das Modussignal ebenfalls über die Auswertung der Reihenfolge der Signale CAS und RAS erzeugt wird (Fig. 10A-C) (*Merkmal h*). Im Auffrischmodus wird dann ein interner inkrementierbarer Auffrischadressenzähler (103) zur Zeilenadresserzeugung (Q0-Q8) verwendet (Fig. 12, Sp. 1 Z. 52 - 58, Sp. 4 Z. 63 - Sp. 5 Z. 36, Patentanspruch 11).

Bei Anwendung eines internen Adresszählers für eine Adresserzeugung, wie er in der D3 beschrieben ist, in einer Schaltung nach D1 wird dieser Zähler bei Erkennung des Auffrischmodus zur Bereitstellung der Auffrischadressen aktiviert, und ein Inkrementiersignal wird vom Modussteuermittel bereitgestellt (*Merkmale i bis k*).

Dem von der Anmelderin angeführten Argument, dass ein langer Zeitraum seit Veröffentlichung der D1 vergangen sei, in der keine weitere Vereinfachung der Schaltung vorgenommen worden sei, was auf erfinderische Tätigkeit hinweise, kann nicht beigetreten werden.

Denn mit der im Anspruch 1 beanspruchten Verschaltung der NAND-Gatter wird nicht eine Vereinfachung der aus D1 bekannten Schaltung mit ODER-Gattern vorgeschlagen, sondern sie stellt lediglich eine für den Fachmann äquivalente Realisierung der gleichen logischen Schaltfunktion dar.

Auch dem Einwand der Anmelderin, dass das Vorliegen einer erfinderischen Tätigkeit damit begründet werden könne, dass der Fachmann mehrere Schritte ausführen müsse, um von der D1 zum beanspruchten Gegenstand zu gelangen, kann nicht gefolgt werden. In der Entscheidung Mikrotom (BGH GRUR 2007, 70) führt der BGH aus, dass es zwar für das Vorliegen einer erfinderischen Tätigkeit sprechen könne, wenn der Fachmann mehrere Schritte, die im Stand der Technik keine Anregung gefunden hätten, vollziehen müsse, um den erfindungsgemäßen Gegenstand aufzufinden. Maßgebend sei aber insoweit, ob es sich dabei insgesamt um Routinearbeiten gehandelt habe oder ob sich dem Fachmann Schwierigkeiten in den Weg gestellt hätten, etwa weil für einen oder mehrere Schritte Alternativen bestanden hätten, die zu unterschiedlichen Ergebnissen führten. Sei der entscheidende Schritt aus dem Stand der Technik abzuleiten, so könne aus dem Umstand, dass eine Mehrzahl von Schritten auszuführen war, um die Teile einer Gesamtvorrichtung aufeinander abzustimmen, das Vorliegen einer erfinderischen Tätigkeit nicht hergeleitet werden, wenn es sich bei den weiteren Schritten um solche handele, die der Fachmann mit Hilfe seines Fachwissens und Fachkönnens bewältigen könne.

Ein äquivalenter Fall liegt hier vor. Denn der entscheidende Schritt, nämlich abhängig vom Modussignal für den Auffrischzyklus das höchstwertige Bit der Zeilenadresse zu modifizieren, ist aus der D1 bekannt. Die weiteren Schritte, d. h. die Verwendung negierter Eingangssignale und damit nach den de Morgan'schen Gesetzen zwangsläufig den Einsatz von NAND- statt ODER-Gattern und die Verwendung eines internen Auffrischadresszählers, betreffen lediglich für den Fachmann mit Hilfe seines Fachwissens und Fachkönnens ohne weiteres zu bewältigende, bekannte alternative Realisierungen.

Damit ist eine Anordnung mit allen Merkmalen des Patentanspruchs 1 nach Hauptantrag für den Fachmann bei Kenntnis der D1 zumindest in Verbindung mit D3 nahegelegt.

2.1.2 Im Verfahren gemäß Anspruch 4 wird das Arbeitsverfahren der Schaltung beansprucht. Dies unterscheidet sich nicht von der Wirkungsweise der im Anspruch 1 beanspruchten Schaltung.

Für die Merkmale a bis m des Verfahrens gemäß Anspruch 4 nach Hauptantrag gelten die Ausführungen zum Anspruch 1 nach Hauptantrag sinngemäß, so dass damit das Verfahren mit allen Merkmalen des Patentanspruchs 4 nach Hauptantrag für den Fachmann ebenfalls nahegelegt ist.

2.2 Dem Hauptantrag der Anmelderin war deshalb nicht stattzugeben.

3. Zum Hilfsantrag

3.1 Die Patentansprüche 1 und 4 nach dem Hilfsantrag basieren auf den Patentansprüchen 1 und 4 nach Hauptantrag. Sie unterscheiden sich von diesen durch die Ergänzung, dass das Zeilenadressenabtastsignal (RAS) und das Spaltenadressenabtastsignal (CAS) nur dem Modussteuermittel (114) zuleitbar sind bzw. das Freigabesignal zur Adressierung der Speichermatrizen nur in Reaktion auf des Modussignal erfolgt und beinhalten ansonsten jeweils die Merkmale a bis m nach Hauptantrag.

Die Anmelderin will mit dieser Formulierung zum Ausdruck bringen, dass die in D1 vorgesehene UND-Verknüpfung 35, 38 des RAS-Signals 24 jeweils mit dem Ausgangssignal der ODER-Gatter 34, 37 bei der beanspruchten Verschaltung nicht erforderlich ist.

3.2 In einer solchen Konkretisierung der Ansprüche 1 und 4 nach Hilfsantrag kann keine erfinderische Leistung erkannt werden.

In D1 erfolgt die Erzeugung der Signale C1, C2 durch zusätzliche UND-Verknüpfungen 35, 38 der Ausgangssignale der ODER-Gatter 34, 37 jeweils mit dem RAS-Signal 24, wie von der Anmelderin vorgetragen.

Diese zusätzliche Verknüpfung mit dem RAS-Signal erfolgt in D1 deshalb, um den Adressdecoder beim Durchlauf durch den Auffrischadressraum bei jeder extern generierten Auffrischadresse jeweils neu anzustoßen (Sp. 6 Z. 10 - 13). Wenn der Fachmann, wie ausgeführt, einen internen Auffrischadresszähler gemäß D3 verwendet, entfällt damit zwangsläufig die in D1 erforderliche zusätzliche UND-Verknüpfung mit dem RAS-Signal 24. Der Auffassung der Anmelderin, für den Fachmann habe keine Motivation bestanden, diese zusätzliche UND-Verknüpfung mit dem RAS-Signal wegzulassen, kann deshalb nicht beigetreten werden.

Die von der Anmelderin geltend gemachte Vereinfachung des Schaltungsaufbaus liegt damit hier nicht vor, da sich für den Fachmann das Weglassen des RAS-Signals bei Verwendung eines internen Auffrischadresszählers zwangsläufig ergibt.

Dem Argument der Anmelderin, dass die vorgeschlagenen Maßnahmen nur in Kenntnis des Anmeldungsgegenstandes nahe gelegen hätten, kann daher nicht gefolgt werden. Denn dem Fachmann waren, wie bereits aufgeführt, am Prioritätstag als alternative Verfahren die Erzeugung der Auffrischadresse mittels Software wie in D1 oder mittels eines internen Zählers wie in D3 bekannt. Die in D1 zusätzlich erforderlichen Schaltungsmaßnahmen im Vergleich zu der Verschaltung gemäß Hilfsantrag ergeben sich zwangsläufig aus der Entscheidung für die Art der Auffrischadresserzeugung.

Die in den Ansprüchen 1 und 4 nach Hilfsantrag beanspruchten Gegenstände sind dem Fachmann daher ebenfalls durch die D1 zumindest in Verbindung mit D3 nahegelegt.

3.3 Dem Hilfsantrag der Anmelderin war deshalb ebenfalls nicht stattzugeben.

4. Die Gegenstände der Ansprüche 1 und 4 nach Hauptantrag sowie die Gegenstände der Ansprüche 1 und 4 nach Hilfsantrag sind somit nicht patentfähig. Mit den Ansprüchen 1 und 4 nach Haupt- und Hilfsantrag fallen auch die jeweils darauf rückbezogenen geltenden Unteransprüche 2, 3 und 5, 6, zumal die Unteransprüche lediglich fachgemäße Ausgestaltungen beinhalten und dafür auch keine erfinderische Besonderheit geltend gemacht wurde.

Bei dieser Sachlage war die Beschwerde der Anmelderin gegen den Beschluss der Prüfungsstelle G 11 C zurückzuweisen.

Dr. Fritsch

Prasch

Eder

Wickborn

Fa