



BUNDESPATENTGERICHT

17 W (pat) 105/05

(Aktenzeichen)

Verkündet am
12. Februar 2009

...

BESCHLUSS

In der Beschwerdesache

betreffend die Patentanmeldung P 43 45 444.5-53

...

hat der 17. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 12. Februar 2009 unter Mitwirkung des Vorsitzenden Richters Dipl.-Phys. Dr. Fritsch, der Richterin Werner sowie des Richters Dipl.-Ing. Baumgardt und der Richterin Dipl.-Ing. Wickborn

beschlossen:

Die Beschwerde wird zurückgewiesen.

Gründe:

I.

Die vorliegende Patentanmeldung P 43 45 444.5-53 mit der Bezeichnung:

„Datenverarbeitungseinrichtung mit Cache-Speicher“

ist am 10. Dezember 1996 als Ausscheidung der Ansprüche 32-57 aus der Stammanmeldung P 43 35 475.0 mit Anmeldetag 18. Oktober 1993 und unter Inanspruchnahme der japanischen Prioritäten vom 16. Oktober 1992 und 16. Oktober 1993 beim Deutschen Patent- und Markenamt eingereicht worden.

Sie wurde durch Beschluss der Prüfungsstelle für Klasse G 06 F des Deutschen Patent- und Markenamts vom 4. März 2005 mit der Begründung zurückgewiesen, der Gegenstand des Patentanspruchs 1 beruhe nicht auf erfinderischer Tätigkeit.

Gegen diesen Beschluss ist die Beschwerde der Anmelderin gerichtet. Sie stellt den Antrag,

den Beschluss der Prüfungsstelle des Deutschen Patent- und Markenamts vom 4. März 2005 aufzuheben und das Patent mit folgenden Unterlagen zu erteilen:

Patentansprüche 1 bis 7 vom 28. Juli 2003,
ursprüngliche Beschreibung vom 10. Dezember 1996 und
ursprüngliche Zeichnungsblätter 1/71 bis 71/71 vom 10. Dezember 1996.

Der Patentanspruch 1, hier mit einer denkbaren Gliederung versehen, lautet:

„Hierarchische Speicheranordnung für eine Datenverarbeitungsvorrichtung mit einer Cache-Speicher-Einrichtung, die zwischen einer Zentraleinheit und einer Speichereinrichtung mit einer niedrigeren Ordnung angeordnet ist, wobei die Cache- Speicher- Einrichtung umfaßt:

- a) einen Cache-Speicher (1001) zum Speichern einer Kopie eines Teilsinhalts der Speichereinrichtung in einer Schicht niedrigerer Ordnung,
- b) eine Speicherdaten-Speichereinrichtung (1002), die zwischen der Zentraleinheit und dem Cache-Speicher (1001) vorgesehen ist, um Speicherdaten eines Speicherbefehls zu speichern, wenn auf den Cache-Speicher (1001) erfolgreich von der Zentraleinheit während des Ausführens des Speicherbefehls zugegriffen wurde, und
- c) eine Mischeinrichtung (1003) zum Mischen der Speicherdaten, die in der Speicherdaten-Speichereinrichtung (1002) gespeichert sind, um neue Zeilendaten zu erzeugen,
- d) wobei die Mischeinrichtung (1003)
- d1) Zeilendaten liest, auf die gemäß einem Ladebefehl von dem Cache-Speicher (1001) zugegriffen wurde, wenn die Zentraleinheit einen Ladebefehl zum Laden von in der Speicherdaten-Speichereinrichtung (1002) gespeicherten Speicherdaten ausführt,

- d2) die Zeilendaten mit den Speicherdaten, die in der Speicherdaten-Speichereinrichtung (1002) gespeichert sind, mischt, um neue Zeilendaten durch Ersetzen eines entsprechenden Teiles der Zeilendaten durch die Speicherdaten zu erzeugen, und
- d3) die neuen Zeilendaten unmittelbar an die Zentraleinheit ausgibt.“

Hinsichtlich der Unteransprüche 2-7 wird auf die Akte verwiesen.

Der Anmeldung liegt die **Aufgabe** zugrunde, eine hierarchische Speicheranordnung mit einem Cache-Speicher anzugeben, bei der Zugriffsstörungen, welche bei Ausführung eines Speicherbefehls und eines unmittelbar darauf folgenden Ladebefehls, welche die gleiche Adresse betreffen, auftreten können, beseitigt sind (Eingabe vom 13. Juli 1998 S. 2 Abs. 6 unter Berücksichtigung der Klarstellung gemäß Schriftsatz vom 25. August 2005 S. 2 Abs. 3 und 5).

Die Anmelderin vertrat die Auffassung, dass der Stand der Technik dem Patentanspruch 1 nicht entgegensteht, da die D1 eine ganz andere Aufgabenstellung und Zielrichtung betreffe. Außerdem erfolge das Mischen der Daten in als Mischeinrichtung dienenden Full-Write-Register 19 der D1 nicht wie beim Anmeldungsgegenstand bei Kombination von Schreib- und darauffolgendem Ladebefehl, sondern ausschließlich im Rahmen eines Schreibbefehls. Auch das Mischen selbst erfolge in der D1 anders, da nicht die gesamte betreffende Zeile im Cache-Speicher gelesen werde, sondern die Mischeinrichtung werde nur mit den restlichen durch den Schreibbefehl nicht betroffenen Daten der betreffenden Zeile aufgefüllt. Der Gegenstand des Anspruchs 1 beruhe deshalb auf erfinderischer Tätigkeit.

II.

Die Beschwerde wurde frist- und formgerecht eingelegt und ist auch sonst zulässig. Sie ist jedoch nicht begründet, denn der Gegenstand des Patentanspruchs 1 beruht nicht auf einer erfinderischen Tätigkeit (§ 4 PatG).

1. Die Anmeldung betrifft eine hierarchische Speicheranordnung für eine Datenverarbeitungsvorrichtung mit einer Cache-Speicher-Einrichtung, die zwischen einer Zentraleinheit und einer Speichereinrichtung mit einer niedrigeren Ordnung, z. B. einem Hauptspeicher, angeordnet ist. Dabei enthält die Cache-Speicher-Einrichtung in klassischer Weise einen Cache-Speicher zum Speichern einer Kopie eines Teilinhalts der Speichereinrichtung einer Schicht niedriger Ordnung. Zusätzlich umfasst die Cache-Speicher-Einrichtung eine Speicherdaten-Speichereinrichtung (Schreibpuffer 1002) zwischen der Zentraleinheit und dem Cache-Speicher (1001) zum Zwischenspeichern von mit einem Speicherbefehl der Zentraleinheit im Cache-Speicher (1001) abzuspeichernden Daten.

Wesentlich ist eine in der Cache-Speicher-Einrichtung vorgesehene als Zwischenregister wirkende Mischeinrichtung (1003), die Daten einer kompletten Zeile des Cache-Speichers enthält. Bei Ausführung eines Speicherbefehls und eines unmittelbar darauffolgenden Ladebefehls, die sich auf Daten beziehen, die die gleiche Adresse besitzen, werden die mit dem Speicherbefehl in den Schreibpuffer (1002) geschriebenen Daten nicht wie üblich in den Cache-Speicher, sondern in die Mischeinrichtung geschrieben. Dort werden die Schreibdaten gemischt mit der aus dem Cache-Speicher (1001) mittels des nachfolgenden Ladebefehls gelesenen gesamten Zeile mit gleicher Zeilenadresse wie die Daten des vorhergehenden Schreibbefehls. Damit wird die betreffende Zeile aktualisiert. Da nach dem Mischprozess ausschließlich in der Mischeinrichtung (1003) die aktuell gültigen Zeilendaten vorliegen, können bei einem Ladebefehl, der sich auf die gleiche Adresse bezieht wie der vorhergehende Schreibbefehl, die erforderlichen Daten direkt von der Mischeinrichtung an die Zentraleinheit geliefert werden. Bei Ausführung eines

Ladebefehl nach Ausführung eines Speicherbefehls, die beide die gleiche Adresse betreffen, wird dadurch eine Verkürzung der Zugriffszeit erreicht.

Ausgegangen wird dabei von einer hierarchischen Speicheranordnung mit einer Cache-Speicher-Einrichtung, bei der ein automatischer Vorabrufprozess bei einem Cache-Miss erfolgt (S. 5 Abs. 2 der Anmeldeunterlagen). Wegen der unterschiedlichen Anzahl von Zyklen zum Ausführen von Ladebefehl und Speicherbefehl führt ein Ladebefehl unmittelbar nach einem Speicherbefehl im Stand der Technik zu Zugriffsverzögerungen bei der Ausführung des nachfolgenden Ladebefehls wegen des vor dem Lesezugriff erforderlichen Schreibens der Daten in den Cache-Speicher (S. 6 Abs. 4, 8 f., S. 8 Abs. 2).

Als **Fachmann** für einen derartigen Sachverhalt sieht der Senat einen Elektronik-Ingenieur (Universität) an, der mehrjährige Berufserfahrung auf dem Gebiet der Speichersteuerungen besitzt.

2. Die Ansprüche 1 - 7 sind zulässig. Die geltenden Ansprüche 1 - 7 basieren auf den ursprünglichen Ansprüchen 19 - 24 und 26 der Ausscheidungsanmeldung und den Ansprüchen 50 - 55 und 57 der Stammanmeldung mit redaktionellen Änderungen und sind damit zulässig.

3. Die konkreten Merkmale des Anspruchs 1 bedürfen der Auslegung unter Berücksichtigung der Beschreibung.

Der Cache-Speicher (1001) gemäß Merkmal a speichert demnach eine Kopie eines Teiinhalts der Speichereinrichtung einer Schicht niederer Ordnung.

Der Merkmalskomplex d des Anspruchs 1 ist zudem so zu interpretieren, dass der Mischprozess ausschließlich bei der in der Aufgabe genannten Ausführung eines Speicherbefehls und eines unmittelbar darauf folgenden Ladebefehls, welche sich auf Daten mit der gleichen Adresse beziehen, erfolgt. Die in der Speicherdaten-Speichereinrichtung (Schreibpuffer 1002) gespeicherten Daten beziehen sich deshalb auf Daten mit der gleichen Zeilenadresse wie die von der Mischeinrichtung

aus dem Cache-Speicher (1001) ausgelesenen Daten der entsprechenden gesamten Zeile, so dass in der Mischeinrichtung die Daten der Zeile unter der Adresse, die mit den im Schreibpuffer befindlichen geänderten Daten übereinstimmen, mit den Daten aus dem Schreibpuffer überschrieben werden können.

4. So verstanden, ergeben sich die Merkmale des Patentanspruchs 1 für den Durchschnittsfachmann vor dem Anmeldetag der vorliegenden Patentanmeldung in nahe liegender Weise bereits aus der im Zurückweisungsbeschluss angegebenen, vorveröffentlichten

D1: US 5 146 573.

Aus **D1** ist eine hierarchische Speicheranordnung für eine Datenverarbeitungsvorrichtung mit einer Cache-Speicher-Einrichtung (Cache Memory 1), die zwischen einer Zentraleinheit (MPU 2) und einer Speichereinrichtung mit einer niedrigeren Ordnung (Main memory 3) angeordnet ist, entnehmbar (Fig. 2), bei der die Cache-Speicher-Einrichtung einen Cache-Speicher (Data Array 12) zum Speichern einer Kopie eines Teilsinhalts der Speichereinrichtung einer Schicht niedrigerer Ordnung umfasst (Fig. 1, 2) (**Merkmale a**), sowie eine Speicherdaten-Speichereinrichtung (Schreibpuffer: Write buffer 15), die zwischen der Zentraleinheit (MPU 2) und dem Cache-Speicher (Data Array 12) vorgesehen ist, um Speicherdaten eines Speicherbefehls zu speichern, wenn auf den Cache-Speicher (12) erfolgreich von der Zentraleinheit (2) während der Ausführung des Speicherbefehls zugegriffen wurde (Fig. 1, Sp. 3 Z. 42 f.) (**Merkmale b**). Die bekannte Cache-Speicher-Einrichtung umfasst auch eine Mischeinrichtung, die ein Zwischenregister (Full-Write Register 19) zum Zwischenspeichern der gemischten Daten enthält (Fig. 1, Sp. 3 Z. 48-50). Beim Mischen werden die Speicherdaten, die in der Speicherdaten-Speichereinrichtung (Schreibpuffer 15) gespeichert sind, in das Full-Write-Register 19 eingelesen und mit aus dem Cache-Speicher (Data Array 12) ausgelesenen entsprechenden Zeilendaten gemischt, um neue Zeilendaten zu erzeugen. Bei den in der Speicherdaten-Speichereinrichtung (Schreibpuffer 15) gespeicherten

Daten handelt es sich um Daten, die die gleiche Zeilenadresse aufweisen wie die aus dem Cache Speicher ausgelesenen Daten (D1 Fig. 1) (**Merkmale c und d**).

Das Mischen der Daten erfolgt gemäß D1 so, dass die aus der Speicherdaten-Speichereinrichtung (Schreibpuffer 15) gespeicherten Daten (1 Byte) in das Full-Write-Register 19 eingelesen werden und gleichzeitig aus dem Cache-Speicher (12) die restlichen Daten (3 Byte der insgesamt 4 Byte-Daten) der Zeile eingelesen werden, um neue Zeilendaten durch Ersetzen eines entsprechenden Teiles (1 Byte) der Zeilendaten durch die neu einzuschreibenden Daten zu erzeugen (Sp. 4 Z. 16-31, Sp. 5 Z. 26-41) (**Merkmal d2**).

Der Fachmann liest in D1 mit, dass das Mischen der Daten aber auch wie in D1 im Stand der Technik gemäß Sp. 1 Z. 59-63 und Sp. 2 Z. 3 f. beschrieben so erfolgen kann, dass die in der Speicherdaten-Speichereinrichtung (Schreibpuffer 15) gespeicherten Daten (1 Byte) in das Full-Write-Register 19 eingelesen werden, nachdem aus dem Cache-Speicher (12) die gesamte Zeile (4 Byte) in die Mischeinrichtung eingelesen wurde und in der Mischeinrichtung die mit dem Schreibbefehl zu aktualisierenden Daten der Zeile überschrieben werden und dadurch die Zeilendaten mit den Speicherdaten (1 Byte), die in der Speicherdaten-Speichereinrichtung (Schreibpuffer 15) gespeichert sind, gemischt werden (**teilweise Merkmal d1**).

Damit greift das Argument der Anmelderin nicht, dass das Mischen selbst in D1 anders erfolge, da nicht die gesamte betreffende Zeile im Cache-Speicher gelesen werde, sondern die Mischeinrichtung nur mit den restlichen durch den Schreibbefehl nicht betroffenen Daten der betreffenden Zeile aufgefüllt werde.

Das Full-Write-Register 19 in D1 dient darüber hinaus auch als Zwischenregister für Zeilendaten bei einem Ladebefehl der Zentraleinheit bei einem Cache-Hit, speichert also die aus dem Cache-Speicher ausgelesenen Zeilendaten in der Mischeinrichtung und gibt die Daten von dort unmittelbar an die Zentraleinheit aus (Sp. 3 Z. 59-61, Sp. 4 Z. 1-4). Damit ist aus D1 ein Zwischenregister (Full-Write-Register 19) bekannt, das als Mischeinrichtung dient und die gespeicherten Daten unmittelbar an die Zentraleinheit ausgeben kann (**teilweise Merkmal d3**).

Wie von der Anmelderin geltend gemacht, wird zwar in D1 die aufgabengemäße und dem Merkmalkomplex d des Anspruchs 1 zugrundeliegende Befehlskonstellation nicht explizit angesprochen. Dem Fachmann ist jedoch bekannt, dass ein Ladebefehl unmittelbar nach einem Schreibbefehl, die sich auf die gleiche Adresse beziehen, beispielsweise auftreten kann, wenn in der Zentraleinheit bei der Befehlsabarbeitung LIFO-Register verwendet werden. Der Fachmann wird deshalb überprüfen, ob die aus D1 entnehmbare hierarchische Speicheranordnung auch für die Ausführung eines Speicherbefehls und eines unmittelbar darauf folgenden Ladebefehls geeignet ist, welche die gleiche Adresse betreffen, zumal die aus D1 entnehmbare Anordnung den gleichen Aufbau wie die beanspruchte hierarchische Speicheranordnung besitzt. Er erkennt, dass bei dieser konkreten Befehlsfolge die nur im Full-Write-Register 19 der D1 bereits vorliegenden mittels Schreibbefehl aktualisierten Daten bei einem nachfolgenden Ladebefehl auf die gleiche Adresse unmittelbar an die Zentraleinheit ausgegeben werden können (**Merkmal d3**), zumal der direkte Verbindungsweg (Data Bus 17b in Fig. 1) vom Full-Write-Registers 19 zur Zentraleinheit (MPU 2) vorhanden ist und bei einem normalen Ladebefehl zur Übertragung der im Full-Write-Register 19 zwischengespeicherten Daten bereits genutzt wird. Damit greift das Argument der Anmelderin nicht, dass das Mischen der Daten im als Mischeinrichtung dienenden Full-Write-Register 19 in D1 nicht wie beim Anmeldungsgegenstand durch Kombination von Schreib- und darauffolgendem Ladebefehl, sondern ausschließlich im Rahmen eines Schreibbefehls erfolge.

Bei Feststellung der Eignung der aus D1 entnehmbaren hierarchischen Speicheranordnung kann der Fachmann diese für gehäuft auftretende Befehlsfolgen gezielt anwenden und deshalb auch den Verfahrensablauf beim Mischprozess selbst an die aufgabengemäße Befehlskonstellation anpassen, in dem er das in Sp. 1 Z. 59-63 und Sp. 2 Z. 3 f. der D1 bereits beschriebene Lesen der gesamten Zeile aus dem Cache-Speicher durch den den Schreibbefehl unmittelbar nachfolgenden Ladebefehl auslöst und damit Zeilendaten liest, auf die gemäß dem Ladebefehl von dem Cache-Speicher (12) zugegriffen wurde, wenn die Zentraleinheit einen

Ladebefehl zum Laden von in der Speicherdaten-Speichereinrichtung (Schreibpuffer 15) gespeicherten Speicherdaten ausführt (**Merkmal d1**).

Dem Einwand, die D1 betreffe eine ganz andere Aufgabenstellung und Zielrichtung, kann somit ebenfalls nicht gefolgt werden.

Damit ist eine Anordnung mit allen Merkmalen des Patentanspruchs 1 durch den Fachmann in Kenntnis der D1 ableitbar.

III.

Die hierarchische Speicheranordnung mit den Merkmalen des Anspruchs 1 ist somit nicht patentfähig. Mit dem Anspruch 1 fallen notwendigerweise auch die darauf rückbezogenen geltenden Unteransprüche 2 - 7; zumal die Unteransprüche lediglich fachgemäße Ausgestaltungen beinhalten und dafür auch keine erfindersche Besonderheit geltend gemacht wurde.

Bei dieser Sachlage war die Beschwerde der Anmelderin gegen den Beschluss der Prüfungsstelle für Klasse G06F zurückzuweisen.

Dr. Fritsch

Werner

Baumgardt

Wickborn

Fa