



BUNDESPATENTGERICHT

23 W (pat) 12/09

Verkündet am
2. März 2010

(AktENZEICHEN)

...

BESCHLUSS

In der Beschwerdesache

...

betreffend die Patentanmeldung 198 35 839.3-55

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts unter Mitwirkung des Richters Lokys als Vorsitzendem sowie der Richterin Dr. Hock und der Richter Brandt und Dr. Friedrich auf die mündliche Verhandlung vom 12. März 2010

beschlossen:

Die Beschwerde wird zurückgewiesen.

Gründe

I.

Die Anmeldung 198 35 839 wurde am 7. August 1998 unter Inanspruchnahme der Priorität der koreanischen Anmeldung KR 1339/1998 vom 17. Januar 1998 beim Deutschen Patent- und Markenamt eingereicht. Sie trägt die Bezeichnung „Schaltung und Verfahren zum Abfühlen einer Speicherzelle mit mehreren Schwellenspannungen“.

Die Prüfungsstelle für Klasse G11C des Deutschen Patent- und Markenamts hat zum Stand der Technik auf die Druckschriften

- D1 US 5 508 958,
- D2 C. Calligaro et al: „Comparative analysis of sensing schemes for multilevel non-volatile memories;“ Proceedings of the 2nd Annual IEEE International Conference on Innovative Systems in Silicon, 8-10 Okt. 1997, S. 266 - 273,
- D3 T.-S. Jung et al: „A 117 mm² 3,3 V only 128 Mb multilevel NAND flash memory for mass storage applications“; IEEE Journal of Solid-State Circuits, Bd. 31, Nr. 11, Nov. 1996, S. 1575 - 1583, und

- D4 M. Horiguchi et al.: „An experimental large-capacity semiconductor file memory using 16-levels/cell storage,“ IEEE Journal of Solid-State Circuits, Bd. 23, Nr. 1, Febr. 1988, S. 27 - 33

hingewiesen.

Nach mehreren Prüfungsbescheiden hat die Prüfungsstelle die Anmeldung mit Beschluss vom 31. Mai 2006 zurückgewiesen. Zur Begründung hat sie ausgeführt, der Anspruch 1 enthalte nicht alle erfindungswesentlichen Merkmale, denn er enthalte keine Angabe über eine Steuerschaltung für eine mehrstufige variable Gatespannung, die erforderlich sei, um mit einem Referenzstrom mehrere Schwellenspannungen abfühlen zu können.

Gegen diesen am 28. Juni 2006 zugestellten Beschluss wendet sich die Beschwerde der Anmelderin vom 19. Juli 2006, eingegangen am selben Tag.

Mit der Terminladung hat der Senat der Anmelderin ergänzend zu dem bisher genannten Stand der Technik noch die Druckschriften

- D5 US 5 422 842
D6 US 5 682 347 und
D7 US 5 172 338

übermittelt.

In der mündlichen Verhandlung stellt die Anmelderin den Antrag, den Beschluss der Prüfungsstelle für Klasse G11C des Deutschen Patent- und Markenamts vom 31. Mai 2006 aufzuheben und das Patent mit folgenden Unterlagen zu erteilen:

Patentansprüche 1 bis 15, eingegangen am 19. Juli 2006,
Beschreibungsseiten 1, 3, 3a, 4 und 8 eingegangen am
12. Juli 2005,
ursprüngliche Beschreibungsseiten 2 sowie 5 bis 7,
ursprüngliche Figuren 1, 2, 4 und 5,
Figur 3, eingegangen am 4. April 2006 (Hauptantrag).

Hilfsweise stellt sie den Antrag, das Patent mit folgenden Unterlagen zu erteilen:

Patentansprüche 1 bis 10, eingereicht in der mündlichen Verhandlung vom 2. März 2010,
Beschreibungsseiten 1, 3, 3a, 4 und 8 eingegangen am
12. Juli 2005,
ursprüngliche Beschreibungsseiten 2 sowie 5 bis 7,
ursprüngliche Figuren 1, 2, 4 und 5,
Figur 3, eingegangen am 4. April 2006 (Hilfsantrag).

Der geltende Vorrichtungsanspruch 1 nach Hauptantrag lautet:

„Schaltung zum Abfühlen einer Speicherzelle mit mehreren Schwellenspannungen, mit einer Schalteinrichtung (NM33) zum Anlegen oder Blockieren eines Stroms (Izelle) zwischen einer Speicherzelle und einer mit der Speicherzelle verbundenen Bitleitung gemäß einem an einen Eingang der Schalteinrichtung (NM33) angelegten Schaltsteuersignal (LO);
einer Stromvergleichseinrichtung (10) zum Vergleichen eines auf der Bitleitung fließenden Stroms und eines Referenzstroms (Iref) und Ausgeben eines Ergebnisses (SAUS) des Vergleichs; und
einer Speichereinrichtung (40) zum Speichern des Ergebnisses des durch die Stromvergleichseinrichtung (10) durchgeführten

Vergleichs und mit einem Ausgang zum Ausgeben eines Ergebnissignals (LO);
dadurch gekennzeichnet, dass
der Ausgang der Speichereinrichtung (40) und der Eingang der Schalteinrichtung (NM33) verbunden sind, so dass das Ergebnissignal (LO) das Schaltsteuersignal (L0) ist.“

Der nebengeordnete Verfahrensanspruch 11 nach Hauptantrag lautet:

„Verfahren zum Abfühlen einer Speicherzelle mit mehreren Schwellenspannungen, mit folgenden Schritten:
Anlegen eines ersten Spannungspegels einer Mehrzahl vorbestimmter Spannungspegel an eine mit einer Speicherzelle verbundenen Wortleitung;
Abfühlen der Speicherzelle;
Speichern eines Ergebnisses des Abfühlschritts in einer Speichervorrichtung (40); und
Ausgeben eines das gespeicherte Ergebnis angegebenden Ergebnissignals (LO) durch die Speichervorrichtung (40);
gekennzeichnet durch den Schritt
Anlegen oder Blockieren eines Stroms (Izelle) zwischen der Speicherzelle und einer mit der Speicherzelle verbundenen Bitleitung gemäß dem Ergebnissignal (LO) der Speichervorrichtung (40).“

Im Anspruch 1 nach Hilfsantrag wurde das die Anordnung der Schalteinrichtung betreffende Teilmerkmal gegenüber dem Anspruch 1 nach Hauptantrag im Hinblick auf die ursprüngliche Offenbarung umformuliert; außerdem wurden die Merkmale der Unteransprüche 7 bis 9 nach Hauptantrag zusätzlich aufgenommen.

Der Anspruch 1 nach Hilfsantrag lautet somit:

„Schaltung zum Abfühlen einer Speicherzelle mit mehreren Schwellenspannungen, mit einer Schalteinrichtung (NM33) zum Anlegen oder Blockieren eines Stroms (Izelle) zwischen einer Stromvergleichseinrichtung (10) und einer mit der Speicherzelle verbundenen Bitleitung gemäß einem an einen Eingang der Schalteinrichtung (NM33) angelegten Schaltsteuersignal (LO), wobei der Strom in die Bitleitung eingegeben wird;

der Stromvergleichseinrichtung (10) zum Vergleichen des auf der Bitleitung fließenden Stroms und eines Referenzstroms (Iref) und Ausgeben eines Ergebnisses (SAUS) des Vergleichs; und einer Speichereinrichtung (40) zum Speichern des Ergebnisses des durch die Stromvergleichseinrichtung (10) durchgeführten Vergleichs und mit einem Ausgang zum Ausgeben eines Ergebnissignals (LO);

dadurch gekennzeichnet, dass

der Ausgang der Speichereinrichtung (40) und der Eingang der Schalteinrichtung (NM33) verbunden sind, so dass das Ergebnissignal (LO) das Schaltsteuersignal (LO) ist, und die Schaltung eine Zählregisterschaltung (30) mit einem mit dem Ausgang der Speichereinrichtung (40) verbundenen Eingang und zum Zählen gemäß dem Ergebnissignal (LO) aufweist, wobei die Zählregisterschaltung (30) ausgelegt ist, Werte zu zählen, die jeweils eine der Schwellenspannungen der Speicherzelle angeben,

bei der die Schalteinrichtung (NM33) den Strom zwischen der Speicherzelle und der Stromvergleichseinrichtung (10) blockiert und die Größe des auf der Bitleitung fließenden Stroms begrenzt wird, wenn sich ein Pegel des Ergebnissignals (LO) von einem

Pegel bei Initialisierung der Speichereinrichtung (40) unterscheidet.“

In analoger Weise wurde auch der nebengeordnete Verfahrensanspruch 8 nach Hilfsantrag gegenüber dem Verfahrensanspruch 11 nach Hauptantrag umformuliert. Er lautet:

„Verfahren zum Abfühlen einer Speicherzelle mit mehreren Schwellenspannungen, mit folgenden Schritten:

Anlegen eines ersten Spannungspegels einer Mehrzahl vorbestimmter Spannungspegel an eine mit einer Speicherzelle verbundene Wortleitung;

Abfühlen der Speicherzelle;

Vergleichen eines Ergebnisses des Abfühlschritts mit einem Referenzstrom (I_{ref}) und Ausgeben eines Ergebnisses (SAUS) des Vergleichs mittels einer Stromvergleichseinrichtung (10);

Speichern des Ergebnisses des Vergleichsschritts in einer Speichervorrichtung (40); und

Ausgeben eines das gespeicherte Ergebnis angegebenden Ergebnissignals (LO) durch die Speichervorrichtung (40);

gekennzeichnet durch

Anlegen oder Blockieren eines Stroms (I_{zelle}) zwischen der Stromvergleichseinrichtung und einer mit der Speicherzelle verbundenen Bitleitung gemäß dem Ergebnissignal (LO) der Speichervorrichtung (40)

und dadurch, dass

die Werte gemäß dem Ergebnissignal (LO) gezählt werden, die gezählten Werte jeweils eine der vorbestimmten Schwellenspannungen angeben, und der Strom zwischen der Speicherzelle und der Stromvergleichseinrichtung blockiert und die Größe des Stroms begrenzt wird, wenn sich ein Pegel des Ergebnissignals

(LO) von einem Pegel bei Initialisierung der Speichervorrichtung unterscheidet.“

Hinsichtlich der Unteransprüche nach dem Haupt- und dem Hilfsantrag sowie hinsichtlich der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

II.

Die zulässige Beschwerde der Anmelderin erweist sich nach dem Ergebnis der mündlichen Verhandlung als nicht begründet, denn die Schaltung nach Anspruch 1 nach Hauptantrag ist nicht neu und die Schaltung nach Anspruch 1 nach Hilfsantrag beruht nicht auf erfinderischer Tätigkeit des Fachmanns.

Bei dieser Sachlage kann die Zulässigkeit der geltenden Patentansprüche sowie die Frage, ob die Ansprüche alle zur Lösung der Aufgabe notwendigen Merkmale enthalten, dahingestellt bleiben. In gleicher Weise kann auch die Neuheit der Schaltung nach Anspruch 1 nach Hilfsantrag dahingestellt bleiben, vgl. BGH GRUR 1991, 120, 121, II.1 - „Elastische Bandage“.

Als Fachmann ist ein berufserfahrener Diplom-Ingenieur der Elektrotechnik zu definieren, der mit der Entwicklung von Speicherschaltungen und der zugehörigen Schaltungsperipherie zum Auslesen des Programmierzustandes der Speicherzellen betraut ist.

1. Die Anmeldung betrifft eine Schaltung und ein Verfahren zum Abfühlen einer nichtflüchtigen Speicherzelle mit mehreren Schwellenspannungen, vgl. in den geltenden Unterlagen S. 1, Zeilen 6 bis 14.

Derartige Speicherzellen weisen einen MOS-Transistor auf, bei dem zwischen der Gateelektrode und dem Kanalgebiet des Transistors ein sogenanntes „floating

gate“ angeordnet ist, dessen Potential beim Programmieren der Zelle durch das Einbringen von Ladungen gezielt auf mehrere diskrete Niveaus eingestellt werden kann. Durch das in mehreren Stufen einstellbare Potential des „floating gate“ wird auch die an die Gateelektrode anzulegende Schwellenspannung, bei der der Transistor leitend wird, in mehreren Stufen verändert. Dies eröffnet die Möglichkeit, den Transistor der jeweiligen Speicherzelle in mehrere voneinander unterscheidbare Zustände programmieren zu können, so dass pro Speicherzelle entsprechend der Zahl der unterscheidbaren Zustände mehrere Bits gespeichert werden können.

Die Anmelderin geht gemäß den geltenden Beschreibungsunterlagen von einem Stand der Technik aus, bei dem die Speicherzelle in vier verschiedene Zustände programmiert werden kann. Um den jeweiligen Programmierzustand festzustellen, vergleicht eine Abfühl- bzw. Leseschaltung den Strom durch die jeweilige Speicherzelle mit drei unterschiedlichen Referenzstrompegeln, die von Nennstrom-Energiequellen erzeugt werden und so gewählt sind, dass mit den drei Referenzstrompegeln die vier verschiedenen Programmierzustände der Speicherzelle unterschieden werden können.

Diese Abfühlschaltung ist jedoch insofern nachteilig, als sie jeweils drei Strom-Vergleichsleitungen mit den zugehörigen Referenzstromquellen benötigt und damit einen hohen Platzbedarf aufweist. Dies ist insbesondere dann nachteilig, wenn mehr als vier Programmierzustände pro Speicherzelle detektiert werden sollen, wie dies bei Speichern mit hoher Speicherkapazität der Fall ist, bei denen eine größere Zahl von Strom-Vergleichsleitungen benötigt wird, so dass der Platzbedarf für die Abfühlschaltung stark ansteigt.

Zudem weisen Speicher mit derartigen Leseschaltungen einen relativ hohen Stromverbrauch auf, was ihrem Einsatz in tragbaren Geräten mit akkubetriebener Stromversorgung entgegensteht, vgl. Fig. 1 und S. 1, Zeile 15 bis S. 3, Zeile 21 der geltenden Beschreibungsunterlagen.

Der Anmeldung liegt daher als technisches Problem die Aufgabe zugrunde, eine Schaltung und ein Verfahren zum Abfühlen einer Speicherzelle mit mehreren Schwellenspannungen zu schaffen, die eine Spannungsabfühloperation mit geringem Energieverbrauch ausführen und die Größe der Speicherzelle mit mehreren Pegeln durch Minimieren der Größe der Schaltung reduzieren können, vgl. S. 3a, Zeilen 1 bis 9 der geltenden Beschreibungsunterlagen.

Diese Aufgabe wird hinsichtlich der Schaltung gemäß dem geltenden Anspruch 1 nach Hauptantrag gelöst durch eine Schaltung zum Abfühlen einer Speicherzelle mit mehreren Schwellenspannungen, bei der eine Stromvergleichseinrichtung einen auf der Bitleitung fließenden Strom und einen Referenzstrom vergleicht und eine Speichereinrichtung das Ergebnis des Vergleichs speichert und das Ergebnissignal an einem Ausgang ausgibt, wobei der Ausgang der Speichereinrichtung mit dem Eingang einer Schalteinrichtung zum Anlegen oder Blockieren eines Stroms zwischen einer Speicherzelle und einer mit der Speicherzelle verbundenen Bitleitung verbunden ist, so dass das Ergebnissignal das Schaltsteuersignal der Schalteinrichtung ist.

Der Anspruch 1 nach Hilfsantrag modifiziert diese Lehre dahingehend, dass die Schalteinrichtung zum Anlegen oder Blockieren eines Stroms zwischen einer Stromvergleichseinrichtung und einer mit der Speicherzelle verbundenen Bitleitung dient und dass die Größe des auf der Bitleitung fließenden Stroms begrenzt wird, wenn sich ein Pegel des Ergebnissignals von einem Pegel bei Initialisierung der Speichereinrichtung unterscheidet. Außerdem ist eine Zählregisterschaltung vorgesehen, die ebenfalls mit dem Ausgang der Speichervorrichtung verbunden ist und Werte zählt, die jeweils eine der Schwellenspannungen der Speicherzelle angeben.

Hinsichtlich des Verfahrens wird die Aufgabe gemäß dem Anspruch 11 nach Hauptantrag gelöst durch ein Verfahren zum Abfühlen einer Speicherzelle mit mehreren Schwellenspannungen, bei dem ein erster einer Mehrzahl vorbestimm-

ter Spannungspegel an eine mit einer Speicherzelle verbundene Wortleitung angelegt wird, die Speicherzelle abgefühlt und das Ergebnis des Abfühlschritts in einer Speichervorrichtung gespeichert und das Ergebnissignal durch die Speichervorrichtung ausgegeben wird, wobei ein Strom zwischen der Speicherzelle und einer mit der Speicherzelle verbundenen Bitleitung gemäß dem Ergebnissignal der Speichervorrichtung angelegt oder blockiert wird.

Der Verfahrensanspruch 8 nach Hilfsantrag präzisiert diese Lehre dahingehend, dass das Ergebnis des Abfühlschritts mit einem Referenzstrom verglichen, mittels einer Stromvergleichseinrichtung das Ergebnis des Vergleichs ausgegeben und das Ergebnis des Vergleichsschritts in einer Speichervorrichtung gespeichert wird. Außerdem präzisiert dieser Anspruch, dass ein Strom zwischen der Stromvergleichseinrichtung und einer mit der Speicherzelle verbundenen Bitleitung gemäß dem Ergebnissignal der Speichervorrichtung angelegt oder blockiert wird und die Größe des Stroms begrenzt wird, wenn sich ein Pegel des Ergebnissignals von einem Pegel bei Initialisierung der Speichereinrichtung unterscheidet. Weiterhin werden die Werte gemäß dem Ergebnissignal gezählt, wobei die gezählten Werte jeweils eine der vorbestimmten Schwellenspannungen angeben.

2. Die Schaltung zum Abfühlen einer Speicherzelle mit mehreren Schwellenspannungen nach Anspruch 1 nach Hauptantrag ist nicht neu.

Die Druckschrift D5 offenbart eine Schaltung zum Abfühlen einer Speicherzelle (*This invention relates in general to electrically erasable and programmable read-only memories („EEPROMs“) and in particular, to a method and circuit which minimizes the programming time for individual and blocks of memory cells by simultaneously programming and verifying the programming of each EEPROM cell being programmed / Sp. 1, Zeilen 8 bis 14).*

Diese Schaltung (*circuit 100 / Fig. 3*) weist in Übereinstimmung mit der Lehre des geltenden Anspruchs 1 nach Hauptantrag auf:

- eine Schalteinrichtung zum Anlegen oder Blockieren eines Stroms (*cell current control transistor N4 / Sp. 6, Zeile 57 und 58 i: V: m: Fig. 3*) zwischen einer Speicherzelle und einer mit der Speicherzelle verbundenen Bitleitung (*BL1, BL2, ... / Fig. 3*) gemäß einem an einen Eingang (*Gate des Transistors N4*) der Schalteinrichtung angelegten Schaltsteuersignal (*Programming is then initiated when a programming signal PGM turns on „programming control“ transistor N5, which in turn, allows the output of data latch 102 to turn on „cell current control“ transistor N4 when the output of data latch is high (i.e. when the selected EEPROM cell is to be programmed). In response [...], the selected EEPROM cell, through bit line BL2, for example, draws a cell current I_{DS} / Sp. 7, Zeilen 10 bis 19; Thereupon, the sense amplifier 104 causes programming to be terminated by generating a reset signal to the data latch 102. [...] The output of inverter 130, which is the reset signal to data latch 102, goes HIGH, and the data latch 102 is reset, thus causing programming to stop by its output going LOW which turns off „current control“ transistor N4 / Sp. 7, Zeilen 40 bis 51*),
- eine Stromvergleichseinrichtung (*sense amplifier 104 / Fig. 3*) zum Vergleichen eines auf der Bitleitung fließenden Stroms (*cell current I_{DS}*) und eines Referenzstroms (*I_{REF}*) und zum Ausgeben eines Ergebnisses des Vergleichs (*By selecting a reference current I_{REF} at a current level slightly higher than that of the programmed state current I_2 , completion of the programming process can be detected by the sense amplifier 104 when the cell current I_{DS} drops to or below the reference current I_{REF} at time t_3 / Sp. 7, Zeilen 35 bis 40; By selecting a reference current I_{REF} at a current le-*

vel between that of the unprogrammed and programmed state currents, I_1 and I_2 , an unprogrammed cell (e.g., program state „0“) can be detected by the sense amplifier 104 if the cell current I_{DS} rises to or above the reference current I_{REF} at time t_2 , and a programmed cell (e.g., program state „1“) can be detected by the sense amplifier 104 if the cell current I_{DS} does not reach the reference current I_{REF} / Sp. 8, Zeilen 9 bis 17), und

- eine Speichereinrichtung (data latch 102 / Fig. 3) zum Speichern des Ergebnisses des Vergleichs (Completion of the programming process can be detected by the sense amplifier 104 when the cell current I_{DS} drops to or below the reference current I_{REF} at time t_3 . Thereupon, the sense amplifier 104 causes programming to be terminated by generating a reset signal to the data latch 102 / Sp. 7, Zeilen 37 bis 42) und mit einem Ausgang (out / Fig. 3) zum Ausgeben des Ergebnissignals, wobei der Ausgang mit dem Eingang der Schalteinrichtung verbunden ist, so dass das Ergebnissignal das Schaltsteuersignal ist (the data latch 102 is reset, thus causing programming to stop by its output going LOW which turns off „current control“ transistor N4 / Sp. 7, Zeilen 48 bis 51).

Der Aufbau der Schaltung zum Abfühlen der Speicherzelle nach der Druckschrift D5 entspricht somit dem der Schaltung nach Anspruch 1 nach Hauptantrag. Der leichten Verständlichkeit wegen wird die Schaltung dabei nur im Zusammenhang mit dem Abfühlen einer Speicherzelle mit einer einzigen Schwellenspannung erläutert, wobei jedoch in der Druckschrift D5 darauf hingewiesen wird, dass diese Schaltung auch für das Abfühlen einer Speicherzelle mit mehreren Schwellenspannungen verwendet werden kann. Hierzu muss lediglich - wie hierzu in der Druckschrift D5 erläutert wird - der von der Abfühlschaltung getrennte Schaltkreis zum Programmieren der Zellen entsprechend erweitert sowie eine Möglichkeit zum Anlegen mehrerer verschiedener Referenzstrompegel geschaffen werden (Although the above discussion has been limited, for simplicity, to bi-state

EEPROM cells, it is also applicable to the programming of multi-state EEPROM cells / Sp. 2, Zeilen 10 bis 12; Fig. 8 illustrates, as an example, a block diagram of circuitry, utilizing aspects of the present invention for selectively programming and automatically verifying the programming of multi-state memory cells in an EEPROM cell array. Since multi-state memory cells can be programmed to more than the two (e.g. programmed or unprogrammed) states which have been discussed so far, additional programming circuitry is required. [...] A current source 118 [...] is connected to a current divider 120 which generates a plurality of reference currents IRF1-IRF4 [...], where in each of the plurality of reference currents IRF1-IRF4 corresponds to one of the programmable states of the multistate memory cell. By proper selection of reference currents IRF1-IRF4, utilizing techniques similar to that used in selecting the reference current I_{REF} for the two-state memory cell as previously described, programming circuits PCU1-PCU4 can each program and automatically verify the programming of a separate one of the plurality of memory states / Fig. 8 i: V: m: Sp. 11, Zeilen 3 bis 30).

Somit offenbart die Druckschrift D5 eine Schaltung zum Abfühlen einer Speicherzelle mit mehreren Schwellenspannungen gemäß der Lehre des Anspruchs 1 nach Hauptantrag. Die Schaltung nach Anspruch 1 nach Hauptantrag ist somit nicht neu.

3. Die Schaltung nach Anspruch 1 nach Hilfsantrag beruht hingegen nicht auf erfinderischer Tätigkeit des oben definierten Fachmanns. Denn soweit die im Anspruch 1 nach Hilfsantrag über den Anspruch 1 nach Hauptantrag hinausgehend gegebene Lehre nicht bereits ebenfalls in der Druckschrift D5 offenbart ist, liegt sie im fachmännischen Können.

Zusätzlich zu der oben bereits erläuterten Lehre offenbart die Druckschrift D5 in Übereinstimmung mit der im ersten Teilmerkmal des Anspruchs 1 nach Hilfsantrag gegebenen Lehre auch, dass die Schalteinrichtung (*transistor N4*) zum Anlegen oder Blockieren eines Stroms zwischen einer Stromvergleichseinrichtung (*sense*

amplifier 104) und einer mit der Speicherzelle verbundenen Bitleitung (bit line selection 112, bit lines BL1, BL2,...) gemäß dem an einen Eingang der Schalteinrichtung angelegten Schaltsteuersignal dient. Dabei blockiert die Schalteinrichtung den Strom zwischen der Speicherzelle und der Stromvergleichseinrichtung in Übereinstimmung mit der im letzten Teilmerkmal des Anspruchs 1 gegebenen Lehre, wenn sich ein Pegel des von der Speichereinrichtung (data latch 102) abgegebenen Ergebnissignals von einem Pegel bei Initialisierung der Speichereinrichtung unterscheidet ([...] allows the output of data latch 102 to turn on „cell current control“ transistor N4 when the output of data latch 102 is HIGH [...]. In response [...], the selected EEPROM cell, through bit line BL2, for example, draws a cell current I_{DS} , which is provided by and sensed by sense amplifier 104 / Sp. 7, Zeilen 12 bis 19; [...] the data latch 102 is reset, thus causing programming to stop by its output going LOW which turns off „current control“ transistor N4 / Sp. 7, Zeilen 48 bis 51).

Mit dem Wechsel des Pegels des Ergebnissignals der Speichereinrichtung wird auch die Größe des auf der Bitleitung fließenden Stroms begrenzt, wie es außerdem im letzten Teilmerkmal des Anspruchs 1 nach Hilfsantrag angegeben wird. Denn mit dem Wechsel des Signalpegels des Ergebnissignals beendet die Schalteinrichtung den Programmiervorgang auf dem eingestellten Schwellenspannungsniveau (*the data latch 102 is reset, thus causing programming to stop by its output going LOW which turns off „current control“ transistor N4 / Sp. 7, Zeilen 48 bis 51*), so dass die Zelle auf diesem beim Programmieren eingestellten Schwellenspannungspegel verbleibt. Damit wird der Strom durch die Zelle und damit auf der Bitleitung auf den durch diesen Schwellenspannungspegel vorgegebenen Strom begrenzt, der den jeweiligen Programmierzustand angibt und von der Abfühlschaltung durch den Vergleich mit den Referenzströmen verglichen wird (*each of the plurality of reference currents IRF1 - IRF4 corresponds to one of the programmable states of the multistate memory cell. [...] programming circuits PCU1 - PCU4 can each program and automatically verify the programming of a separate one of the plurality of memory states / Sp. 11, Zeilen 17 bis 30*).

Bei dieser Schaltung gemäß der Lehre der beiden noch verbleibenden Teilmerkmale eine Zählregisterschaltung zum Zählen des Ergebnissignals mit einem mit dem Ausgang der Speichervorrichtung verbundenen Eingang vorzusehen, die ausgelegt ist, Werte zu zählen, die jeweils eine der Schwellenspannungen der Speicherzelle angeben, beruht nicht auf erfinderischer Tätigkeit des Fachmanns.

Denn für den Fachmann ist es selbstverständlich, dass die Schaltung nach der Druckschrift D5 den Programmierzustand der einzelnen Speicherzellen nicht nur überprüft, sondern dass der jeweils festgestellte Programmierzustand auch in ein entsprechendes Bitsignal umgesetzt werden muss, denn nur Bitsignale können in der Digitaltechnik überhaupt verarbeitet werden.

Wie die Druckschrift D1 zeigt, wird der Programmierzustand einer Speicherzelle bei Schaltungen zum Abfühlen einer Speicherzelle mit mehreren Schwellenspannungen mit Hilfe eines digitalen Zählers und somit mittels einer Zählregisterschaltung erfasst, deren Eingang mit dem Ausgang der Speichervorrichtung verbunden ist, die die den Schwellenspannungen der Zelle entsprechenden Ergebnissignale speichert (*Each memory cell selected for sensing is coupled to a sense amplifier 102 that detects when a cell current equal to a fixed reference current is generated in that memory cell. [...] Sense amplifiers 102 are correspondingly coupled to enable inputs of a plurality of latches 106 such that latches 106 latch the digital counter value when a corresponding sense amplifier 102 detects the fixed reference current. The latched digital counter value indicates the state of the corresponding sensed memory cell. The output of latches 106 are read to provide the digital data stored in the sensed memory cells of array 100 / Fig. 5A i: V: m: Sp. 8, Zeilen 30 bis 43*).

Für den Fachmann bedarf es somit keiner erfinderischen Tätigkeit, dieser Lehre folgend auch bei der Schaltung nach der Druckschrift D5 ein Zählregister vorzusehen, dessen Eingang mit dem Ausgang der Speichervorrichtung verbunden ist und das Werte zählt, die jeweils eine der Schwellenspannungen angeben.

4. Sowohl der Anspruch 1 nach Hauptantrag als auch der Anspruch 1 nach Hilfsantrag enthalten damit keine patentfähige Lehre. Die Anmelderin hat weder auf den nebengeordneten Anspruch 11 nach Hauptantrag noch auf den nebengeordneten Anspruch 8 nach Hilfsantrag einen selbständigen Hilfsantrag gerichtet noch für die in den Unteransprüchen 2 bis 10 und 12 bis 15 nach Hauptantrag bzw. in den Unteransprüchen 2 bis 7 sowie 9 und 10 nach Hilfsantrag genannten Merkmale eine gesonderte patentbegründende Wirkung geltend gemacht. Somit fallen mit dem jeweiligen Vorrichtungsanspruch 1 nach Haupt- und Hilfsantrag wegen der Antragsbindung auch der jeweilige nebengeordnete Verfahrensanspruch 11 bzw. 8 sowie die jeweiligen Unteransprüche nach Haupt- bzw nach Hilfsantrag, vgl. BGH GRUR 2007, 862, 863 Tz. 18 - „Informationsübermittlungsverfahren II“.

5. Bei dieser Sachlage war die Beschwerde der Anmelderin zurückzuweisen.

Lokys

Dr. Hock

Brandt

Dr. Friedrich

prä