



BUNDESPATENTGERICHT

23 W (pat) 52/07

(Aktenzeichen)

Verkündet am
8. Mai 2012

...

BESCHLUSS

In der Beschwerdesache

...

betreffend die Patentanmeldung 197 35 430.0

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 8. Mai 2012 unter Mitwirkung des Vorsitzenden Richters Dr. Strößner sowie der Richter Metternich, Dr. Friedrich und Dr. Zebisch

beschlossen:

1. Der Beschluss der Prüfungsstelle für Klasse H 01 L des Deutschen Patent- und Markenamts vom 13. Juli 2007 wird aufgehoben.
2. Es wird ein Patent mit der Bezeichnung „MOS-Transistor“, mit dem Anmeldetag 15. August 1997 und mit der ausländischen Priorität US 74 94 25 vom 15. November 1996 auf der Grundlage folgender Unterlagen erteilt:

Patentansprüche 1 bis 6, eingegangen am 8. Mai 2012, Beschreibungsseiten 1, und 5, eingegangen am 15. August 1997, Beschreibungsseite 3 eingegangen am 18. September 2007, und Beschreibungsseiten 2, 3a, 4 und 6, eingegangen am 8. Mai 2012 sowie 5 Blatt Zeichnungen mit Figuren 1 bis 7, eingegangen am 3. März 1998.

Gründe

I.

Die vorliegende Anmeldung mit dem Aktenzeichen 197 35 430.0 und der Bezeichnung „MOS-Transistor“ wurde am 15. August 1997 unter Inanspruchnahme der Priorität vom 15. November 1996 mit der Nummer US 74 94 25 beim Deutschen Patent- und Markenamt eingereicht.

Die Prüfungsstelle hat im Prüfungsverfahren den Stand der Technik gemäß den Druckschriften

- D1 US 4 949 139
- D2 WO 96/15554 A1
- D3 EP 0 644 594 A1
- D4 D. Widmann et al.: Technologie hochintegrierter Schaltungen, 2. Auflage, Springer Verlag (1996), Seite 317

berücksichtigt und ausgeführt, dass der MOS-Transistor des Anspruchs 1 nicht neu bezüglich der Lehre der Druckschrift D1 sei und dass das zugehörige Herstellungsverfahren des nebengeordneten Anspruchs 10 dem Fachmann durch die Lehre der Druckschrift D4 nahegelegt werde.

Mit Eingabe vom 2. Juli 2007 hat die Anmelderin einen neuen Anspruch 1 vorgelegt und hilfsweise eine Anhörung beantragt.

Die Anmeldung ist daraufhin durch Beschluss vom 13. Juli 2007 mit der Begründung, dass das Herstellungsverfahren des Nebenanspruchs 10 nicht auf einer erfinderischen Tätigkeit beruhe, zurückgewiesen worden.

Gegen diesen Beschluss, dem Vertreter der Anmelderin am 15. August 2007 zugestellt, richtet sich die fristgemäß am Montag, den 17. September über Fax beim Deutschen Patent- und Markenamt eingegangene Beschwerde.

Im Nachgang zur Terminladung hat der Senat der Vertreterin der Anmelderin noch die Druckschrift

- D5 Saito, M. u. a., Advantage of Small Geometry Silicon MOS-FETs for High-Frequency Analog Applications under Low Power Supply Voltage of 0.5 V, 1995 Symposium on VLSI Technology Digest of Technical Papers, Sn. 71 u. 72

übermittelt und darauf hingewiesen, dass der dort in Fig. 2 offenbarte MOS-Transistor möglicherweise dem Gegenstand des Anspruchs 1 patenthindernd entgegenstehen könnte.

In der mündlichen Verhandlung am 8. Mai 2012 stellt die Anmelderin den Antrag,

1. den Beschluss der Prüfungsstelle für Klasse H 01 L des Deutschen Patent- und Markenamts vom 13. Juli 2007 aufzuheben;
2. ein Patent mit der Bezeichnung „MOS-Transistor“, mit dem Anmeldetag 15. August 1997 und mit der ausländischen Priorität US 74 94 25 vom 15. November 1996 auf der Grundlage folgender Unterlagen zu erteilen:
Patentansprüche 1 bis 6, eingegangen am 8. Mai 2012, Beschreibungsseiten 1 und 5, eingegangen am 15. August 1997, Beschreibungsseite 3, eingegangen am 18. September 2007, und Beschreibungsseiten 2, 3a, 4 und 6, eingegangen am 8. Mai 2012, sowie 5 Blatt Zeichnungen mit Figuren 1 bis 7, eingegangen am 3. März 1998.

Zudem hat sie schriftsätzlich die Rückzahlung der Beschwerdegebühr angeregt.

Der geltende und mit Gliederungspunkten versehene Patentanspruch 1 lautet:

- „MOS-Transistor (100; 200) mit
- a) einer Mehrzahl von in einem aktiven Halbleiterbereich (118) vorgesehenen Sourceregionen (112),
 - b) zwischen jeweils zwei benachbarten Sourceregionen (112) angeordneten Drainregionen (114), und

- c) zwischen jeweils einer Source- und einer Drainregion (112, 114) angeordneten Kanalregionen (116) mit überlagerten Gateoxidregionen (121) und auf diesen angeordneten Gates (122), und
- d) mit Gateanschlussregionen (124) außerhalb des aktiven Halbleiterbereichs, an denen jeweils ein Gatekontakt (130) angeschlossen ist,
- e) wobei die Gateanschlussregionen (124) die Enden der Gates (122) miteinander verbinden, so dass die einander gegenüberliegenden Enden eines Gates (122) mit den Enden anderer benachbarter Gates (122) verbunden sind und alle Gatekontakte (130) miteinander verbunden sind

dadurch gekennzeichnet, dass

- f) jeder Gatekontakt (130) mit jeweils einer Metallregion (132) verbunden ist und jede Metallregion (132) über jeweils einen Durchkontaktierungsstopfen (134) mit einer alle Durchkontaktierungsstopfen (134) verbindenden Metallschicht (136) verbunden ist.“

Hinsichtlich der Unteransprüche 2 bis 6 sowie der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

II.

Die form- und fristgerecht erhobene Beschwerde ist zulässig und auch begründet, denn der Gegenstand des nunmehr geltenden und zulässigen Anspruchs 1 ist durch den im Verfahren befindlichen Stand der Technik nicht patenthindernd getroffen (§§ 1 - 5 PatG), so dass der angefochtene Beschluss der Prüfungsstelle aufzuheben und das Patent in dem beantragten Umfang zu erteilen war (§ 79 Abs. 1 PatG i. V. m. § 49 Abs. 1 PatG).

1. Die geltenden Patentansprüche 1 bis 6 sind zulässig. Die Merkmale a) bis d) des Oberbegriffs des Anspruchs 1 sind die Merkmale des Oberbegriffs des ursprünglichen Anspruchs 1 und das Merkmal e) des Oberbegriffs ist im seitenübergreifenden letzten Absatz der ursprünglichen Beschreibungsseite 4 offenbart. Das Kennzeichen des Anspruchs 1 gemäß Merkmal f) entspricht dem Merkmal des anhand der Figur 2B und der ursprünglichen Beschreibungsseite 5, dritter Absatz, in Verbindung mit den Figuren 1 und 2A präzisierten ursprünglichen Anspruchs 2.

Die Unteransprüche 2 bis 6 sind die angepassten ursprünglichen Ansprüche 4 bis 6, 8 und 9.

2. Die Anmeldung betrifft einen MOS-Transistor und geht im Oberbegriff des geltenden Anspruchs 1 von einem Stand der Technik aus, wie er aus der Druckschrift D5 bekannt ist. Deren Figuren 1 und 2 zeigen in Übereinstimmung mit den Merkmalen a) bis e) des Oberbegriffs einen MOS-Transistor (*high frequency operation MOSFET*) mit einer Mehrzahl von in einem aktiven Halbleiterbereich vorgesehenen Sourcereionen (S), zwischen jeweils zwei benachbarten Sourcereionen (S) angeordneten Drainregionen (D), zwischen jeweils einer Source- und einer Drainregion (S, D) angeordneten Kanalregionen mit überlagerten Gateoxidregionen (*gate oxide*) und auf diesen angeordneten Gates (*gate electrode*), mit Gateanschlussregionen außerhalb des aktiven Halbleiterbereichs, an denen jeweils ein Gatekontakt (*contact hole*) angeschlossen ist, wobei die Gateanschlussregionen die Enden der Gates miteinander verbinden, so dass die einander gegenüberliegenden Enden eines Gates mit den Enden anderer benachbarter Gates verbunden sind und alle Gatekontakte miteinander verbunden sind.

Aufgrund der speziellen Anordnung der Gates in Form einer Vielfinger-Struktur erreichen solche bekannten Hochfrequenz-MOS-Transistoren eine hohe maximale Schwingfrequenz f_{MAX} , die für Hochfrequenzanwendungen ein wichtiges Kriterium darstellt und sich aus folgender Gleichung berechnen lässt:

$$f_{MAX} = \frac{f_T}{2\sqrt{2\pi f_T R_g C_{gd} + g_{ds}(R_s + R_g)}}$$

Dabei ist f_T die Grenzfrequenz des Transistors, g_{ds} der Ausgangsleitwert des Transistors, R_s der Sourcewiderstand, C_{gd} die Gatekapazität zum Drain und R_g der Gatewiderstand, der wiederum über $R_g = R_p \frac{W}{n^2 L_g}$ mit den physikalischen Größen Bahnwiderstand R_p des Polysiliziums, Anzahl n von Fingern, Länge L_g eines einzelnen Gates und Gesamtbreite $W = nL_f$ der Gates verbunden ist, wobei L_f die Breite eines einzelnen Gatefingers darstellt. Da gemäß obiger Formel die maximale Schwingfrequenz f_{MAX} mit abnehmendem Gatewiderstand R_g zunimmt, kann diese bspw. durch Erhöhen der Anzahl der Gatefinger oder durch Verringerung des Bahnwiderstands R_p des Gates erhöht werden, *vgl. Beschreibungsseiten 1 bis 3, erster Absatz.*

Vor diesem Hintergrund liegt der Anmeldung als technisches Problem die Aufgabe zugrunde, einen MOS-Transistor nach dem Oberbegriff des Anspruchs 1 zu schaffen, bei dem der Gatewiderstand weiter herabgesetzt ist, *vgl. Beschreibungsseite 3a, drittletzter Absatz.*

Gelöst wird diese Aufgabe durch einen MOS-Transistor nach dem Oberbegriff des Anspruchs 1 mit dem Kennzeichen des Anspruchs 1, wonach jeder Gatekontakt mit jeweils einer Metallregion verbunden ist und jede Metallregion über jeweils einen Durchkontaktierungsstopfen mit einer alle Durchkontaktierungsstopfen verbindenden Metallschicht verbunden ist.

Demnach ist für den MOS-Transistor nach Anspruch 1 wesentlich, dass sein Gate eine Mehrzahl von Gateanschlussregionen aufweist, die die einander gegenüberliegenden Enden eines Gatefingers über Gatekontakte mit den Enden anderer benachbarter Gatefinger verbinden, indem jeder Gatekontakt mit jeweils einer

Metallregion verbunden ist und jede Metallregion über jeweils einen Durchkontaktierungsstopfen mit einer alle Durchkontaktierungsstopfen verbindenden Metallschicht verbunden ist. Insbesondere durch die metallische Verbindung der Gates wird der Gatewiderstand gegenüber einer ausschließlichen Polysilizium-Verbindung reduziert und die maximale Schwingfrequenz des Transistors erhöht, *vgl. Beschreibungsseite 4, letzter Absatz bis Beschreibungsseite 5, dritter Absatz.*

3. Der MOS-Transistor gemäß Anspruch 1 ist hinsichtlich des nachgewiesenen Stands der Technik neu und beruht diesem gegenüber auch auf einer erfinderischen Tätigkeit des zuständigen Fachmanns, der im vorliegenden Fall als berufserfahrener und mit der Entwicklung von Hochfrequenz-MOS-Transistoren betrauter Diplom-Physiker mit Hochschulabschluss zu definieren ist.

So offenbart Druckschrift D5 in Figur 2, wie vorstehend dargelegt, zwar einen MOS-Transistor mit den Merkmalen des Oberbegriffs des Anspruchs 1, der zudem in Übereinstimmung mit der Lehre der Patentanmeldung für Hochfrequenz-Anwendungen ausgelegt ist, vgl. bspw. den Titel der D5. Jedoch geben weder die Beschreibung noch die Figuren dem Fachmann einen Hinweis, die in Figur 2 gezeigten Kontaktlöcher des Gate-Mäanders entsprechend dem Kennzeichen des Anspruchs 1 über einen Gatekontakt mit jeweils einer Metallregion und jede Metallregion über jeweils einen Durchkontaktierungsstopfen mit einer alle Durchkontaktierungsstopfen verbindenden Metallschicht zu verbinden.

Auch aus dem übrigen vorliegenden Stand der Technik gemäß den Druckschriften D1 bis D4 erhält der Fachmann keine Anregung, den aus Druckschrift D5 bekannten Transistor gemäß dem kennzeichnenden Merkmal weiter zu entwickeln.

Druckschrift D1 zeigt in den Figuren 2 und 5 und der zugehörigen Beschreibung in Spalte 1, Zeilen 25 bis 41, bzw. in Spalte 4, letzter Absatz, jeweils einen MOS-Transistor mit den Merkmalen a) bis d) des Oberbegriffs von Anspruch 1. Jedoch sind weder bei der in Figur 2 dargestellten Gate-Kammstruktur noch bei der in Figur 5 gezeigten Gate-Mäanderform Gateanschlussregionen, an denen jeweils ein Gatekontakt angeschlossen ist, vorgesehen, die die Enden der Gates so miteinander verbinden, dass die einander gegenüberliegenden Enden eines Gates mit den Enden anderer benachbarter Gates verbunden sind. Zudem offenbart Druckschrift D1 auch nicht das Kennzeichen des Anspruchs 1, denn die Gate-Sammelleitungen (22 bzw. 54) der Figuren 2 und 5 sind über Gatekontakte direkt und ohne Zwischenschaltung einer Metallregion und einer Durchkontaktierung mit dem Gate (G bzw. 64a, b, c) verbunden. Druckschrift D1 kann die Merkmale e) und f) des Anspruchs 1 auch nicht nahelegen, denn der gemäß Figur 5 der Druckschrift D1 nur abschnittsweise kontaktierte Gate-Mäander soll als RC-Verzögerungsglied dienen (*The above objective has been met with a transistor construction for output drivers having a gate electrode passing between source and drain diffusion zones forming an RC delay line / vgl. Sp. 2, Zn. 22 bis 25*), was von einer solchen alle Durchkontaktierungsstopfen verbindenden Metallschicht wegführt.

Druckschrift D2 beschreibt eine MOS-Transistor-Teststruktur zur Untersuchung der als Antenneneffekt bekannten Gateoxidschädigung aufgrund von Plasmaprozessen während der Herstellung der Transistoren. Dabei wird das Gate mit Hilfe aufeinander gestapelter Durchkontaktierungen und Metallregionen mit dem Anschlusspad kontaktiert und dadurch eine Teststruktur mit einem bestimmten Antennenverhältnis bereitgestellt, das durch die Summe aus Gate-Anschlusspadfläche und Metallregionenfläche geteilt durch die Gatefläche gegeben ist, vgl. das Abstract und die Figuren 6 bis 8 mit Beschreibung auf den Seiten 5 und 6. Zwar zeigen diese Figuren prinzipiell die Möglichkeit, Gatefinger über die Stapelung von Durchkontaktierungen und Metallschichten mit einem Anschlusspad zu kontaktieren, doch gibt es für den Fachmann keine Anregung, diese gestapelten Kontakte auf den in Druckschrift D5 offenbarten MOS-Transistor

anzuwenden und zusätzlich entsprechend Merkmal f) des Anspruchs 1 alle Durchkontaktierungen mit einer Metallschicht zu verbinden. Vielmehr lehrt Druckschrift D2, zur Verringerung von Antennenschäden das Antennenverhältnis, d. h. den Quotienten aus den mit dem Gate verbundenen leitenden Flächen und der Gatefläche möglichst klein zu gestalten, vgl. S. 2, Zn. 30 bis 32 u. S. 1, le. Abs., was den Fachmann von der Lösung gemäß Anspruch 1 gerade wegführt, denn das Vorsehen zusätzlicher Metallregionen bzw. -schichten gemäß dem Kennzeichen des Anspruchs 1 hat im Gegensatz zur Lehre der Druckschrift D2 eine Erhöhung des Antennenverhältnisses zur Folge.

Aus Druckschrift D3, vgl. deren Figur 4 mit Beschreibung in Sp. 5, Z. 45 bis Sp. 6, Z. 48, ist es bekannt, die Stromtragfähigkeit von Leiterbahnen mittels zusätzlicher über Durchkontaktierungen verbundener Leiterbahnen zu erhöhen. Ein Hinweis bezüglich des Kennzeichens von Anspruch 1 ergibt sich für den Fachmann daraus nicht.

Der von der Prüfungsstelle zum ursprünglichen Verfahrensanspruch 10 angeführte Auszug aus dem Lehrbuch D4 zeigt den Fertigungsprozess des Abscheidens einer Metallschicht auf einem Kontakt und des anschließenden Ätzens der Metallschicht zur Herstellung einer Leiterbahn. Auch daraus erhält der Fachmann keine Anregung, den in Druckschrift D5 beschriebenen MOS-Transistor gemäß dem Kennzeichen des Anspruchs 1 auszugestalten.

Der MOS-Transistor des Anspruchs 1 ist daher neu, durch den vorgelegten Stand der Technik nicht nahegelegt und somit patentfähig.

An diesen Patentanspruch können sich die Unteransprüche 2 bis 6 anschließen, da diese vorteilhafte Weiterbildungen des MOS-Transistors nach Patentanspruch 1 angeben.

In der geltenden Beschreibung ist der maßgebliche Stand der Technik, von dem die Erfindung ausgeht, genannt und ausreichend erläutert.

4. Die Rückzahlung der Beschwerdegebühr aus Billigkeitsgründen war nicht anzuordnen (§ 80 Abs. 3 PatG). Dies käme nur in Betracht, wenn bei ordnungsgemäßer und angemessener Sachbehandlung der Erlass eines Zurückweisungsbeschlusses nicht in Betracht gekommen wäre und damit die Erhebung einer Beschwerde sowie die Zahlung der Beschwerdegebühr hätte vermieden werden können, vgl. Schulte PatG, 8. Auflage, § 80, Rdn. 111 f. und § 73 Rdn. 125.

Die Prüfungsstelle hat der Anmelderin in dem dem Zurückweisungsbeschluss vorausgegangenem Prüfungsbescheid vom 13. Oktober 2006 mitgeteilt, dass der nebengeordnet beanspruchte Verfahrensanspruch lediglich darin bestehe, auf Gatekontakte eine Metallschicht aufzubringen und anschließend zu ätzen. Ein solches Verfahren lehre jedoch bereits das Lehrbuch D4 und der einschlägige Fachmann werde dieses bekannte Verfahren auch bei der Herstellung von anmeldungsgemäßen Gatekontaktverbindungsleitungen einsetzen, ohne dabei erfindetätig werden zu müssen. Der Nebenanspruch 10 sei daher nicht gewährbar.

Mit der daraufhin erfolgten Eingabe vom 2. Juli 2007 hat die Anmelderin zwar einen bezüglich der Anordnung der Gatekontakte und Gateanschlussregionen zwischen benachbarten Gates präzisierten Anspruch 1 vorgelegt, die übrigen Ansprüche 2 bis 11 jedoch unverändert aufrechterhalten und sich auch nicht zu den Ausführungen der Prüfungsstelle hinsichtlich des nebengeordneten Verfahrensanspruchs 10 geäußert. Dieser lautet: „Verfahren zum Herstellen eines Transistors nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass auf den Gatekontakten eine Metallschicht aufgebracht und unter Bildung einer die Gatekontakte miteinander kurzschließenden Leitung geätzt wird.“ Trotz des in der Zweckangabe „zum Herstellen eines Transistors nach einem der vorangehenden Ansprüche“ enthaltenen Rückbezugs auf den Sachanspruch 1 stellt der Anspruch 10 aufgrund des Kategoriewechsels einen dem Hauptanspruch nebenge-

ordneten Verfahrensanspruch dar, der dementsprechend als Nebenanspruch zu prüfen ist, was seitens der Prüfungsstelle mit Bescheid vom 13. Oktober 2006 auch erfolgt ist. Da diese Zweckangabe den Schutzbereich einer Sache weder auf deren Verwendung zu dem genannten Zweck noch in der bestimmten Funktion und mit der angegebenen Wirkung beschränkt, sondern lediglich bspw. hinsichtlich deren Eignung zu einem bestimmten Zweck zu berücksichtigen ist und gleiches grundsätzlich auch bei Verfahrensansprüchen gilt, vgl. BGH GRUR 2010, 1081, insbes. III, 1a m. w. N. - Bildunterstützung bei Katheternavigation, treffen die Ausführungen der Prüfungsstelle in dem der Zurückweisung vorangegangenen Bescheid zum Nebenanspruch 10 in gleicher Weise auf den mit Eingabe vom 2. Juli 2007 eingereichten Verfahrensanspruch 10 zu, zumal die Anmelderin den Wortlaut des Anspruchs 10 unverändert beibehalten und sich zu den Ausführungen der Prüfungsstelle zum Anspruch 10 nicht geäußert hat. Somit hat die Prüfungsstelle entgegen dem Vortrag der Beschwerdeführerin den Zurückweisungsbeschluss ordnungsgemäß anhand der maßgeblichen gesetzlichen Bestimmungen und der Rechtsprechung begründet.

Der Anregung der Beschwerdeführerin auf Rückzahlung der Beschwerdegebühr konnte daher nicht entsprochen werden.

Dr. Strößner

Metternich

Dr. Friedrich

Dr. Zebisch

CI