



BUNDESPATENTGERICHT

23 W (pat) 11/10

(Aktenzeichen)

Verkündet am
15. Oktober 2013

...

BESCHLUSS

In der Beschwerdesache

...

betreffend die Patentanmeldung 103 23 668.6-33

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 15. Oktober 2013 unter Mitwirkung des Vorsitzenden Richters Dr. Strößner und der Richter Brandt, Metternich und Dr. Friedrich

beschlossen:

Die Beschwerde der Anmelderin wird zurückgewiesen.

Gründe

I.

Die Anmeldung 103 23 668 wurde am 14. Mai 2003 mit der Bezeichnung „Integrierter Schaltkreischip und Wafer sowie Prüfverfahren und -vorrichtung“ beim Deutschen Patent- und Markenamt eingereicht. Sie nimmt die Priorität der koreanischen Patentanmeldung KR 02-26906 vom 15. Mai 2002 in Anspruch.

Die Prüfungsstelle für Klasse H 01 L hat im Verlauf des Prüfungsverfahrens auf den Stand der Technik gemäß den Druckschriften

- D1 US 4 243 937
- D2 JP 58 - 182 237 A (Abstract)
- D3 JP 05 - 243 356 A (Abstract)
- D4 US 6 346 820 B1
- D5 US 2002/0047724 A1
- D6 JP 2000 - 124 283 A (Abstract)
- D7 JP 2000 - 021 945 A (Abstract)
- D8 US 4 799 009
- D9 JP 11 - 016 963 A (Abstract)
- D10 US 5 811 983 A
- D11 JP 08 - 146 095 A (Abstract)
- D12 DE 101 32 371 A1 und
- D13 US 5 623 214 A

hingewiesen und dargelegt, dass die Gegenstände der damals geltenden Ansprüche im Hinblick auf den nachgewiesenen Stand der Technik nicht patentfähig seien. Mit Beschluss vom 15. Oktober 2009 hat sie die Anmeldung zurückgewiesen mit der Begründung, der integrierte Schaltkreis nach Anspruch 1 beruhe gegenüber dem Stand der Technik gemäß den Druckschriften D1 und D8 unter Berücksichtigung des allgemeinen Fachwissens nicht auf einer erfinderischen Tätigkeit des Fachmanns.

Die Anmelderin hat gegen den am 1. Dezember 2009 zugestellten Beschluss mit Schriftsatz vom 17. Dezember 2009, eingegangen am 21. Dezember 2009, fristgerecht Beschwerde eingelegt und diese mit einem weiteren Schriftsatz vom 20. Dezember 2012 begründet.

Zur mündlichen Verhandlung ist die ordnungsgemäß geladene Anmelderin - wie zuvor mit Schriftsatz vom 27. September 2013 mitgeteilt - nicht erschienen. Damit gilt der von ihr im Beschwerdeschriftsatz vom 17. Dezember 2009 sinngemäß gestellte Antrag,

- den Beschluss der Prüfungsstelle für Klasse H 01 L des Deutschen Patent- und Markenamts vom 15. Oktober 2009 aufzuheben und
- ein Patent mit der Bezeichnung „Integrierter Schaltkreischip und Wafer sowie Prüfverfahren und -vorrichtung“, dem Anmeldetag 14. Mai 2003 und der ausländischen Priorität 15. Mai 2002 KR 02-26906 auf der Grundlage folgender Unterlagen zu erteilen:
Patentansprüche 1 - 13, eingegangen am 7. August 2006, Beschreibungsseiten 1, 4, 5, 5a, ebenfalls eingegangen am 7. August 2006, weitere Beschreibungsseiten 2 - 3, 6 - 18, eingegangen am Anmeldetag, und 10 Blatt Zeichnungen mit Figuren 1 - 11, ebenfalls eingegangen am Anmeldetag.

Der geltende Anspruchssatz umfasst die selbständigen Ansprüche 1, 4 und 13, wobei die Ansprüche 1 und 4 auf einen integrierten Schaltkreischip und der Anspruch 13 auf einen integrierten Schaltkreiswafer mit einem solchen Chip gerichtet sind. Diese Ansprüche lauten:

„1. Integrierter Schaltkreischip mit

- einem internen Schaltkreis (19), der miteinander verbundene Halbleiterbauelemente beinhaltet, die so konfiguriert sind, dass sie eine integrierte Schaltkreisfunktionalität bereitstellen,
- einem Prüfelementgruppenschaltkreis (23), der so konfiguriert ist, dass er eine Messung von elektrischen Eigenschaften der Halbleiterbauelemente erlaubt,
- einer Mehrzahl von Kontaktstellen (20, 21), die mit dem internen Schaltkreis verbunden sind, und
- einer Prüfelementgruppenkontaktstelle (22), die mit dem Prüfelementgruppenschaltkreis verbunden ist,

gekennzeichnet durch

- einen Leiterrahmen (28), der mit der Mehrzahl von Kontaktstellen (20, 21) elektrisch verbunden ist und mit der Prüfgruppenelementkontaktstelle (22) nicht elektrisch verbunden ist.“

„4. Integrierter Schaltkreischip mit

- einem internen Schaltkreis (19), der miteinander verbundene Halbleiterbauelemente beinhaltet, die so konfiguriert sind, dass sie eine integrierte Schaltkreisfunktionalität bereitstellen, und
- einem Prüfelementgruppenschaltkreis (23), der so konfiguriert ist, dass er eine Messung von elektrischen Eigenschaften der Halbleiterbauelemente erlaubt,

dadurch gekennzeichnet, dass

- eine Leistungsversorgungsleitung (24), die mit einer externen Leistungsversorgung verbunden ist, und eine Masseleitung (25), die

mit einer externen Masse verbunden ist, vorgesehen sind, wobei der Prüfelementgruppenschaltkreis (23) mit der Leistungsversorgungsleitung (24) und/oder der Masseleitung intern in dem integrierten Schaltkreischip elektrisch verbunden ist, und

- der Prüfelementgruppenschaltkreis einen ersten und einen zweiten komplementären Feldeffekttransistor (MP1, MN1) sowie eine erste und eine zweite Schmelzsicherung (F1, F2) beinhaltet, die seriell zwischen die Leistungsversorgungsleitung und die Masseleitung eingeschleift sind, wobei eine jeweilige Gateelektrode der beiden Feldeffekttransistoren direkt und eine jeweilige Drainelektrode der beiden Feldeffekttransistoren über je eine der beiden Schmelzsicherungen an eine Prüfelementgruppenkontaktstelle (22) angekoppelt sind.“

„13. Integrierter Schaltkreiswafer mit

- einem Feld von Trennlinienbereichen (14) in dem Wafer, die so angeordnet sind, dass sie eine Mehrzahl von integrierten Schaltkreischips in dem Wafer definieren, und
- einem jeweiligen integrierten Schaltkreischip (10 bis 13),
dadurch gekennzeichnet, dass
- wenigstens einer der integrierten Schaltkreischips (10 bis 13) ein solcher nach einem der Ansprüche 1 bis 12 ist.“

Hinsichtlich der Unteransprüche 2, 3 und 5 bis 12 sowie hinsichtlich der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

II.

Die zulässige Beschwerde der Anmelderin erweist sich als unbegründet, denn der integrierte Schaltkreischip nach dem geltenden Anspruch 1 beruht nicht auf einer erfinderischen Tätigkeit des Fachmanns (§ 4 PatG).

Bei dieser Sachlage kann sowohl die Zulässigkeit der geltenden Ansprüche als auch die Neuheit der Gegenstände dieser Ansprüche dahingestellt bleiben, vgl. BGH GRUR 1991, 120, 121, II.1 - „Elastische Bandage“.

Der Fachmann ist im vorliegenden Fall als berufserfahrener, in der Halbleiterindustrie tätig und mit der Weiterentwicklung von Halbleiterchip-Modulen mit integrierten Schaltungen und zugehörigen Prüfstrukturen befasster Diplom-Ingenieur der Elektrotechnik oder Diplom-Physiker mit Hochschulabschluss zu definieren.

1. Die Anmeldung betrifft gemäß den geltenden Beschreibungsunterlagen S. 1, 1. Textabsatz, einen integrierten Schaltkreischip mit einem internen Schaltkreis und einem Prüfgruppenelementschaltkreis.

Bei der Fertigung integrierter Schaltungen werden auf dem Wafer neben den integrierten Schaltkreisen, die aus einer Vielzahl von Bauelementen (bspw. Transistoren, Dioden, Kondensatoren, Widerstände, optische und/oder optoelektronische Elemente) aufgebaut sind, die die gewünschte Schaltkreisfunktionalität bereitstellen, auch Prüfschaltkreise vorgesehen, die die Prüfung der elektrischen Eigenschaften der einzelnen Halbleiterbauelemente der integrierten Schaltkreisanordnung ermöglichen und somit u. a. Rückschlüsse auf technologische Probleme bei der Wafer-Prozessierung gestatten. Nach dem Fertigungsdurchlauf werden sowohl die Funktion der integrierten Schaltkreise auf den einzelnen Chips überprüft als auch die elektrischen Eigenschaften der Halbleiterbauelemente der Prüfschaltkreise ermittelt. Hierzu wird eine Probercard verwendet, die eine Vielzahl von Meßsonden in Form federnder Meßnadeln aufweist, die auf die Kontaktstellen der integrierten Schaltkreisanordnung und der Prüfschaltkreise aufgesetzt werden und eine Verbindung zu einer externen Meß- und Prüfeinheit herstellen, die automatisch gesteuert die jeweiligen Meß- und Prüfvorgänge durchführt. Die dabei als funktionstüchtig ermittelten Chips werden zur Herstellung der elektrischen Außenkontakte und zum Einbringen in ein Gehäuse weiterverarbeitet, während bei den Tests als defekt erkannten Chips ausgesondert werden.

Erfolgt die Prüfung der Funktionstüchtigkeit der Schaltkreise und die Ermittlung der elektrischen Eigenschaften der Halbleiterbauelemente der Prüfschaltkreise bei getrennten Meß- und Prüfvorgängen, wie dies notwendig ist, wenn die Prüfschaltkreise in den Trennbereichen zwischen den einzelnen Chips und/oder in separaten Prüfschaltkreis-Chips angeordnet werden, so verlängert dies die für die entsprechenden Tests notwendige Zeit. Außerdem sind bei einer solchen Anordnung der Prüfschaltkreise die an ihnen ermittelten Kenndaten oft nicht repräsentativ für die entsprechenden Bauelemente der integrierten Schaltkreise auf dem gesamten Wafer, da bei der Prozessierung von Wafern mit großem Durchmesser mit Inhomogenitäten der Prozeßergebnisse über die Waferfläche gerechnet werden muss, vgl. die geltenden Beschreibungsunterlagen, S. 1, 2. Textabsatz, bis S. 4, 2. Absatz.

Dementsprechend liegt der Anmeldung als technisches Problem die Aufgabe zugrunde, einen integrierten Schaltkreischip mit verbesserter Prüfbarkeit bereitzustellen, vgl. die geltenden Beschreibungsunterlagen, S. 5a, 1. Abs.

Gemäß dem geltenden Anspruch 1 wird diese Aufgabe gelöst durch einen integrierten Schaltkreischip mit einem internen Schaltkreis, dessen miteinander verbundene Halbleiterbauelemente eine integrierte Schaltkreisfunktionalität bereitstellen, und mit einem Prüfelementgruppenschaltkreis, der eine Messung von elektrischen Eigenschaften der Halbleiterbauelemente erlaubt. Zudem weist der Chip Kontaktstellen auf, die mit dem internen Schaltkreis und dem Prüfelementgruppenschaltkreis verbunden sind. Die Kontaktstellen des internen Schaltkreises sind mit einem Leiterraum verbunden, die Kontaktstelle des Prüfelementgruppenschaltkreises ist dies hingegen nicht.

Dem selbständigen Anspruch 4 zufolge wird die Aufgabe gelöst durch einen Schaltkreischip mit einem internen Schaltkreis, dessen miteinander verbundene Halbleiterbauelemente eine integrierte Schaltkreisfunktionalität bereitstellen, und mit einem Prüfelementgruppenschaltkreis, der eine Messung von elektrischen Ei-

genschaften der Halbleiterbauelemente erlaubt, wobei der Prüfgruppenelementschaltkreis intern mit der Leistungsversorgungsleitung und/oder der Masseleitung in dem integrierten Schaltkreischip verbunden ist und zwei zwischen Leistungsversorgungs- und Masseleitung geschaltete komplementäre MOS-Transistoren mit zwei seriell zu diesen angeordneten Schmelzsicherungen umfasst, wobei die Gateelektroden der beiden MOS-Transistoren direkt und die Drainelektroden der beiden MOS-Transistoren über je eine der beiden Schmelzsicherungen an eine Prüfgruppenkontaktstelle angeschlossen sind.

Der integrierte Schaltkreiswafer nach Anspruch 13 weist wenigstens einen der integrierten Schaltkreischips nach den vorhergehenden Ansprüchen auf.

2. Der Schaltkreischip nach dem geltenden Anspruch 1 beruht nicht auf einer erfinderischen Tätigkeit des Fachmanns.

Die Druckschrift D1 offenbart einen integrierten Schaltkreischip mit

- einem internen Schaltkreis (*memory array 26a, 26b*), der miteinander verbundene Halbleiterbauelemente beinhaltet, die so konfiguriert sind, dass sie eine integrierte Schaltkreisfunktionalität, nämlich eine Speicherfunktion bereitstellen (*A diagrammatical representation of a single EAROM chip 12 is shown in Fig. 2. The chip contains two sections of memory array designated as 26a and 26b / Sp. 3, Zeilen 39 bis 42 // The basic element of an EAROM is a transistor which exhibits the characteristic of being able to store charge to thereby vary the transistor's threshold voltage [...]. A plurality of such transistors may be arranged in an array and coupled to an addressing means to create a non-volatile, electrically alterable memory / Sp. 3, Zeilen 49 bis 56 i. V. m. Fig. 2*),
- einem Prüfelementgruppenschaltkreis, der so konfiguriert ist, dass er eine Messung von elektrischen Eigenschaften der Halbleiterbauelemente erlaubt (*In one preferred embodiment, a test transistor 16, separate from but physically identical to those in the memory arrays 26a and 26b, is provided on each circuit chip formed on a wafer / Sp. 4, Zeilen 57 bis 60 i. V. m. Fig. 2*),

- einer Prüfelementgruppenkontaktstelle, die mit dem Prüfelementgruppenschaltkreis verbunden ist (*The drain 17, gate 19 and source 21 of a memory test transistor 16 are connected to contact pads 18, 20 and 22 respectively / Sp. 3, Zeilen 42 bis 44*), und
- einer Mehrzahl von Kontaktstellen, die mit dem internen Schaltkreis verbunden sind (*A plurality of pads 28 are provided to enable the connection of other circuitry within the chip (not shown) to other chips or circuits external to the chip) / Sp. 3, Zeilen 46 bis 48*).

Der derart ausgebildete Chip gestattet es, bei Tests nicht nur die Funktionsfähigkeit der EAROM-Speicherschaltung zu überprüfen, sondern zeitgleich hierzu auch Zuverlässigkeitstests durchzuführen, bei denen die Zeitstabilität der Speicherfunktion überprüft wird, so dass nur solche Chips weiterverarbeitet und dann an den Kunden geliefert werden, die funktionsfähig sind und zuverlässig die gewünschte lange Einsatzstabilität gewährleisten (*One object in the manufacture of alterable, nonvolatile semiconductor memories such as EAROMs is to produce a device which will retain its data for a significant period of time, for example, ten years. In order to accomplish this, methods are required, to test the memory circuits and predict their reliability on an individual basis before they are packaged and sold to their ultimate users / Sp. 4, Zeilen 37 bis 44*).

Hierfür wird durch Messungen an den Speicherchips des noch unzerteilten Wafers mit einem Waferprober und einer Probercard mit entsprechenden Meßnadeln einerseits die Funktion der jeweiligen EAROM-Speicherschaltung überprüft und andererseits durch Messungen an dem Testtransistor des Prüfelementgruppenschaltkreises die Zeitstabilität der Speicherfunktion kontrolliert (*In the method of the present invention, a separate memory test transistor is used to accomplish memory retention and endurance testing simultaneously with functionality tests which are run on the transistors comprising the actual memory / Sp. 2, Zeilen 24 bis 28*), wozu die Kontaktstellen für den Transistor mit einem Waferprober und einem Computer verbunden werden (*Metal lines from the drain 17, the gate 19*

and the source and substrate 21 are brought out to pads 18, 20 and 22 on the periphery of the chip containing the EAROM circuit. These pads can be used to accomodate probes carrying signals to and from a computer controlled test station / Sp. 4, Zeilen 60 bis 65).

Chips, die sich bei dieser Prüfung als nicht funktionsfähig oder als hinsichtlich der Zeitstabilität der Speicherfunktion ungenügend herausstellen, werden markiert und ausgesondert, während die Chips, die diese Prüfung „bestanden“ haben, dem „packaging“-Prozess zugeführt werden, in dem sie üblicherweise mit Außenkontakten versehen und in ein Gehäuse eingebracht werden, so dass sie danach als fertige Speicherbausteine an den Kunden verkauft werden können *(More particularly, a method is provided for screening EAROM circuit chips on the basis of their retention and endurance properties (reliability). The screening may be done at the wafer probing stage of manufacturing the integrated circuits and can be accomplished simultaneously with the functional test of the circuits. Circuit chips failing either the reliability screening or the functional testing are noted (e.g., marked with an ink spot) and rejected when separated from the wafer / Sp. 3, Zeilen 3 bis 11 // In order to accomplish this, methods are required, to test the memory circuits and predict their reliability on an individual basis before they are packaged and sold to their ultimate users / Sp. 4, Zeilen 41 bis 44).*

Wie sich aus den vorangehenden Darlegungen ergibt, dient der Prüfelementgruppenschaltkreis mit dem Testtransistor lediglich dazu, die nicht den geforderten Kriterien entsprechenden und damit auszusondernden Chips zu identifizieren. Bei den einmal als „gut“ erkannten Chips, d. h. nach dem Abschluss der Prüfmaßnahmen, hat der Prüfelementgruppenschaltkreis keinerlei Funktion mehr, so dass es unsinnig wäre, die entsprechende Kontaktstelle mit einem Außenkontakt zu versehen. Schon aus dieser Tatsache ergibt sich für den Fachmann ohne weiteres, dass bei der Weiterverarbeitung des Chips beim Herstellen der Außenkontakte, für das üblicherweise ein Leiterraum verwendet wird, lediglich die Kontaktstellen des internen Schaltkreises, also der Speicherbereiche (26a, 26b) mit

dem Leiterraum verbunden werden, während die für den Kundeneinsatz des Speicherchips nicht benötigten und nun funktionslos gewordenen Kontaktstellen des Prüfelementgruppenschaltkreises unverbunden bleiben.

Insofern beruht der Schaltkreis nach dem geltenden Anspruch 1 nicht auf einer erfinderischen Tätigkeit des Fachmanns.

3. Mit dem Anspruch 1 fallen wegen der Antragsbindung auch die selbständigen Ansprüche 4 und 13 und die auf den Anspruch 1 bzw. 4 rückbezogenen Unteransprüche 2 und 3 sowie 5 bis 12, vgl. BGH GRUR 2007, 862, Leitsatz - „Informationsübermittlungsverfahren II“.

4. Bei dieser Sachlage war die Beschwerde zurückzuweisen.

Dr. Strößner

Brandt

Metternich

Dr. Friedrich

Cl