



BUNDESPATENTGERICHT

17 W (pat) 16/08

(Aktenzeichen)

Verkündet am
11. April 2013

...

BESCHLUSS

In der Beschwerdesache

betreffend die Patentanmeldung 102 46 790.0-53

...

hat der 17. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 11. April 2013 unter Mitwirkung des Vorsitzenden Richters Dipl.-Phys. Dr. Morawek, der Richterin Eder, des Richters Dipl.-Ing. Baumgardt und des Richters Dipl.-Ing. Hoffmann

beschlossen:

Auf die Beschwerde der Anmelderin wird der Beschluss der Prüfungsstelle für Klasse G 06 F des Deutschen Patent- und Markenamts vom 25. Oktober 2007 aufgehoben und das Patent mit folgenden Unterlagen erteilt:

Patentansprüche 1-5, Beschreibung Seiten 1, 2, 2a, 3-10,
1 Blatt Bezugszeichenliste und Figuren 7 und 8,
jeweils überreicht in der mündlichen Verhandlung,
Zeichnungen mit Figuren 1-6 vom 21. Oktober 2002,
eingegangen am 24. Oktober 2002.

Gründe

I.

Die vorliegende Patentanmeldung wurde am 8. Oktober 2002 beim Deutschen Patent- und Markenamt eingereicht. Sie trägt die Bezeichnung:

„Integrierter Speicher“.

Die Prüfungsstelle für Klasse G06F hat durch Beschluss vom 25. Oktober 2007 die Anmeldung zurückgewiesen, da der Gegenstand des Patentanspruchs 1 in der Fassung nach Hauptantrag und nach den beiden Hilfsanträgen nicht auf einer erfinderischen Tätigkeit beruhe.

Gegen diesen Beschluss wendet sich die Beschwerde der Anmelderin.

Die Beschwerdeführerin beantragt,

den angefochtenen Beschluss aufzuheben und das nachgesuchte Patent mit folgenden Unterlagen zu erteilen:

Patentansprüche 1-5, Beschreibung Seiten 1, 2, 2a, 3-10,
1 Blatt Bezugszeichenliste und Figuren 7 und 8,
jeweils überreicht in der mündlichen Verhandlung,
Figuren 1-6 vom 21. Oktober 2002,
eingegangen am 24. Oktober 2002.

Die geltenden Ansprüche lauten:

1. Integrierter Speicher

- mit einem Speicherzellenfeld (11 bis 14) zur Speicherung von Daten,
- mit einer Zugriffssteuerung (3, 5) zur Steuerung eines Zugriffs auf das Speicherzellenfeld zum Lesen oder Schreiben von Daten des Speicherzellenfeldes anhand eines Taktsignals (CLK),
- mit einem Datenpfad (6), der mit dem Speicherzellenfeld (11 bis 14) verbunden ist und der mindestens zwei Datenleitungen (61, 62) zum Versorgen des Speicherzellenfeldes mit Daten aufweist,
- bei dem die Zugriffssteuerung (3, 5) in einer ersten Betriebsart des Speichers derart auf das Speicherzellenfeld (11 bis 14) zugreift, dass ein zu schreibendes Datum (D1) eines Zugriffszyklus mit einer Schreiblatenz (GL1, GL2) in das Speicherzellenfeld eingeschrieben wird, wobei an eine (61) der mindestens zwei Datenleitungen abhängig von einer steigenden Flanke des Taktsignals (CLK) Daten bereitgestellt werden und an eine andere (62) der mindestens zwei Datenleitungen abhängig von einer fallenden Flanke des Taktsignals (CLK) Daten bereitgestellt werden,
- bei dem die Zugriffssteuerung (3, 5) in einer zweiten Betriebsart des Speichers derart auf das Speicherzellenfeld (11 bis 14) zugreift, dass ein

zu schreibendes Datum (D1) eines Zugriffszyklus ohne die Schreiblatenz der ersten Betriebsart zeitgleich mit dem Anliegen eines Schreibbefehls (WRITE) in das Speicherzellenfeld eingeschrieben wird, wobei an die eine (61) und die andere (62) der mindestens zwei Datenleitungen gleichzeitig das gleiche Datum (D1) bereitgestellt wird.

2. Integrierter Speicher nach Anspruch 1, dadurch gekennzeichnet, daß die Zugriffssteuerung (3, 5) in der zweiten Betriebsart des Speichers derart auf das Speicherzellenfeld (11 bis 14) zugreift, daß das zu schreibende Datum (D1) mit der steigenden Flanke des Taktsignals in das Speicherzellenfeld eingeschrieben wird.

3. Integrierter Speicher nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß der Speicher weiterhin aufweist:

- einen externen Anschluß (30) zum Empfang von Datensignalen (DQ),
- einen ersten Multiplexer (21) zwischen dem externen Anschluß (30) und dem Datenpfad (6), wobei die mindestens zwei Datenleitungen (61, 62) des Datenpfades über den ersten Multiplexer in der ersten Betriebsart alternativ mit dem externen Anschluß verbindbar sind,
- einen zweiten Multiplexer (22) in dem Datenpfad (6) zwischen dem ersten Multiplexer (21) und dem Speicherzellenfeld (11 bis 14), wobei die Datenleitungen (61, 62) über den zweiten Multiplexer (22) in der ersten Betriebsart mit dem ersten Multiplexer (21) und in der zweiten Betriebsart parallel mit dem externen Anschluß (30) verbindbar sind.

4. Integrierter Speicher nach Anspruch 3,
dadurch gekennzeichnet, daß

- der Speicher ein von extern beschreibbares Register (9) und einen dritten Multiplexer (23) aufweist, der mit dem Register (9) und mit dem externen Anschluß (30) verbunden ist,
- die mindestens zwei Datenleitungen (61, 62) über den zweiten und dritten Multiplexer (22, 23) in der zweiten Betriebsart parallel mit dem Register (9) oder parallel mit dem externen Anschluß (30) verbindbar sind.

5. Integrierter Speicher nach einem der Ansprüche 1 bis 4,
dadurch gekennzeichnet, daß

die erste Betriebsart ein Normalbetrieb des Speichers und die zweite Betriebsart ein Testbetrieb des Speichers ist.

Den Ansprüchen soll die Aufgabe zugrunde liegen, einen integrierten Speicher, insbesondere in Double-Data-Rate-Architektur, bereitzustellen, mit dem in einer von einem Normalbetrieb abweichenden Betriebsphase eine beschleunigte Betriebsweise ermöglicht ist, die insbesondere für einen Testbetrieb des Speichers geeignet ist (siehe geltende Beschreibung Seite 2a, Z. 12-17).

Im Prüfungsverfahren vor dem Deutschen Patent- und Markenamt sind folgende Druckschriften genannt worden:

D1: DE 195 07 562 A1

D2: DE 101 01 036 A1

D3: US 6 005 412 A

II.

Die Beschwerde ist frist- und formgerecht eingereicht und auch sonst zulässig. Sie hat auch Erfolg, da das nunmehr geltende Patentbegehren nicht durch den Stand der Technik vorweggenommen oder nahegelegt ist, und auch die übrigen Kriterien für eine Patenterteilung erfüllt sind (PatG §§ 1 bis 5 und § 34).

1. Gegenstand der Patentanmeldung ist ein integrierter Speicher mit einem Speicherzellenfeld zur Speicherung von Daten und mit einer Zugriffssteuerung zur Steuerung eines Zugriffs auf das Speicherzellenfeld zum Lesen oder Schreiben von Daten des Speicherzellenfeldes.

Der integrierte Speicher verfügt über ein Feld von Speicherzellen, in denen Daten gespeichert werden (vgl. Fig. 1 mit Beschreibung). Ein Lese- bzw. Schreibzugriff auf die Speicherzellen wird über eine Zugriffssteuerung anhand eines Taktsignals gesteuert (vgl. Fig. 1 mit Beschreibung), wobei die Daten über einen Datenpfad, der mindestens zwei Datenleitungen aufweist, übertragen werden (vgl. Fig. 7, 8 mit Beschreibung). In einer ersten Betriebsart wird ein zu schreibendes Datum mit einer Schreiblatenz in die Speicherzellen geschrieben, wobei die Daten an einer Datenleitung mit der steigenden Flanke eines Taktsignals, die Daten der anderen Datenleitung mit der fallenden Flanke des Taktsignals zur Verfügung stehen. Dies entspricht einer DDR-Betriebsart (vgl. Fig. 3 und Fig. 4 mit Beschreibung). In einer zweiten Betriebsart werden die Daten ohne die Schreiblatenz der ersten Betriebsart zeitgleich mit dem Anliegen eines Schreibbefehls in den Speicher geschrieben, wobei an beide Datenleitungen das gleiche Datum angelegt wird (vgl. Fig. 5 und Fig. 6 mit Beschreibung).

Als Fachmann für eine derartige Lehre sieht der Senat einen Diplom-Ingenieur der Elektrotechnik mit Hochschul- oder Fachhochschul-Ausbildung und mehrjähriger Berufserfahrung im Bereich der Implementierung von Speichersteuerungen an.

2. Die nunmehr geltenden Unterlagen liegen im Rahmen der ursprünglichen Offenbarung.

Anspruch 1 ist gestützt auf die ursprünglichen Ansprüche 1, 2 i. V. m. einem Merkmal aus Anspruch 4, den Figuren 1 bis 5 und der zugehörigen Beschreibung.

Unteranspruch 2 ergibt sich aus der Beschreibung (insbes. S. 8 Z. 24-26).

Die weiteren Unteransprüche 3, 4 und 5 entsprechen den ursprünglichen Unteransprüchen 4, 5 und 7.

Die Änderungen in der Beschreibung betreffen die Würdigung des Standes der Technik und Anpassungen an die geltende Anspruchsfassung.

3. Ein integrierter Speicher mit den Merkmalen gemäß dem Patentanspruch 1 ist durch die im Verfahren befindlichen Druckschriften weder vorbekannt noch nahegelegt.

3.1. Aus den im Verfahren genannten Druckschriften war vor dem Anmeldetag der vorliegenden Patentanmeldung Folgendes bekannt:

Druckschrift **D1** beschreibt eine synchrone Halbleiterspeichervorrichtung mit einer einstellbaren Schreiblatenz. Dabei wird über einen Schaltkreis ein Schreiblatenzsignal erzeugt, welches den Schreiblatenzwert bestimmt. Der Schreiblatenzwert gibt die Anzahl der Taktsignale an, um die eine Schreiboperation verzögert wird. Dazu wird eine feste Verbindung mit einem Bondierdraht zwischen einer Anschlussfläche des Chips und einem Masseanschluss hergestellt, um eine Schreiblatenz mit dem Wert „1“ einzustellen. Wird hingegen die Anschlussfläche nicht mit dem Masseanschluss verbunden, so beträgt der Wert der eingestellten Schreiblatenz „0“. Soll darüber hinaus eine Schreiblatenz mit dem Wert „2“ (oder höher) eingestellt werden, so wird die Anschlussfläche ebenso mit einem Masseanschluss verbunden und über eine nachfolgende Schaltung (Gatter und Schieberegister) ein höhe-

rer Wert eingestellt (vgl. insbes. S. 3 Z. 56-65 und Fig. 2A, S. 4 Z. 12-23 und Fig. 3).

D2 zeigt eine allgemeine Schnittstellenschaltungsvorrichtung, die eine Speichersteuerung unterschiedlicher Speichervorrichtungen ermöglicht. Hierzu wird in einer Taktregelschaltung für jede Speichervorrichtung die entsprechende Zeitpunktinformation, die den Datenaufnahmezeitpunkt spezifiziert, hinterlegt. Mit dieser Information wird überprüft, ob das effektive Zeitfenster den Anforderungen genügt und eine Datenübertragung in den Speicher möglich ist (vgl. Sp. 4 Z. 18-22, Sp. 4 Z. 56 - Sp. 5 Z. 21 und Sp. 9 Z. 23-32, Sp. 10 Z. 34-46). Beispielsweise sind damit eine DDR-Betriebsart, eine SDR-Betriebsart und eine Testbetriebsart möglich.

D3 betrifft eine Schnittstelle für einen integrierten Schaltkreis. Diese Schnittstelle verbindet den integrierten Schaltkreis mit peripheren Einheiten z. B. Speicher, wobei während des Betriebs ein Wechsel zwischen den Einheiten möglich ist. Dafür werden bei jedem Wechsel die notwendigen Kommunikationsprotokolle und Spezifikationen geladen (vgl. Fig. 1A und Sp. 2 Z. 9-18).

3.2. Keine der Druckschriften lehrt eine Testbetriebsart (zweite Betriebsart), bei welcher auf die im Normalbetrieb (erste Betriebsart mit einem Double-Data-Zugriff) erforderliche Schreiblatenz verzichtet werden kann.

Die erfindungsgemäß hierfür erforderlichen Maßnahmen, wie die Bereitstellung des gleichen Datums an zwei Datenleitungen und das zeitgleiche Einschreiben dieses Datums mit dem Anliegen des Schreibbefehls, sind gleichfalls im Stand der Technik nicht beschrieben.

3.3. Somit konnte der Stand der Technik keine Anregungen liefern, einen integrierten Speicher mit den Merkmalen des Patentanspruchs 1 auszubilden. Auch mit einer Kombination der im Verfahren befindlichen Druckschriften gelangte der Durchschnittsfachmann nicht zum Gegenstand des Patentanspruchs 1.

4. Die Unteransprüche 2 bis 5 betreffen nicht selbstverständliche Ausgestaltungen des beanspruchten integrierten Speichers und sind in Verbindung mit Anspruch 1 ebenfalls gewährbar.

Dr. Morawek

Eder

Baumgardt

Hoffmann

Fa