



BUNDESPATENTGERICHT

7 W (pat) 55/11

(Aktenzeichen)

Verkündet am
12. Juli 2013

...

BESCHLUSS

In der Beschwerdesache

betreffend die Patentanmeldung 102 97 624.4-53

...

hat der 7. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 12. Juli 2013 durch die Vorsitzende Richterin Dipl.-Ing. Wickborn sowie die Richter Schwarz, Dipl.-Phys. Dipl.-Wirt.-Phys. Maile und die Richterin Dipl.-Phys. Dr. Otten-Dünneberger

beschlossen:

Der Beschluss der Prüfungsstelle für Klasse G 06 F des Deutschen Patent- und Markenamtes vom 8. Juli 2008 wird aufgehoben.

Die Sache wird zur erneuten Prüfung der Anmeldung und Entscheidung über ihre Patentierung an das Deutsche Patent- und Markenamt zurückverwiesen.

Gründe

I.

Die am 27. Dezember 2002 beim Deutschen Patent- und Markenamt angemeldete Patentanmeldung 102 97 624.4-53, für die eine US-amerikanische Priorität vom 2. Januar 2002 in Anspruch genommen wurde, mit der Bezeichnung

„Steuerung von Kompatibilitätsgraden von Binärcode-Übersetzungen zwischen Befehlssatzarchitekturen“

wurde von der Prüfungsstelle für Klasse G 06 F des Deutschen Patent- und Markenamts mit Beschluss vom 8. Juli 2008 mit der Begründung zurückgewiesen, die Ansprüche 1 nach Hauptantrag und den Hilfsanträgen 1 und 2 beruhten gegenüber der im Prüfungsverfahren ermittelten Druckschrift

D2: Sites, R.L., u.a.: Binary Translation. In: Digital Technical Journal, Vol.4, No.4, 1992,

<http://www.hpl.hp.com/hpjournal/dtj/vol4num4/vol4_num4art9.txt>, Seite 1-25, (recherchiert am 16.01.08)

i.V.m. fachmännischen Überlegungen nicht auf einer erfinderischen Tätigkeit. Im Prüfungsverfahren war darüber hinaus, ohne dass sich der Beschluss darauf stützte, als weiterer möglicher Stand der Technik die Druckschrift

D1: US 6 163 764 A

ermittelt worden.

Gegen diesen Beschluss ist die Beschwerde der Anmelderin gerichtet.

Mit Schreiben vom 9. Juli 2013 hat der Senat zur Vorbereitung auf die mündliche Verhandlung auf die Druckschrift

D3: US 5 802 373 A

hingewiesen.

Die Beschwerdeführerin stellt den Antrag,

den Beschluss der Prüfungsstelle für Klasse G 06 F des Deutschen Patent- und Markenamtes vom 8. Juli 2008 aufzuheben und auf die Anmeldung ein Patent mit den folgenden Unterlagen zu erteilen:

- (Noch entsprechend neu zu nummerierende) Patentansprüche 1 bis 8 und 14 bis 24 laut dem in der mündlichen Verhandlung vom 12. Juli 2013 eingereichten Hilfsantrag 5,

hilfsweise

Patentanspruch 1 laut dem in der mündlichen Verhandlung vom 12. Juli 2013 eingereichten Hilfsantrag 8

- Beschreibung Seiten 1, 3 bis 23 laut den ursprünglichen Anmel-
dungsunterlagen (Bl. 8, 10 bis 23 VA) sowie Seite 2 und 2a laut
Anlage zum Schriftsatz vom 30. Januar 2007 (Bl. 61 f. VA)

- Zeichnungen (Fig. 1 bis 4) laut Veröffentlichungsschrift.

Die Beschwerdeführerin macht hierzu geltend, dass die geänderten Anspruchs-
fassungen jeweils zulässig, neu und erfinderisch seien.

Der seitens des Senats mit einer Gliederung versehene geltende Patentan-
spruch 1 nach Hauptantrag lautet:

„Verfahren, umfassend:

- M1** Empfangen (302) eines Binärcodes eines Programmcodes, wobei
der Binärcode für eine erste Befehlssatzarchitektur erzeugt ist; und
- M2** Übersetzen (308, 312) des Binärcodes,
- M3** wobei der übersetzte Binärcode auf einer Kombination der ersten Be-
fehlssatzarchitektur und einer zweiten Befehlssatzarchitektur basiert
und Eigenschaften der zweiten Befehlssatzarchitektur nutzt,
- M4** wobei die Kombination so ist, dass der übersetzte Binärcode mit der
ersten Befehlssatzarchitektur gemäß einem Kompatibilitätsgrad teil-
weise kompatibel bleibt, der von einer Programmumgebung entspre-
chend einer auf der zweiten Befehlssatzarchitektur definierten
Gruppe von Kompatibilitätsmodi gesteuert wird,

- M5** wobei die Einstellung des Kompatibilitätsmodus durch eine Anzahl von Befehlszeilen-Flags durchgeführt wird, die unterschiedliche Übersetzungen des Binärcodes anzeigen und mit dem Beginn der Ausführung des Binärcodes verwendet werden und
- M6** wobei von der genauen Semantik des Binärcodes bezüglich der ersten Befehlssatzarchitektur im Tausch gegen eine verbesserte Leistung des Binärcodes bezüglich der zweiten Befehlssatzarchitektur abgewichen wird.“

Wegen den geltenden nebengeordneten Ansprüchen 14 und 19 sowie den Unteransprüchen 2 bis 8, 15 bis 18 und 20 bis 24 nach Hauptantrag wird auf den Akteninhalt verwiesen.

Der seitens des Senats mit einer Gliederung versehene geltende Anspruch 1 nach Hilfsantrag lautet (Änderungen gegenüber dem Anspruch 1 nach Hauptantrag hervorgehoben):

„Verfahren, umfassend:

- M1‘** Empfangen (302) eines Binärcodes eines Programmcodes an einer Übersetzungseinheit, wobei der Binärcode für eine erste Befehlssatzarchitektur erzeugt ist; und
- M2‘** Übersetzen (308, 312) des Binärcodes durch die Übersetzungseinheit,
- M3** wobei der übersetzte Binärcode auf einer Kombination der ersten Befehlssatzarchitektur und einer zweiten Befehlssatzarchitektur basiert und Eigenschaften der zweiten Befehlssatzarchitektur nutzt,
- M4** wobei die Kombination so ist, dass der übersetzte Binärcode mit der ersten Befehlssatzarchitektur gemäß einem Kompatibilitätsgrad teil-

weise kompatibel bleibt, der von einer Programmumgebung entsprechend einer auf der zweiten Befehlssatzarchitektur definierten Gruppe von Kompatibilitätsmodi gesteuert wird,

- M5** wobei die Einstellung des Kompatibilitätsmodus durch eine Anzahl von Befehlszeilen-Flags durchgeführt wird, die unterschiedliche Übersetzungen des Binärcodes anzeigen und mit dem Beginn der Ausführung des Binärcodes verwendet werden und
- M6** wobei von der genauen Semantik des Binärcodes bezüglich der ersten Befehlssatzarchitektur im Tausch gegen eine verbesserte Leistung des Binärcodes bezüglich der zweiten Befehlssatzarchitektur abgewichen wird, und
- M7** wobei der Binärcode eine Anzahl von Einzelbefehlen umfasst und die erste Befehlssatzarchitektur keine SIMD-Operationen unterstützt und der übersetzte Binärcode einen oder mehrere SIMD-Befehle umfasst, in die die Einzelbefehle übersetzt sind, und die zweite Befehlssatzarchitektur SIMD-Operationen unterstützt.“

Wegen der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

II.

Die zulässige Beschwerde führt zur Aufhebung des angefochtenen Beschlusses und zur Zurückverweisung der Sache an das Deutsche Patent- und Markenamt gemäß § 79 Abs. 3 Satz 1 Nr. 1 und 3 PatG.

- 1) Die Patentanmeldung betrifft die Übersetzung von Binärcodes zwischen unterschiedlichen Befehlssatzarchitekturen oder unterschiedlichen Optimierungsgraden einer Befehlssatzarchitektur (vgl. Offenlegungsschrift

DE 102 97 624 T5, Abs. [0001]). Es werde typischerweise erwartet, dass binär übersetzte Programme genau dieselbe Funktionalität lieferten, wie sie von dem ursprünglichen Programm bereitgestellt worden sei, das auf der älteren Befehlssatzarchitektur basiere. Diese Anforderung beschränke die Leistung der Binärcode-Übersetzung, entweder indem dem übersetzbaren Binärcode gewisse Beschränkungen auferlegt würden oder durch Beschränkung des Umfangs, in dem die Binärcode-Übersetzung die Vorteile der neuen Befehlssatzarchitektur nutzen könne (vgl. Offenlegungsschrift, Abs. [0003], [0004]).

Der Anmeldung liegt gemäß Schriftsatz der Anmelderin vom 18. Juni 2013 die Aufgabe zugrunde, ein Verfahren zum Übersetzen eines Binärcodes eines Programmcodes für eine zweite Befehlssatzarchitektur bereitzustellen, wobei das binär übersetzte Programm eine verbesserte Leistungsfähigkeit für eine zweite Befehlssatzarchitektur aufweist.

Die Aufgabe soll durch eine teilweise kompatible Befehlssatzarchitektur gelöst werden, indem ein Binärcode eines Programmcodes, der für eine erste Befehlssatzarchitektur erzeugt ist, in einen Binärcode übersetzt wird, der bestimmte Eigenschaften einer zweiten Befehlssatzarchitektur nutzt, während er mit der ersten Befehlssatzarchitektur teilweise kompatibel bleibt. Der Kompatibilitätsgrad wird dabei von einer Programmumgebung gesteuert, worunter die vorliegende Anmeldung – ohne sich darauf beschränken zu wollen – den Benutzer, den Compiler und das Betriebssystem versteht (vgl. Offenlegungsschrift, Abs. [0012]). Bei der zweiten Befehlssatzarchitektur kann es sich um eine andere Architektur oder auch um eine verbesserte Version der ersten Befehlssatzarchitektur handeln: als Beispiele sind CISC (Complex-Instruction-Set-Computer)- und RISC (Reduced-Instruction-Set-Computer)-Befehlsätze genannt (vgl. Abs. [0014] der Offenlegungsschrift).

2) Zum Hauptantrag

Der Gegenstand des Anspruchs 1 nach Hauptantrag beruht für den Fachmann, einen Diplom-Ingenieur der Fachrichtung Elektrotechnik oder Informationstechnik mit mehrjähriger Berufserfahrung auf dem Gebiet der Portierung von Programmcode zwischen unterschiedlichen Hard- oder Softwarearchitekturen, in Kenntnis von Druckschrift D2 nicht auf einer erfindnerischen Tätigkeit.

Druckschrift D2 offenbart ein Verfahren zur binären Übersetzung von Programmcode. Der *VEST* genannte Übersetzer übersetzt Binärcode, der auf einer ersten Befehlssatzarchitektur *OpenVMS VAX* basiert, vollautomatisch in Binärcode, der auf einer zweiten Befehlssatzarchitektur *OpenVMS AXP* basiert; dabei soll der übersetzte Binärcode auf den Alpha AXP Computern, also den Computern der zweiten Befehlssatzarchitektur, genauso schnell oder schneller laufen als der ursprüngliche Binärcode auf der originären Architektur (vgl. Abstract). Das Verfahren umfasst das Empfangen eines Binärcodes eines Programmcodes, welcher für eine erste Befehlssatzarchitektur erzeugt wurde, und das Übersetzen des Binärcodes (vgl. Titel: *Binary Translation*; S. 1, Z. 5: *VEST translates OpenVMS VAX binary images to OpenVMS AXP images*, S. 5, Z. 1: *to locate VAX code, VEST starts disassembling code* / **Merkmale M1 und M2**).

In Druckschrift D2 wird erläutert, dass bei der Übersetzung des Binärcodes eine bessere Leistung im Tausch mit der Genauigkeit der emulierten ersten Befehlssatzarchitektur zu erhalten ist und dass das Übersetzungsverfahren es dem Benutzer erlaubt, verschiedene die Architektur betreffende Prämissen und Optimierungen zu wählen, betreffend beispielsweise die Genauigkeit bei Fließkommaoperationen oder die Atomarität von Befehlen (vgl. S. 7, Abschnitt 4: *In evaluating translated code performance, we recognized that there was a significant trade-off between performance and the accuracy of*

emulating the VAX architecture. VEST permits users to select several architectural assumptions and optimizations.). Dabei wird unter der Atomarität von Befehlen die Eigenschaft verstanden, dass die Befehle nur entweder vollständig oder gar nicht ausgeführt werden, d.h. selbst bei einem Interrupt ist keine teilweise Ausführung zu beobachten (vgl. S. 22, vorletzter Abs.).

Bei der Ausgestaltung des in Druckschrift D2 offenbarten Verfahrens bleibt es dem Fachmann überlassen, welchen Kompatibilitätsgrad entsprechend einer auf der zweiten Befehlssatzarchitektur definierten Gruppe von Kompatibilitätsmodi er vorgibt, das heißt mit welchen Architekturangaben und welchen gewünschten Optimierungen er das Übersetzungsverfahren steuert. Sofern für den jeweiligen Anwendungsfall nötig, legt der Fachmann daher beispielsweise fest, dass bei der Übersetzung die Atomarität der Befehle erhalten bleiben soll, womit der übersetzte Binärcode mit der ersten Befehlssatzarchitektur (in der D2 der VAX-Architektur) teilweise kompatibel bleibt (**Merkmal M4**).

In Druckschrift D2 wird auch erläutert, dass viele VAX Programmcodes auch ohne ein Sicherstellen der Atomarität korrekt laufen, so dass der VEST Übersetzer nur dann Binärcode, bei dem die Atomarität der Befehle erhalten bleibt, ausgibt, wenn ein spezieller Qualifizierer gesetzt ist; ebenso kann durch einen Qualifizierer beispielsweise festgelegt werden, ob die Reihenfolge der Lese- und Schreibbefehle bei der Übersetzung strikt beibehalten wird (vgl. S. 11, letzter Halbsatz: *VEST emits code that is VAX instruction atomic only if the qualifier PRESERVE=INSTRUCTION_ATOMICITY is specified when translating an image*; S. 13, zweiter Abs. von unten: *VEST generates strict read-write ordering code if the qualifier /PRESERVE=READ_WRITE_ORDERING is specified*). Diese Qualifizierer stellen damit eine Anzahl von Befehlszeilen-Flags dar, die unterschiedliche Übersetzungen des Binärcodes anzeigen, um die Einstellung des Kompatibi-

litätsmodus durchzuführen. Dass diese Befehlszeilen-Flags im Anschluss an den Übersetzungsprozess nicht verworfen werden, sondern auch dem zur Laufzeit agierenden, dem eigentlichen Übersetzungsprozess nachgeschalteten *VAX interpreter* übergeben werden und damit zu Beginn der Ausführung des Binärcodes weiter verwendet werden, ist für den Fachmann naheliegend, zumal in Druckschrift D2 ohnehin ein Austausch einer Informationsdatei zwischen dem *VEST* Übersetzer und dem *VAX Interpreter* erfolgt (vgl. S. 7, *Files Used* unter 3.: *Hand-edited information files* / **Merkmal M5**).

Bei der Übersetzung können aber auch Architekturangaben gewählt werden, die eine Abweichung von der genauen Semantik des Binärcodes bezüglich der ersten Befehlssatzarchitektur erlauben, etwa wie in einem ausgeführten Beispiel, wenn der Benutzer eine Übersetzung mit 53-bit-Hardware-Support, also der Genauigkeit der zweiten Befehlssatzarchitektur, wählt, obgleich die erste Befehlssatzarchitektur eine 56-bit-Genauigkeit aufweist. Für diese Variante wird in Druckschrift D2 erläutert, dass eine höhere Leistung erreicht wird (vgl. S. 7, unter 4., Punkt 1: *The user may select translation with either 53-bit hardware support (faster) or 56-bit software support (slower).* / **Merkmal M6**).

Bei entsprechend gewähltem, vom Fachmann festgesetzten Kompatibilitätsgrad wird das Übersetzungsverfahren daher zu einem übersetzten Binärcode führen, der auf einer Kombination der ersten Befehlssatzarchitektur (bezüglich beispielsweise der Atomarität) und der zweiten Befehlsarchitektur (bezüglich beispielsweise der Fließkommabefehle) basiert, womit dem Fachmann durch Druckschrift D2 auch das **Merkmal M3 i.V.m. Merkmal M4** nahe gelegt ist.

Die Anmelderin hat ausgeführt, Druckschrift D2 nehme in Kauf, dass die übersetzten Programme langsamer sind als die ursprünglich kompilierten Programme und spreche die der Erfindung zugrunde liegende Aufgabe nicht

an. Dieser Auffassung kann seitens des Senats nicht zugestimmt werden, da sich Druckschrift D2 explizit die Aufgabe stellt, mit dem übersetzten Binär-code eine bessere Leistung zu erzielen als der Originalcode (vgl. S. 3 *goals* unter 3.: *Run-time performance of translated code on Alpha AXP computers that meets or exceeds the performance of the original code on the original architecture*). Die von der Anmelderin herangezogene Textstelle auf Seite 2, dritter Abs. der Druckschrift D2 besagt dagegen nichts weiter, als dass übersetzter Binär-code langsamer sein kann als ein [für die zweite Befehlssatzarchitektur] nativ kompiliertes Programm, was insbesondere bei Einsatz eines gut abgestimmten optimierenden Kompilierers (vgl. D2: Seite 2, sechster Abs.) standardmäßig der Fall sein dürfte.

Der Fachmann gelangt somit, ausgehend von der technischen Lehre der Druckschrift D2 zur Übersetzung eines Binärcodes und mit einer Einstellung des Kompatibilitätsmodus, die er gemäß seines Fachwissens für den jeweiligen Anwendungsfall entsprechend vornimmt, in naheliegender Weise zum Verfahren des Anspruchs 1 nach Hauptantrag, ohne erfinderisch tätig werden zu müssen.

Der Anspruch 1 nach Hauptantrag ist daher nicht patentfähig.

3) Zum Hilfsantrag

- a) Der Patentanspruch 1 nach Hilfsantrag unterscheidet sich vom Patentanspruch 1 nach Hauptantrag im Wesentlichen durch Hinzufügen des Merkmals M7, wonach

„der Binär-code eine Anzahl von Einzelbefehlen umfasst und die erste Befehlssatzarchitektur keine SIMD-Operationen unterstützt und der übersetzte Binär-code einen oder mehrere

SIMD-Befehle umfasst, in die die Einzelbefehle übersetzt sind, und die zweite Befehlssatzarchitektur SIMD-Operationen unterstützt.“

- b) Der Patentanspruch 1 nach Hilfsantrag ist zulässig: Die Merkmale sind im ursprünglichen Anspruch 1 sowie der ursprünglich eingereichten Beschreibung (vgl. Seite 3, letzter Abs. bis Seite 4, zweiter Abs.; Seite 8, letzter Abs.; Seite 9, zweiter Abs., Z. 1 - 4; Seite 10, erster und zweiter Abs., Seite 11, vierter Abs. - Seite 12, zweiter Abs.) offenbart.
- c) Der im bisherigen Prüfungsverfahren wie im Beschwerdeverfahren genannte Stand der Technik steht dem geltenden Patentanspruch 1 nicht patenthindernd entgegen, da er dem Fachmann keine Anregung gibt, bei einem Verfahren zur Binärcode-Übersetzung zwischen verschiedenen Befehlssatzarchitekturen dieses wie in Merkmal M7 beansprucht auszugestalten.

Unter SIMD-Befehlen (Single Instruction, Multiple Data) werden Befehle verstanden, bei denen mit einem einzelnen Befehlsaufruf für mehrere Datensätze gleichzeitig gleichartige Rechenoperationen durchgeführt werden. Gemäß Merkmal M7 unterstützt die zweite Befehlssatzarchitektur SIMD-Operationen, was bedeutet, dass der Computer die simultane Verarbeitung mehrerer Datensätze unterstützt, während in der ersten Befehlssatzarchitektur gemäß Merkmal M7 keine parallele Verarbeitung von Mehrfachdaten möglich ist.

Das in Druckschrift D2 offenbarte Verfahren betrifft die Übersetzung von Binärcode, der auf *OpenVMS VAX* als erster Befehlssatzarchitektur basiert, Da *OpenVMS* ein Betriebssystem ist, das die simultane Verarbeitung von Befehlen erlaubt – was in Widerspruch zu Merkmal M7 steht – kann dieser Schrift kein Hinweis darauf entnommen werden, einen Binärcode zu

übersetzen, der eine Anzahl von Einzelbefehlen aufweist und auf einer Befehlssatzarchitektur basiert, die keine SIMD-Operationen unterstützt.

Druckschrift D3 beschreibt die Übersetzung eines Binärcodes, der auf einer ersten Befehlssatzarchitektur basiert, in einen Binärcode, der auf einer zweiten Befehlssatzarchitektur basiert (vgl. Fig. 58A-D), wobei auch die Übersetzung von einem CISC Befehlssatz in einen RISC Befehlssatz erläutert wird (vgl. Sp. 79, Z. 20 - Sp. 80, Z. 4). Die Druckschrift liefert aber ebenfalls keinen Hinweis, eine Anzahl von Einzelbefehlen einer Befehlssatzarchitektur, die keine SIMD-Operationen unterstützt, in einen oder mehrere SIMD-Befehle zu übersetzen, die auf einer zweiten Befehlssatzarchitektur basieren, die SIMD-Operationen unterstützt, und die simultan verarbeitet werden.

Druckschrift D1 offenbart ein Verfahren zur Emulation von Befehlen auf einem Prozessor (vgl. Abstract). Es werden zwar einzelne Operanden eines Befehls von einem Datenformat in ein anderes Datenformat konvertiert, der Befehl dann unter Nutzung der zweiten Befehlssatzarchitektur ausgeführt, und anschließend das Ergebnis vom zweiten Datenformat in das erste Datenformat rückkonvertiert (vgl. D1: Anspruch 1); Druckschrift D1 offenbart aber kein Übersetzen eines Binärcodes im Sinne der Anmeldung und gibt auch keinen Hinweis auf eine Übersetzung einer Anzahl von Einzelbefehlen einer Befehlssatzarchitektur, die keine SIMD-Operationen unterstützt, in eine Befehlssatzarchitektur, die SIMD-Operationen unterstützt.

Durch den bisher ermittelten Stand der Technik – weder einzeln betrachtet, noch durch eine Kombination der Druckschriften – ist das Verfahren des Anspruchs 1 nach Hilfsantrag daher nicht nahegelegt.

- 4) Die neu hinzugekommenen Merkmale im Merkmal M7 des geltenden Patentanspruchs 1 nach Hilfsantrag entstammen der Beschreibung der Anmeldung und sind ersichtlich nicht Gegenstand der Recherche im bisherigen Prüfungsverfahren gewesen.

Der Senat hat daher nach § 79 Abs. 3 Satz 1 Nr. 1 und 3 PatG davon abgesehen, in der Sache selbst zu entscheiden und über die Erteilbarkeit des Patents zu befinden, weil er die Frage, ob der Gegenstand des geltenden Patentanspruchs 1 nach Hilfsantrag auch auf einer erfinderischen Tätigkeit beruht, anhand des derzeit ermittelten Standes der Technik nicht abschließend beurteilen kann.

Denn Verfahren zur Übersetzung von Binärcode, der für eine Befehlssatzarchitektur erzeugt ist, die keine SIMD-Operationen unterstützt, in Binärcode für eine Befehlssatzarchitektur, die SIMD-Operationen unterstützt, sind im bisherigen Verfahren noch nicht recherchiert worden, denn im bisher ermittelten Stand der Technik, in den Prüfungsbescheiden vom 14. November 2005 und vom 16. Januar 2008, im Protokoll der Anhörung vom 8. Juli 2008 sowie im Beschluss vom 8. Juli 2008 findet sich kein Anhaltspunkt dafür.

Es kann daher nicht ausgeschlossen werden, dass insbesondere unter dem Gesichtspunkt der §§ 3 und 4 PatG ein einer Patenterteilung möglicherweise entgegenstehender Stand der Technik existiert. Zu deren Ermittlung sind in erster Linie die Prüfungsstellen des Patentamts berufen, welche hierzu über geeignete Recherchemittel und Fachkenntnisse verfügen. Da eine sachgerechte Entscheidung nur aufgrund einer vollständigen Recherche des relevanten Standes der Technik ergehen kann, war die Sache – auch um der

