



BUNDESPATENTGERICHT

23 W (pat) 51/09

(AktENZEICHEN)

Verkündet am
13. August 2013

...

BESCHLUSS

In der Beschwerdesache

...

betreffend die Patentanmeldung 102 97 694.5-33

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündlichen Verhandlung vom 13. August 2013 unter Mitwirkung des Vorsitzenden Richters Dr. Strößner sowie der Richter Brandt, Metternich und Dr. Friedrich

beschlossen:

Die Beschwerde der Anmelderin wird zurückgewiesen.

Gründe

I.

Die vorliegende Anmeldung mit dem Aktenzeichen 102 97 694.5-33 und der Bezeichnung „Feldeffekttransistor mit einer lateralen Verarmungs-Struktur“ wurde in deutscher Übersetzung am 29. September 2004 als deutscher Teil der internationalen Anmeldung PCT/US02/10008 (Veröffentlichungs-Nr. WO 03/085722 A2) mit dem internationalen Anmeldetag 29. März 2002 beim Deutschen Patent- und Markenamt eingereicht.

Die Prüfungsstelle hat im Prüfungsverfahren den Stand der Technik gemäß den Druckschriften

- D1 US 2001/0025984 A1
- D2 US 2001/0041407 A1
- D3 US 5 895 951 A
- D4 US 6 040 600 A
- D5 US 6 429 481 B1 (von der Anmelderin genannt)
- D6 US 6 391 699 B1 (von der Anmelderin genannt)

berücksichtigt und im einzigen Prüfungsbescheid vom 27. September 2006 ausgeführt, dass der Feldeffekttransistor des zum damaligen Zeitpunkt geltenden Anspruchs 1 durch Druckschrift D1 neuheitsschädlich vorweggenommen werde und die Verfahren der nebengeordneten Ansprüche 14 und 20 sowie die Gegenstände

der abhängigen Ansprüche wegen fehlender erfinderischer Tätigkeit bezüglich der Druckschriften D1 bis D4 nicht patentfähig seien.

Dem hat die Anmelderin in ihren Eingaben vom 22. Oktober 2007, 26. Februar 2009 und 5. Juni 2009 widersprochen.

In der am 16. Juni 2009 durchgeführten Anhörung, zu der die Anmelderin wie angekündigt nicht erschienen war, hat die Prüfungsstelle die Anmeldung wegen fehlender Neuheit der Feldeffekttransistoren nach Anspruch 1 des Hauptantrags vom 22. Oktober 2007 sowie des Hilfsantrags vom 26. Februar 2009 bezüglich der Druckschrift D1 zurückgewiesen.

Gegen diesen Beschluss, dem Vertreter der Anmelderin am 31. Juli 2009 zugestellt, richten sich die fristgemäß am 27. August 2009 über Fax eingegangene Beschwerde, die zugehörige Beschwerdebegründung vom 27. Oktober 2009, mit der die Anmelderin die dem Zurückweisungsbeschluss zugrunde liegenden Anspruchssätze nach Haupt- und Hilfsantrag noch einmal vorgelegt hat, sowie die weitere, einen zweiten Hilfsantrag umfassende Eingabe vom 5. August 2013.

Zusammen mit der Ladung ist die Anmelderin darauf hingewiesen worden, dass die Druckschrift D1 zusammen mit der Druckschrift

D7 KR 10 2002 0019287 A

den Anmeldungsgegenstand nahelegen könnte.

Zur mündlichen Verhandlung am 13. August 2013 ist die Anmelderin, wie zuvor mit Schriftsatz vom 5. August 2013 angekündigt, nicht erschienen. Schriftsätzlich hat sie sinngemäß beantragt,

1. den Beschluss der Prüfungsstelle für Klasse H 01 L des Deutschen Patent- und Markenamts vom 16. Juni 2009 aufzuheben;
2. ein Patent mit der Bezeichnung „Feldeffekttransistor mit einer lateralen Verarmungs-Struktur“ und dem Anmeldetag 29. März 2002 auf der Grundlage folgender Unterlagen zu erteilen:
 - Patentansprüche 1 - 23, eingegangen per Telefax am 27. Oktober 2009, sowie Beschreibungsseiten 1 - 18, eingegangen am 30. September 2004, und 12 Blatt Zeichnungen mit Figuren 1 - 8 (e), ebenfalls eingegangen am 30. September 2004 (Hauptantrag)
3. hilfsweise, ein Patent mit der vorgenannten Bezeichnung und dem vorgenannten Anmeldetag auf der Grundlage folgender Unterlagen zu erteilen:
 - Patentansprüche 1 - 20, eingegangen per Telefax am 27. Oktober 2009, sowie Beschreibungsseiten und Zeichnungen gemäß Hauptantrag (1. Hilfsantrag);
4. weiterhin hilfsweise, ein Patent mit der vorgenannten Bezeichnung und dem vorgenannten Anmeldetag auf der Grundlage folgender Unterlagen zu erteilen:
 - Patentansprüche 1 - 20, eingegangen per Telefax am 5. August 2013, sowie Beschreibungsseiten und Zeichnungen gemäß Hauptantrag (2. Hilfsantrag).

Der geltende Patentanspruch 1 des Hauptantrags lautet:

„Feldeffekttransistor, umfassend
einen Halbleiterbereich (29) eines ersten Leitfähigkeitstypus mit einer Dicke, welche durch den Abstand zwischen den oberen und unteren Oberflächen des Halbleiterbereichs definiert wird;
einen Wannbereich (34) eines zweiten Leitfähigkeitstypus über dem gesamten Halbleiterbereich;

eine Vielzahl von Gattergräben (45), welche sich jeweils durch den Wannbereich erstrecken und innerhalb einer oberen Hälfte des Halbleiterbereichs enden;

eine Vielzahl von Zuführungsbereichen (36) des ersten Leitfähigkeitstypus in einem oberen Abschnitt des Wannbereichs, wobei die Vielzahl der Zuführungsbereiche die Seiten der Vielzahl der Gattergräben flankieren; und

eine Vielzahl von Streifengräben (35), welche sich jeweils durch den Wannbereich erstrecken und innerhalb einer unteren Hälfte des Halbleiterbereichs bei einer Tiefe nahe der unteren Oberfläche des Halbleiterbereichs enden, wobei jeder Streifengraben seitlich von einem oder mehreren der Vielzahl der Gattergräben beabstandet ist und zumindest teilweise mit einem Halbleitermaterial des zweiten Leitfähigkeitstypus solcherart gefüllt ist, dass:

(i) Halbleitermaterial des zweiten Leitfähigkeitstypus zusammen mit dem Wannbereich eine zusammenhängende Region des zweiten Leitfähigkeitstypus bilden und

(ii) das Halbleitermaterial des zweiten Leitfähigkeitstypus eine PN-Verbindung mit dem Halbleiterbereich bildet.“

Der Patentanspruch 1 nach Hilfsantrag 1 präzisiert den Halbleiterbereich als eine epitaktische Schicht und definiert einen Ableitungsbereich, der höher dotiert ist als die epitaktische Schicht. Außerdem gibt er an, dass die Streifengräben mit epitaktischem Silizium gefüllt sind. Dabei versteht die Anmeldung unter den Begriffen Ableitungs- bzw. Zuführungsbereich den Drain- bzw. Sourcebereich des vertikalen Transistors und unter dem Begriff Gattergraben den Graben des Transistorgates. Der Anspruch 1 des Hilfsantrags 1 hat folgenden Wortlaut:

„Feldeffekttransistor, umfassend
einen Ableitungsbereich eines ersten Leitfähigkeitstypus,

eine epitaktische Schicht des ersten Leitfähigkeitstypus über dem Ableitungsbereich, wobei der Ableitungsbereich eine höhere Dotierkonzentration aufweist als die epitaktische Schicht, die eine Dicke, welche durch den Abstand zwischen den oberen und unteren Oberflächen der epitaktischen Schicht definiert wird, aufweist;

einen Wannbereich (34) eines zweiten Leitfähigkeitstypus in einem oberen Bereich der epitaktischen Schicht;

eine Vielzahl von Gattergräben (45), welche sich jeweils durch den Wannbereich erstrecken und innerhalb einer oberen Hälfte der epitaktischen Schicht enden;

eine Vielzahl von Zuführungsbereichen (36) des ersten Leitfähigkeitstypus in einem oberen Abschnitt des Wannbereichs, wobei die Vielzahl der Zuführungsbereiche die Seiten der Vielzahl der Gattergräben flankieren;

und eine Vielzahl von Streifengräben (35), welche sich jeweils durch den Wannbereich erstrecken und innerhalb einer unteren Hälfte der epitaktischen Schicht bei einer Tiefe nahe der unteren Oberfläche der epitaktischen Schicht enden, wobei jeder Streifengraben seitlich von einem oder mehreren der Vielzahl der Gattergräben beabstandet ist und zumindest teilweise mit epitaktischem Silizium des zweiten Leitfähigkeitstypus solcherart gefüllt ist, dass:

- (i) das epitaktische Silizium des zweiten Leitfähigkeitstypus zusammen mit dem Wannbereich eine zusammenhängende Region des zweiten Leitfähigkeitstypus bilden und
- (ii) das epitaktische Silizium des zweiten Leitfähigkeitstypus eine PN-Verbindung mit der epitaktischen Schicht bildet.“

Der Anspruch 1 des Hilfsantrags 2 konkretisiert den Feldeffekttransistor des Anspruchs 1 nach Hilfsantrag 1 dahingehend, dass ein Abschnitt des epitaktischen Siliziums des zweiten Leitfähigkeitstypus, der unterhalb des Wannbereichs angeordnet ist, in direktem Kontakt mit der epitaktischen Schicht steht. Er lautet:

„Feldeffekttransistor, umfassend
einen Ableitungsbereich eines ersten Leitfähigkeitstypus,
eine epitaktische Schicht des ersten Leitfähigkeitstypus über dem Ableitungsbereich, wobei der Ableitungsbereich eine höhere Dotierkonzentration aufweist als die epitaktische Schicht, die eine Dicke, welche durch den Abstand zwischen den oberen und unteren Oberflächen der epitaktischen Schicht definiert wird, aufweist;
einen Wannbereich (34) eines zweiten Leitfähigkeitstypus in einem oberen Bereich der epitaktischen Schicht;
eine Vielzahl von Gattergräben (45), welche sich jeweils durch den Wannbereich erstrecken und innerhalb einer oberen Hälfte der epitaktischen Schicht enden;
eine Vielzahl von Zuführungsbereichen (36) des ersten Leitfähigkeitstypus in einem oberen Abschnitt des Wannbereichs, wobei die Vielzahl der Zuführungsbereiche die Seiten der Vielzahl der Gattergräben flankieren;
und eine Vielzahl von Streifengräben (35), welche sich jeweils durch den Wannbereich erstrecken und innerhalb einer unteren Hälfte der epitaktischen Schicht bei einer Tiefe nahe der unteren Oberfläche der epitaktischen Schicht enden, wobei jeder Streifengraben seitlich von einem oder mehreren der Vielzahl der Gattergräben beabstandet ist und zumindest teilweise mit epitaktischem Silizium des zweiten Leitfähigkeitstypus solcherart gefüllt ist, dass:

(i) das epitaktische Silizium des zweiten Leitfähigkeitstypus zusammen mit dem Wannbereich eine zusammenhängende Region des zweiten Leitfähigkeitstypus bilden und

(ii) ein Abschnitt des epitaktischen Siliziums des zweiten Leitfähigkeitstypus, der unterhalb des Wannbereichs angeordnet ist, in direktem Kontakt mit der epitaktischen Schicht steht, und

(iii) das epitaktische Silizium des zweiten Leitfähigkeitstypus eine PN-Verbindung mit der epitaktischen Schicht bildet.“

Hinsichtlich der Nebenansprüche 9 und 15 des Hauptantrags bzw. 8 und 13 der Hilfsanträge sowie bezüglich der jeweiligen Unteransprüche und weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

II.

Die zulässige Beschwerde der Anmelderin erweist sich nach dem Ergebnis der mündlichen Verhandlung als nicht begründet, denn der Feldeffekttransistor nach dem geltenden Patentanspruch 1 des Hauptantrags und des ersten und zweiten Hilfsantrags wird dem Fachmann durch den Stand der Technik gemäß der Druckschrift D1 i. V. m. der Druckschrift D7 nahegelegt und ist daher gemäß § 4 PatG wegen fehlender erfinderischer Tätigkeit nicht patentfähig.

Bei dieser Sachlage kann die Zulässigkeit der geltenden Patentansprüche sowie die Erörterung der Neuheit dahingestellt bleiben, *vgl. BGH GRUR 1991, 120-121, II.1. - Elastische Bandage.*

Der zuständige Fachmann ist hier als ein in der Halbleiterindustrie tätiger, mit der Weiterentwicklung der MOS-Feldeffekttransistor-Technologie betrauter berufserfahrener Diplom-Physiker oder Diplom-Ingenieur der Elektrotechnik mit Hochschulabschluss zu definieren.

1. Die Anmeldung betrifft Feldeffekttransistoren und insbesondere Leistungs-MOSFET (Metalloxid-Halbleiter-Feldeffekttransistor)-Vorrichtungen sowie Verfahren zu deren Herstellung.

Solche Leistungs-MOSFET-Vorrichtungen finden in zahlreichen Elektrogeräten Verwendung, bspw. in Telekommunikationseinrichtungen und der Automobilelektronik.

Zu den Kenndaten, mit denen die Eigenschaften von MOSFETs charakterisiert werden, gehören insbesondere die Drain-Source-Durchbruchspannung (BV_{DSS}), d. h. die Spannung zwischen Drain und Source, ab der der Transistor durchbricht und nicht mehr sperrt, sowie der Durchlasswiderstand $R_{DS(on)}$, der den elektrischen Widerstand des Transistors im durchgeschalteten Zustand angibt und sich aus dem Verhältnis Drain-Source-Spannung zu Drainstrom ergibt ($R_{DS(on)}=U_{DS}/I_D$). Aus Gründen der Betriebssicherheit ist generell eine hohe Durchbruchspannung anzustreben, wohingegen ein effizienter Betrieb des MOSFETs ohne übermäßige Verlustleistung einen geringen Durchlasswiderstand erfordert. Beide Kenndaten hängen jedoch stark vom elektrischen Widerstand des Halbleitermaterials ab, wobei ein niedriger Durchlasswiderstand mit einer unerwünschten geringeren Durchbruchspannung einhergeht und eine erhöhte Durchbruchspannung gleichzeitig einen unerwünschten hohen Durchlasswiderstand zur Folge hat.

In einer vertikalen Leistungs-MOSFET-Vorrichtung setzt sich dieser Durchlasswiderstand aus verschiedenen Widerstandskomponenten zusammen und umfasst den Inversionskanalwiderstand (= Kanalwiderstand), den Substratwiderstand, den Widerstand der auf das Substrat aufgetragenen epitaktischen Schicht (= Epischicht) und ggf. weitere Widerstände. Dementsprechend kann der Durchlasswiderstand durch die Verringerung des Widerstands von einem oder mehreren dieser Komponenten reduziert werden. Bei der maximalen Durchbruchspannung bricht die in Sperrrichtung vorgespannte Epischicht/Wannendiode des MOSFETs durch, was in einem signifikanten und unkontrollierten Drain-Source-Strom resultiert. Die Durchbruchspannung einer MOSFET-Vorrichtung kann zwar durch Erhöhen der Dicke oder des spezifischen Widerstandes der Epischicht vergrößert werden, jedoch geht dies mit einer unerwünschten Erhöhung des Durchlasswiderstands einher. Wie Computersimulationen zeigen, bestimmt der Widerstand der Epischicht in signifikanter Weise den Durchlasswiderstand von MOSFET-Vorrichtungen. Folglich ist es insbesondere für Anwendungen mit höherer Spannung wünschenswert, den Widerstand der Epischicht und damit den Durchlasswider-

stand zu reduzieren ohne die Durchbruchspannungskarakteristika der MOSFET-Vorrichtung zu verschlechtern.

Im Sperrbetrieb bildet sich durch das Anlegen einer Drain-Source-Sperrspannung eine Verarmungs-Region an der Verbindung zwischen der Epischicht und der entgegengesetzt dotierten Wannensregion soweit aus, bis bei der Durchbruchspannung die in Sperrrichtung vorgespannte Epischicht/Wannendiode durchbricht. Diese Ausbildung von Verarmungsregionen erfolgt bei einer in Fig. 1 der Anmeldung dargestellten konventionellen Graben-MOSFET-Vorrichtung mit zunehmender Sperrspannung in vertikaler Richtung von der P-Wannen/n-Epischicht Schnittstelle aus hin zur N+-Drainregion. Dieses vertikale Wachstum der Verarmungsregion verstärkt somit den Zielkonflikt zwischen niedrigem $R_{DS(on)}$ und hohem BV_{DSS} in konventionellen Graben-MOSFET-Vorrichtungen, vgl. *geltende Beschreibungsseite 1 bis S. 2, Z. 19 sowie S. 7, vorletzter Absatz.*

Vor diesem Hintergrund liegt der Anmeldung als technisches Problem die Aufgabe zugrunde, einen Feldeffekttransistor, der eine hohe Durchbruchspannung BV_{DSS} bei niedrigem Durchlasswiderstand $R_{DS(on)}$ aufweist, sowie ein zugehöriges Herstellungsverfahren anzugeben vgl. *geltende Beschreibungsseite 2, Zn. 20 bis 22.*

Gelöst wird diese Aufgabe durch einen Feldeffekttransistor und durch ein zugehöriges Herstellungsverfahren mit den Merkmalen der Ansprüche 1, 9 und 15 nach Hauptantrag bzw. mit den Merkmalen der Ansprüche 1, 8 und 13 nach dem ersten und zweiten Hilfsantrag.

Der anspruchsgemäße Feldeffekttransistor und das zugehörige Herstellungsverfahren zeichnen sich insbesondere durch das Ausbilden einer Vielzahl von Streifenrillen aus, die seitlich der Vielzahl der Grabengates (Gatterrillen) beabstandet sind, sich fast vollständig durch den Halbleiterbereich (Hauptantrag) bzw. die epitaktische Schicht (1. und 2. Hilfsantrag) des ersten Leitfähigkeitstyps erstrecken und zudem wenigstens teilweise mit einem epitaktischen Silizium des

zweiten Leitfähigkeitstyps solcherart ausgefüllt sind, dass (i) das epitaktische Silizium des zweiten Leitfähigkeitstyps zusammen mit dem Wannbereich eine zusammenhängende Region des zweiten Leitfähigkeitstypus bildet, und (ii) das epitaktische Silizium des zweiten Leitfähigkeitstypus eine PN-Verbindung mit einem Abschnitt des Halbleiterbereichs bzw. der epitaktischen Schicht ausbildet.

Diese Streifengräben induzieren im Sperrfall die Ausbildung einer sich horizontal ausbreitenden Verarmungsregion. Wird somit eine Sperrspannung (= reverse Vorspannung) zwischen Source (= Zuführungsbereich) und Drain (= Ableitungsbereich) angelegt, breitet sich der Verarmungsbereich (Bezugszeichen 50 in Fig. 2) zunächst horizontal von den Seiten der Streifengräben aus und die Bereiche zwischen den Streifengräben werden schnell von Ladungsträgern verarmt. Danach breitet sich mit zunehmender Sperrspannung der Verarmungsbereich vertikal vom unteren Ende der Streifengräben zum Drainbereich aus, so dass der Halbleiterbereich bzw. die epitaktische Schicht schneller von Ladungsträgern verarmt ist, als wenn keine Streifengräben vorhanden wären und sich die Verarmungsregion nur in vertikaler Richtung ausbreiten würde. Insbesondere verringern die Streifengräben die Gefahr eines Durchbruchs im Bereich der wegen der geringen Krümmungsradien diesbezüglich besonders anfälligen unteren Kanten der Grabengates. Dies ermöglicht es, einen Feldeffekttransistor mit einer hohen Drain-Source-Durchbruchspannung (BV_{DSS}) und einem niedrigen elektrischen Widerstand des Halbleiterbereichs bzw. der epitaktischen Schicht und damit einem niedrigen Durchlasswiderstand $R_{DS(on)}$ bereit zu stellen, *vgl. S. 8, erster Absatz und S. 9, letzter Absatz bis Seite 10, erster Absatz.*

2. Druckschrift D1, vgl. deren Figur 1 sowie die zugehörige Beschreibung in den Absätzen [0036] bis [0043], offenbart mit den Worten des Anspruchs 1 nach Hauptantrag einen

Feldeffekttransistor (*MOSFET* / vgl. Abs. [0036] u. Fig. 1), umfassend

einen Halbleiterbereich (*N⁻-type drain region 6* / vgl. Abs. [0037] u. Fig. 1) eines ersten Leitfähigkeitstypus mit einer Dicke, welche durch den Abstand zwischen den oberen und unteren Oberflächen des Halbleiterbereichs (6) definiert wird;

einen Wannbereich (*P⁻-type base region 5* / vgl. Abs. [0037] u. Fig. 1) eines zweiten Leitfähigkeitstypus über dem gesamten Halbleiterbereich (6);

eine Vielzahl von Gattergräben (*trench gate structure, gate trench, gate insulating film 7, gate electrode 8* / vgl. Abs. [0037] u. Fig. 1), welche sich jeweils durch den Wannbereich (5) erstrecken und innerhalb einer oberen Hälfte des Halbleiterbereichs (6) enden (vgl. Fig. 1);

eine Vielzahl von Zuführungsbereichen (*N⁺-type source region 4* / vgl. Abs. [0037] u. Fig. 1) des ersten Leitfähigkeitstypus in einem oberen Abschnitt des Wannbereichs (5), wobei die Vielzahl der Zuführungsbereiche (4) die Seiten der Vielzahl der Gattergräben (7, 8) flankieren; und

eine Vielzahl von Streifengräben (vgl. Fig. 1 u. 2 mit Abs. [0038]: „[...] Also formed is a contact trench extending downward from the surface of the P-type base region 5 through the P-type contact region 14 and the P-type base region 5 to reach an inner region of of the N-type drain region 6. A P-type impurity diffusion region (*P⁻-type diffusion region*) 9 having an impurity concentration lower than that in the P-type base region 5 is formed on the side wall and the bottom of that portion of the contact trench which is positioned within the N-type drain region 6. A conductive film 10 such as a polysilicon film is buried in the contact trench.“), welche sich jeweils durch den Wannbereich (5) erstrecken und innerhalb einer unteren Hälfte des Halbleiterbereichs (6) bei einer Tiefe nahe der unteren Oberfläche des Halbleiterbereichs (6) enden, wobei jeder Streifengraben (*contact trench, conductive film 10*) seitlich von einem oder mehreren der Vielzahl der Gattergräben (7, 8) beabstandet ist

und zumindest teilweise von einem Halbleitermaterial des zweiten Leitfähigkeitstypus (*P⁻-type diffusion region 9* / vgl. Abs. [0038] u. Fig. 1) solcherart umgeben ist, dass:

- (i) Halbleitermaterial des zweiten Leitfähigkeitstypus zusammen mit dem Wannbereich (5) eine zusammenhängende Region des zweiten Leitfähigkeitstypus bilden (vgl. Fig. 1) und
- (ii) das Halbleitermaterial des zweiten Leitfähigkeitstypus (9) eine PN-Verbindung mit dem Halbleiterbereich (6) bildet (vgl. Fig. 1).

Dabei ergibt sich obiges Merkmal (i) bezüglich der zusammenhängenden Region des Halbleitermaterials des zweiten Leitfähigkeitstypus und des Wannbereichs (5) aus Fig. 1 und dem in Druckschrift D1, Absatz [0042], beschriebenen Herstellungsverfahren des P⁻-dotierten Diffusionsgebietes (9) entlang des Bodens und der Wände der Streifengräben mittels einer unter einer Drehbewegung zwischen Substrat und Ionenkanone erfolgenden Schräg-Implantation von Bor-Ionen in den Grabenboden und die Grabenwände (*rotary implantation*). Denn bei einem solchen Dotierverfahren erfolgt zwangsläufig auch die Dotierung der im Wannbereich (5) liegenden Seitenwände des Streifengrabens. Daher stellt dieser mit Bor-Ionen dotierte und in Fig. 1 nicht dargestellte Bereich entlang des oberen Teils des Streifengrabens ebenso wie der Bereich (9) im unteren Teil des Streifengrabens einen Bereich aus Halbleitermaterial des zweiten Leitungstyps (P) dar, der im oberen Teil zusammen mit dem Wannbereich (5) eine zusammenhängende Region des zweiten Leitfähigkeitstypus (P) bildet und im unteren Teil (9) eine PN-Verbindung mit dem N⁻-dotierten Halbleiterbereich (6) herstellt.

Somit unterscheidet sich der Feldeffekttransistor des Anspruchs 1 nach Hauptantrag von dem in Druckschrift D1 offenbarten Feldeffekttransistor lediglich dadurch, dass das Halbleitermaterial des zweiten Leitfähigkeitstyps anmeldungsgemäß entlang der Innenwände der Streifengräben aufgebracht ist, indem die Streifengräben zumindest teilweise mit einem Halbleitermaterial des zweiten Leitfähigkeitstyps gefüllt sind, wohingegen nach der Lehre der Druckschrift D1 - wie eben dargelegt - das Halbleitermaterial des zweiten Leitfähigkeitstyps entlang der Außenwände der Streifengräben vorgesehen ist.

Dieser Unterschied kann jedoch keine Patentfähigkeit des beanspruchten Feldeffekttransistors begründen. So geht Druckschrift D1 in Übereinstimmung mit der Lehre der Anmeldung von der Aufgabe aus, einen Feldeffekttransistor anzugeben, der eine hohe Durchbruchspannung BV_{DSS} bei niedrigem Durchlasswiderstand $R_{DS(on)}$ aufweist, und sie schlägt zu deren Lösung einen Feldeffekttransistor vor, der in weiterer Übereinstimmung mit der Anmeldung Streifengräben bzw. Kontaktgräben aufweist, die ebenso wie bei der vorliegenden Anmeldung dazu führen, dass sich bei angelegter Drain-Source-Sperrspannung die Verarmungszone zunächst senkrecht zu den Seitenwänden der Gräben ausbreitet, und auch im Fall von epitaktischen Halbleiterschichten mit geringem elektrischen Widerstand eine hohe Durchbruchspannung des Transistors gewährleistet ist, vgl. die Abs. [0004] bis [0007], [0041] und [0067] der Druckschrift D1. Da dem Fachmann zudem aus Druckschrift D7, vgl. deren Abstract, ein Verfahren bekannt ist, bei dem Halbleiterschichten auf der Innenseite von Gräben mittels selektiver Epitaxie abgeschieden und somit Gräben zumindest teilweise mit Halbleitermaterial gefüllt werden, und sich mit solch einem Verfahren die Integrationsdichte des Transistors aus Druckschrift D1 weiter erhöhen lässt, wird er ausgehend von Druckschrift D1 und in Kenntnis der Druckschrift D7 auch bei dem in Druckschrift D1 beschriebenen Transistor eine epitaktische Abscheidung des p-dotierten Halbleitermaterials auf der Innenseite des Kontaktgrabens statt der p-Dotierung der Grabenaußenseite vorsehen, und dadurch in naheliegender Weise einen Feldeffekttransistor mit sämtlichen Merkmalen des Anspruchs 1 erhalten, ohne dabei erfinderisch tätig werden zu müssen.

Der Feldeffekttransistor des Anspruchs 1 nach Hauptantrag wird dem Fachmann somit durch die Druckschrift D1 i. V. m. der Druckschrift D7 nahegelegt und ist wegen fehlender erfinderischer Tätigkeit nicht patentfähig.

3. Gleiches gilt für den Feldeffekttransistor nach Anspruch 1 des ersten Hilfsantrags, denn dessen Zusatzmerkmale, wonach der Feldeffekttransistor eine epitaktische Schicht und eine höher dotierte Ableitungsschicht (= Drainbereich) aufweist,

sind aus Druckschrift D1 ebenfalls bekannt, vgl. in Fig. 1 die N-dotierte Schicht 11 als Ableitungsschicht und die schwächer dotierte N^- -Schicht 6, die gemäß dem zweiten Satz von Abs. [0037] eine epitaktische Schicht ist.

Somit ist der Feldeffekttransistor nach Anspruch 1 des ersten Hilfsantrags ebenfalls wegen fehlender erfinderischer Tätigkeit bezüglich der Druckschriften D1 und D7 nicht patentfähig.

4. Wie vorstehend unter Punkt 2 dargelegt, ersetzt der Fachmann zur Erhöhung der Integrationsdichte bei dem in Druckschrift D1 beschriebenen Transistor entsprechend der Lehre der Druckschrift D7 die p-Dotierung der Grabenaußenseite durch eine epitaktische Abscheidung von p-dotiertem Halbleitermaterial auf der Innenseite des Kontaktgrabens, ohne dabei erfinderisch tätig werden zu müssen. Da in diesem Fall ohne weiteres Zutun auch ein Abschnitt des epitaktischen Siliziums des zweiten Leitfähigkeitstypus, der unterhalb des Wannensbereichs angeordnet ist, in direktem Kontakt mit der epitaktischen Schicht (*N⁻-type drain region 6*) steht, ergibt sich auch das Zusatzmerkmal des Anspruchs 1 nach dem zweiten Hilfsantrag in naheliegender Weise aus den Druckschriften D1 und D7.

Daher ist der Feldeffekttransistor nach Anspruch 1 des zweiten Hilfsantrags ebenfalls wegen fehlender erfinderischer Tätigkeit bezüglich der Druckschriften D1 und D7 nicht patentfähig.

5. Es kann dahingestellt bleiben, ob der Feldeffekttransistor nach den Unteransprüchen bzw. das Verfahren nach den Nebenansprüchen des Hauptantrags oder des ersten und zweiten Hilfsantrags patentfähig ist, denn wegen der Antragsbindung im Patenterteilungsverfahren fallen mit dem Patentanspruch 1 auch die mittelbar oder unmittelbar auf den selbständigen Patentanspruch rückbe-

zogenen Unteransprüche (vgl. *BGH GRUR 2007, 862, 863 Tz. 18* - „Informationsübermittlungsverfahren II“ m. w. N.).

6. Bei dieser Sachlage war die Beschwerde der Anmelderin zurückzuweisen.

Dr. Strößner

Brandt

Metternich

Dr. Friedrich

Cl