



BUNDESPATENTGERICHT

23 W (pat) 10/11

(Aktenzeichen)

Verkündet am
1. Juli 2014

...

BESCHLUSS

In der Beschwerdesache

...

betreffend die Patentanmeldung 10 2004 057 504.5-33

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 1. Juli 2014 unter Mitwirkung des Vorsitzenden Richters Dr. Strößner, des Richters Brandt, der Richterin Dr. Hoppe und des Richters Dr. Zebisch

beschlossen:

Die Beschwerde wird zurückgewiesen.

Gründe

I.

Die vorliegende Patentanmeldung mit dem Aktenzeichen 10 2004 057 504.5-33 und der Bezeichnung „Halbleitervorrichtung und Herstellungsverfahren für diese“ wurde am 29. November 2004 beim Deutschen Patent- und Markenamt in englischer Sprache unter Inanspruchnahme der japanischen Priorität JP 2004-195843 vom 1. Juli 2004 eingereicht. Gleichzeitig mit der Anmeldung wurde Prüfungsantrag gestellt. Mit der Eingabe vom 28. Januar 2005, am selben Tag beim Deutschen Patent- und Markenamt eingegangen, wurde eine deutsche Übersetzung der ursprünglichen Unterlagen eingereicht, welche am 16. Februar 2006 mit der DE 10 2004 057 504 A1 offengelegt wurde.

Die Prüfungsstelle für Klasse H 01 L hat im Prüfungsverfahren auf den Stand der Technik gemäß den folgenden vor dem Prioritätszeitpunkt veröffentlichten Druckschriften verwiesen:

- D1 WO 2004/008 534 A2;
- D2 C.Richier, N.Maene, G.Mabboux, R.Bellens: “Study of the ESD behavior of different clamp configurations in a 0.35 µm CMOS technology”; in: EOS/ESD Symposium 97, S. 240-245;
- D3 US 6 040 222 A;
- D4 US 5 610 089 A und
- D5 US 2003/0 081 363 A1.

Sie hat in einem ersten Bescheid ausgeführt, dass der Gegenstand des zu diesem Zeitpunkt geltenden Anspruchs 1, genau wie auch das Verfahren des nebengeordneten Anspruchs 9 auf keiner erfinderischen Tätigkeit des Fachmanns beruhe. Auch die Merkmale der Unteransprüche könnten die Patentfähigkeit nicht begründen.

In einer Eingabe hat die Anmelderin den Ausführungen der Prüfungsstelle widersprochen und einen neuen Satz Patentansprüche eingereicht, woraufhin die Prüfungsstelle die Anmelderin zu einer Anhörung geladen hat. Gemeinsam mit dieser Ladung hat die Prüfungsstelle einen zweiten Bescheid übersandt, in dem dargelegt wurde, dass die nunmehr beanspruchten Gegenstände und Verfahren ursprünglich nicht offenbart seien. Auch auf die Patentfähigkeit des im Anspruch 1 beanspruchten Gegenstandes wurde eingegangen.

Als Vorbereitung zur mündlichen Verhandlung reichte die Anmelderin mit Schriftsatz vom 16. November 2010 einen neuen Satz Patentansprüche ein und widersprach nochmals den Ansichten der Prüfungsstelle in Bezug auf die fehlende Patentfähigkeit.

In der Anhörung am 23. November 2010 äußerte die Prüfungsstelle Bedenken hinsichtlich der Einheitlichkeit des mit Schriftsatz vom 16. November 2010 zur Vorbereitung der mündlichen Verhandlung eingereichten Anspruchssatzes. Daneben wurde die Patentfähigkeit des Gegenstandes des Anspruchs 1 diskutiert. In der Folge überreichte der Vertreter der Anmelderin einen neuen Anspruchssatz als Hilfsantrag 1, der auf einen präzisierten Gegenstand des Anspruchs 2 des Hauptantrags gerichtet war. Auch die Patentfähigkeit des Gegenstandes dieses Anspruches wurde diskutiert. Bezüglich eines weiteren in der Anhörung überreichten Hilfsantrags 2 wies die Prüfungsstelle nochmals auf die fehlende Einheitlichkeit der Anmeldung hin. Sie führte aus, dass der Mangel der fehlenden Einheitlichkeit kein Mangel eines einzelnen Anspruchssatzes oder der Beschreibung sei,

sondern ein Mangel der Anmeldung selbst. Dem Vertreter der Anmelderin wurde in der Anhörung die Gelegenheit gegeben, diesen Mangel zu beheben.

In der Folge hat die Prüfungsstelle die Anmeldung mit Beschluss vom 23. November 2010 in der Anhörung zurückgewiesen, da die Anmeldung den Mangel der fehlenden Einheitlichkeit aufweise (§ 34 Abs. 5 PatG). In der Begründung der Zurückweisung wurde ausgeführt, dass der Mangel der fehlenden Einheitlichkeit kein bloßer Mangel der gerade geltenden Fassung von Ansprüchen oder Beschreibung sei, sondern ein Mangel, der die Anmeldung insgesamt betreffe. Zur Beseitigung des Mangels sei die Neufassung von Beschreibung und/oder Ansprüchen [allein] nicht geeignet, da die Anmelderin zu jedem Zeitpunkt des weiteren Prüfungsverfahrens auf den vollen, also uneinheitlichen, Umfang der Anmeldung wieder zurückgreifen könne. Erst der Verzicht oder eine Ausscheidung bzw. Teilung in Verbindung mit einem Verzicht bewirke, dass die uneinheitlichen Gegenstände irreversibel aus der Anmeldung entfernt würden. Im Hinblick auf die hilfsweise Beanspruchung uneinheitlicher Anspruchsgegenstände in eigenen Anspruchssätzen gelte somit nichts Anderes als bei einer gleichzeitigen Beanspruchung dieser Gegenstände innerhalb eines einzigen Anspruchssatzes: Der Prüfungsstelle würden in beiden Fällen mehrere uneinheitliche Erfindungsgegenstände zur Beurteilung vorgelegt.

Gegen diesen, am 27. Januar 2011 im Abholfach des Vertreters der Anmelderin niedergelegten Beschluss hat die Anmelderin mit Schriftsatz vom Montag, den 28. Februar 2011, am selben Tag beim Deutschen Patent- und Markenamt eingegangen, fristgemäß Beschwerde eingelegt und diese mit Schriftsatz vom 11. Juni 2012 begründet. Mit der Beschwerdebegründung hat sie auch zwei neue Sätze Patentansprüche, einen mit den Ansprüchen 1 bis 14 als Hauptantrag und einen mit den Ansprüchen 1 bis 18 als Hilfsantrag 1 eingereicht.

Mit der Ladung zur mündlichen Verhandlung hat der Senat die Anmelderin noch auf den Stand der Technik gemäß der Druckschrift

D6 JP 10-290 004 A

hingewiesen, welche in der Beschreibung der Anmeldung als Stand der Technik genannt wird.

Zur mündlichen Verhandlung am 1. Juli 2014 erschien, wie im Schriftsatz vom 25. Juni 2014 angekündigt, seitens der Anmelderin niemand. Damit hat die Anmelderin schriftsätzlich sinngemäß beantragt,

1. den angefochtenen Beschluss der Prüfungsstelle für Klasse H 01 L des Deutschen Patent- und Markenamtes vom 23. November 2010 aufzuheben;

2a. (Hauptantrag) ein Patent zu erteilen mit der Bezeichnung „Halbleitervorrichtung und Herstellungsverfahren für diese“, dem Anmeldetag 29. November 2004 und der japanischen Priorität JP 2004-195843 vom 1. Juli 2004 auf der Grundlage folgender Unterlagen:

- Ansprüche 1 bis 14, gemäß Schriftsatz vom 11. Juni 2012, eingegangen am gleichen Tag,
- Beschreibungsseiten 1, 2 und 4 bis 32 der deutschen Übersetzung, eingegangen beim Deutschen Patent- und Markenamt am 28. Januar 2005,
- Beschreibungsseite 3, eingegangen beim Deutschen Patent- und Markenamt am 20. August 2007,
- Beschreibungsseiten 3a, 3b, eingegangen beim Deutschen Patent- und Markenamt am 17. November 2010 sowie

- 54 Blatt Zeichnungen mit Figuren 1 bis 54 der deutschen Übersetzung, eingegangen beim Deutschen Patent- und Markenamt am 28. Januar 2005;

2b. Hilfsweise (Hilfsantrag) vorgenanntes Patent zu erteilen auf der Grundlage folgender Unterlagen:

- Ansprüche 1 bis 18, gemäß Schriftsatz vom 11. Juni 2012, eingegangen am gleichen Tag,
- Beschreibungsseiten 1, 2 und 4 bis 32 der deutschen Übersetzung, eingegangen beim Deutschen Patent- und Markenamt am 28. Januar 2005,
- Beschreibungsseite 3, eingegangen beim Deutschen Patent- und Markenamt am 20. August 2007,
- Beschreibungsseiten 3a, 3b, eingegangen beim Deutschen Patent- und Markenamt am 17. November 2010 sowie
- 54 Blatt Zeichnungen mit Figuren 1 bis 54 der deutschen Übersetzung, eingegangen beim Deutschen Patent- und Markenamt am 28. Januar 2005.

Darüber hinaus hat die Anmelderin schriftsätzlich angeregt, die Beschwerdegebühr zurück zu zahlen.

Der mit der Beschwerdebegründung vom 11. Juni 2012 eingereichte Anspruch 1 nach Hauptantrag lautet (*Gliederung bei unverändertem Wortlaut eingefügt*):

- „A1. Halbleitervorrichtung, die folgendes aufweist:
 - A1.1 einen internen Transistor (211), der eine interne Schaltung bildet; und
 - A1.2 einen Schutztransistor (204) in einer Leistungsversorgungs-Klemmschaltung,

- A1.2.1 der den internen Transistor (211) vor einem Durchbruch aufgrund einer statischen Elektrizität schützt, die zwischen Leistungsversorgungs-Anschlussflecken (201, 202) auftritt,
- A1.2.2 wobei ein Leitfähigkeitstyp eines Kanals des Schutztransistors einem Leitfähigkeitstyp des internen Transistors entspricht und
- A1.2.3 wobei ein Drainübergang des Schutztransistors abrupter als ein Drainübergang des internen Transistors ist, und
- A1.2.4 wobei der Schutztransistor eine als Taschenschicht ausgebildete Störstellen-Diffusionsschicht (22), die an der Schnittstelle zwischen dem Kanal und einer ersten Diffusionsschicht des Drains ausgebildet ist, mit einer höheren Störstellenkonzentration als der Kanal und mit demselben Leitfähigkeitstyp wie der Kanal hat,
- A1.2.5 wobei die Taschenschicht an der ersten Diffusionsschicht mit niedriger Störstellenkonzentration anliegt,
- A1.2.6 welche an einer zweiten Diffusionsschicht mit hoher Störstellenkonzentration anliegt,
- A1.2.7 wobei die zwei Diffusionsschichten den Drain bilden.“

Der ebenfalls mit der Beschwerdebeurteilung vom 11. Juni 2012 eingereichte Anspruch 1 nach dem Hilfsantrag lautet (*Gliederung bei unverändertem Wortlaut eingefügt*):

- „B1. Halbleitervorrichtung, die folgendes aufweist:
 - B1.1 einen internen Transistor (211), der einen ersten Teil einer internen Schaltung bildet; und
 - B1.2 einen Schutztransistor (204) in einer Leistungsversorgungs-Klemmschaltung,
 - B1.2.1 der den internen Transistor (211) vor einem Durchbruch aufgrund einer statischen Elektrizität schützt, die zwischen Leistungsversorgungs-Anschlussflecken (201, 202) auftritt,

- B1.2.2 wobei ein Leitfähigkeitstyp eines Kanals des Schutztransistors einem Leitfähigkeitstyp des internen Transistors entspricht und
- B1.2.3 wobei ein Drainübergang des Schutztransistors abrupter als ein Drainübergang des internen Transistors ist, und
- B1.3 wobei die Halbleitervorrichtung ferner aufweist: einen zweiten internen Transistor,
 - B1.3.1 der einen zweiten Teil der interne Schaltung bildet und
 - B1.3.2 der bei einer niedrigeren Spannung als der interne Transistor arbeitet, und
 - B1.3.3 der parallel ist zu dem internen Transistor und dem Schutztransistor, und
 - B1.3.4 wobei eine Störstellenkonzentration eines Kanals des zweiten Transistors gleich derjenigen des Kanals des Schutztransistors ist.“

Hinsichtlich der selbständigen Verfahrensansprüche 6 des Hauptantrags und 9 des Hilfsantrags sowie der den selbständigen Ansprüchen der beiden Anträge untergeordneten Ansprüche wird ebenso wie hinsichtlich der weiteren Einzelheiten auf den Akteninhalt verwiesen.

II.

Die form- und fristgerecht erhobene Beschwerde der Anmelderin ist zulässig, erweist sich aber nach dem Ergebnis der mündlichen Verhandlung vom 1. Juli 2014 als nicht begründet, weil die Lehre des Anspruchs 1 des Hauptantrags gegenüber der Zusammenschau der Druckschriften D2 und D6 auf keiner erfinderischen Tätigkeit des Fachmanns beruht (§ 4 PatG) und damit nicht patentfähig ist, und die Lehre des Anspruchs 1 des Hilfsantrags nicht so deutlich und vollständig in der Anmeldung offenbart ist, dass ein Fachmann sie ausführen kann (§ 34 Abs. 4 PatG).

Bei dieser Sachlage kann die Erörterung der Zulässigkeit der Ansprüche des Hauptantrags und des Hilfsantrags sowie der Einheitlichkeit der Anmeldung dahingestellt bleiben (vgl. *GRUR* 1991, 120, 121, II.1 - „Elastische Bandage“).

1. Die Erfindung betrifft eine Halbleitervorrichtung mit einem internen Transistor und einem Schutztransistor, der den internen Transistor vor einem Durchbruch aufgrund elektrostatischer Entladung (ESD) schützt, sowie ein Herstellungsverfahren einer solchen Halbleitervorrichtung (vgl. *die geltenden Ansprüche*).

Eine Halbleitervorrichtung ist mit einer Schutzschaltung zum Schützen einer internen Schaltung der Halbleitervorrichtung vor einer elektrostatischen Entladung versehen, die an Leistungsversorgungsanschlüssen (Vdd, Vss) und an Eingangs- und Ausgangssignal-(I/O)-Anschlüssen auftreten kann.

Die Schaltung ist so ausgeführt, dass eine elektrostatische Entladung, die an einem I/O-Anschluss auftritt, zu einem Vdd-Anschluss oder einem Vss-Anschluss über einen PMOS-Transistor oder einen NMOS-Transistor, die an den I/O-Anschlussflecken angeschlossene ESD-(electrostatic discharge = elektrostatische Entladung)-Schutzelemente sind und eine ESD-Schutzschaltung bilden, abgeleitet wird. Dadurch wird verhindert, dass ein elektrischer Strom in die an den I/O-Anschlüssen angeschlossene interne Schaltung fließt, so dass die interne Schaltung geschützt wird (vgl. *S. 2, 2. Abs. der geltenden Beschreibung*).

Genauso wird dann, wenn eine elektrostatische Entladung zwischen dem Vdd-Anschluss und dem Vss-Anschluss auftritt, die elektrostatische Entladung über einen zwischen ihnen angeschlossenen NMOS-Transistor entladen, so dass auch in diesem Fall kein elektrischer Strom in die interne Schaltung fließt.

In Bezug auf die ESD-Schutzschaltung ist es wichtig, den ESD-Impuls über das ESD-Schutzelement laufen zu lassen, anstatt den ESD-Impuls in die interne Schaltung fließen zu lassen. Es wird deshalb ein Widerstandselement zur Tren-

nung zwischen dem I/O-Anschluss und der internen Schaltung vorgesehen, damit der ESD-Impuls über das ESD-Schutzelement abfließt, anstatt in die interne Schaltung zu laufen. Dagegen wird kein Widerstandselement zur Trennung zwischen dem Vdd-Anschluss und der internen Schaltung eingebaut, weil diese Maßnahme die Versorgungsspannung beim normalen Betrieb reduzieren würde und damit auch die der internen Schaltung zur Verfügung stehende Leistung herabsetzen würde. Demgemäß kann dann, wenn der ESD-Impuls am Vdd-Anschluss auftritt, ein vom Aufbau der internen Schaltung abhängiger elektrischer Strom in die interne Schaltung anstatt zu der ESD-Schutzschaltung fließen, und die interne Schaltung kann möglicherweise zerstört werden (*vgl. S. 2, 3 seitenübergreifender Abs. der geltenden Beschreibung*).

Aus der zum Stand der Technik gehörenden Druckschrift D1 ist es bekannt, einen Transistor zum Schutz von elektrostatischen Entladungen gemeinsam mit NMOS und PMOS-Transistoren auszubilden, wobei der Schutztransistor als NMOS-Transistor mit einer niedrig dotierten p-leitenden Zone an Stelle der bei den internen NMOS-Transistoren üblichen, niedrig dotierten n-leitenden Zone zwischen dem eigentlichen Kanal und der Drainzone ausgebildet wird (*vgl. S. 3, 3. Abs. der geltenden Beschreibung*).

Weiter ist aus der zum Stand der Technik gehörenden Druckschrift D2 eine Studie des ESD-Verhaltens verschiedener Konfigurationen der ESD-Schutzschaltung bekannt. Es wird angesprochen, dass ein ESD-Schutz erreicht werden kann, falls ein gleichförmiges Triggern von Mehrfinger-NMOS Schutzgeräten sichergestellt wird, was beispielsweise durch eine Ankopplung des Gates an den Drain, entweder durch eine Kapazität oder durch eine Zenerdiode erfolgen kann (*vgl. S. 3, 3a seitenübergreifender Abs.*).

Die zum Stand der Technik gehörende Druckschrift D3 beschreibt eine zusätzliche p-Dotierung in dem die Schutzschaltung darstellenden NMOS-Transistor. Durch diese p-Dotierung an Stelle einer n-Dotierung wird eine Verbesserung der Eigen-

schaften des Schutztransistors erreicht, welche darin besteht, dass die Triggerspannung durch Variieren der p-Konzentration einstellbar und damit an die zu schützende Schaltung anpassbar ist (*vgl. S. 3a, 2. Abs. der geltenden Beschreibung*).

Eine andere Methode, die Triggerspannung des Schutztransistors gegenüber den in der Schaltung verwendeten MOS-Transistoren zu verringern, wird in Druckschrift D4 beschrieben. Dort wird der Schutztransistor nur mit einer einfachen Drainstruktur versehen, während die in der internen Schaltung verwendeten MOS-Transistoren Double-Diffused-Drain-Strukturen (= LDD-Strukturen) aufweisen (*vgl. S. 3a, letzter Abs. der geltenden Beschreibung*).

Hiervon ausgehend liegt nach Angabe der geltenden Beschreibung der Anmeldung als technisches Problem die Aufgabe zugrunde, eine Halbleitervorrichtung zur Verfügung zu stellen, die eine interne Schaltung zuverlässig schützen kann, und ein Herstellungsverfahren für diese anzugeben (*vgl. S. 3b, 2. Abs. der geltenden Beschreibung*). Objektiv liegt der im Hauptantrag beanspruchten Erfindung als technisches Problem die Aufgabe zugrunde, einen ESD-Schutztransistor so auszubilden, dass er eine durch den Aufbau bedingte niedrigere Triggerspannung aufweist als gleichzeitig hergestellte MOS-Transistoren einer zu schützenden inneren Schaltung. Der im Hilfsantrag beanspruchten Erfindung liegt dagegen objektiv die Aufgabe zugrunde, einen ESD-Schutztransistor mit möglichst geringem zusätzlichen Aufwand gemeinsam mit einer aus einem Schaltungsbereich mit höherer und einem Schaltungsbereich mit niedrigerer Betriebsspannung bestehenden internen Schaltung herzustellen.

Diese Aufgaben werden durch die Gegenstände und Verfahren der selbständigen Ansprüche des Hauptantrags und des Hilfsantrags gelöst. Einige Merkmale dieser Ansprüche sind erklärungsbedürftig. So ist unter einer Leistungsversorgungsklemmschaltung eine Schaltung zu verstehen, die die Spannung der Leistungsversorgung begrenzt, und die sich damit zwischen den beiden Anschlüssen für die

Leistungsversorgung, also zwischen den beiden Anschlüssen für Vdd und Vss befindet. Auch dürfte nicht wörtlich zu verstehen sein, dass ein Transistor eine Schaltung „bildet“, also mit dieser gleichzusetzen ist. Dies dürfte so zu verstehen sein, dass die Schaltung mit mindestens einem Transistor dieses Typs aufgebaut ist.

Damit wird nun im Hauptantrag eine Halbleitervorrichtung beansprucht, die zwei Teile aufweist. Der erste Teil ist eine interne Schaltung, die mit mindestens einem internen Transistor aufgebaut ist. Der zweite Teil ist ein Schutztransistor, der den internen Transistor, welcher sich in der internen Schaltung befindet vor einem Durchbruch auf Grund einer elektrostatischen Spannung schützt, die zwischen den Leistungsversorgungsanschlüssen besteht. Dabei soll der Leitfähigkeitstyp des Kanals des Schutztransistors gleich dem des internen Transistors sein. Um nun eine gegenüber dem internen Transistor geringere Triggerspannung des Schutztransistors zu erreichen, ist dessen Drainübergang abrupter gestaltet als der des internen Transistors. Wie dies erfolgt, wird in den weiteren Merkmalen des Anspruchs erläutert. Es ist nämlich eine Schicht ausgebildet, welche als Taschenschicht bezeichnet wird und den Leitfähigkeitstyp des Materials im Kanalbereich aufweist, jedoch mit einer höheren Störstellenkonzentration als dieses. Dabei grenzt diese Taschenschicht an eine Diffusionsschicht mit niedriger Störstellenkonzentration an, welche wiederum an eine zweite Diffusionsschicht mit hoher Störstellen Konzentration anliegt. Anders ausgedrückt befindet sich zwischen einem LDD-Bereich und dem Kanalbereich noch ein weiterer Bereich mit dem Leitfähigkeitstyp des Kanalbereichs und damit mit anderem Leitfähigkeitstyp als der Drain, wobei die Dotierung dieses weiteren Bereichs höher ist als im Kanalbereich. So wird ein abrupter Übergang zwischen dem niedrigdotierten LDD-Bereich und dem angrenzenden hochdotierten weiteren Bereich erreicht, was zu einer Verringerung der Triggerspannung führt.

Die Halbleitervorrichtung nach Anspruch 1 des Hilfsantrags 1 weist dagegen drei Teile auf. Der erste Teil ist ein Teil der inneren Schaltung, der einen internen Transistor enthält. Der zweite Teil ist wiederum ein Schutztransistor, der den internen Transistor, welcher sich in der internen Schaltung befindet, vor einem Durchbruch auf Grund einer elektrostatischen Spannung schützt, die zwischen den Leistungsversorgungsanschlüssen besteht. Dabei soll der Leitfähigkeitstyp des Kanals des Schutztransistors gleich dem des internen Transistors sein. Um nun eine gegenüber dem internen Transistor geringere Triggerspannung des Schutztransistors zu erreichen, ist dessen Drainübergang abrupter gestaltet als der des internen Transistors. Der dritte Teil ist ein Teil der internen Schaltung, der einen Transistor aufweist, der bei einer niedrigeren Spannung als der Transistor im ersten Teil betrieben wird und parallel zu diesem ist. Die Besonderheit der beanspruchten Halbleitervorrichtung besteht darin, dass die Störstellenkonzentration des Kanalbereichs des Transistors im dritten Teil gleich derjenigen des Kanalbereichs des Schutztransistors ist. Dies ermöglicht es, die beiden Kanalbereiche in einem Schritt herzustellen.

2. Als zuständiger Fachmann zur Beurteilung der Erfindung ist hier ein in der Halbleiterindustrie tätiger Ingenieur der Fachrichtung Elektrotechnik oder ein Physiker mit Hochschulabschluss zu definieren, der über langjährige Erfahrung im Bereich der ESD-Schutzmaßnahmen für Halbleiterschaltungen verfügt.

3. Die im Anspruch 1 des Hauptantrags beanspruchte Halbleitervorrichtung beruht gegenüber der Zusammenschau der Druckschriften D2 und D6 auf keiner erfinderischen Tätigkeit des Fachmanns (§ 4 PatG), so dass sie nicht patentfähig ist.

So offenbart Druckschrift D2 in Übereinstimmung mit dem Wortlaut des geltenden Anspruchs 1 nach dem Hauptantrag eine

„A1. Halbleitervorrichtung (siehe Fig. 3 und S. 240, linke Sp.: *„Electrostatic Discharges (ESD) are one of the bigger concerns for the reliability of ICs in nowadays submicron technologies.“*), die folgendes aufweist:

A1.1 einen internen Transistor (siehe die NMOS-Transistoren auf der linken Seite der Fig. 3), der eine interne Schaltung bildet; und

A1.2 einen Schutztransistor (*„ESD Protection“* auf der rechten Seite der Fig. 3) in einer Leistungsversorgungs-Klemmschaltung (vgl. S. 241, linke Sp., letzter Abs.: *The zener triggered NMOS clamp was located at the supply pads, to insure core protection.“*),

A1.2.1 der den internen Transistor vor einem Durchbruch aufgrund einer statischen Elektrizität schützt, die zwischen Leistungsversorgungs-Anschlussflecken (siehe Fig. 3 und die Bezeichnung als *„ESD-Protection“* sowie die bereits zitierte Stelle) auftritt,

A1.2.2 wobei ein Leitfähigkeitstyp eines Kanals des Schutztransistors einem Leitfähigkeitstyp des internen Transistors entspricht (*beide Transistoren sind NMOS-Transistoren; vgl. die bereits zitierte Stelle*).

Druckschrift D2 gibt an, dass ein durch eine Zenerdiode getriggert NMOS-Transistor verwendet wird. Ein solcher wird in Fig. 1 als Beispiel 4 gezeigt. Dieser Typ wird deshalb verwendet, weil seine Triggerspannung verhältnismäßig niedrig ist, so dass er die Spannungsversorgungseingänge schützen kann (vgl. S. 243 rechte Sp., letzter Abs.: *„Due to its lower triggering voltage, the zener clamp was used to protect the supply pads.“*).

Daneben lehrt Druckschrift D6, dass die Triggerspannung eines ESD-Schutztransistors niedrig genug sein muss (vgl. Abs. [0019] der englischsprachigen Übersetzung: *„For this reason, when the bipolar transistor which exists in a MOS*

transistor parasitically constitutes the protection circuit of Fig. 8, it is necessary to make sufficient small the switching voltage V_s and holding voltage V_h .“) und u. a. stark von seiner Störstellenkonzentration im Kanalbereich abhängt (vgl. Abs. [0020] der englischsprachigen Übersetzung: „Such switching voltages V_s and holding voltages V_h are largely dependent on the impurity concentration and thickness of the base area of a bipolar transistor. Therefore when this bipolar transistor is parasitic on a MOS transistor, such switching voltage V_s and holding voltages V_h will be dependent on the impurity concentration (impurity concentration of a substrate.) of the channel regions of a MOS transistor, and the length of a gate electrode.“). Ihr Ziel ist es, einen Transistor zur Verfügung zu stellen, der eine niedrige Triggerspannung aufweist, und einen beim Stand der Technik auftretenden Leckstrom vermeidet (vgl. Abs. [0024] der englischsprachigen Übersetzung: „The purpose is providing a semiconductor device which can set up small switching voltage and holding voltage of the snapback characteristic of a protection circuit which use a parasitic bipolar transistor, inhibiting leakage current sufficiently“.). Dies sind genau die Erfordernisse, die auch Druckschrift D2 an den Transistor zwischen den Spannungsversorgungsanschlüssen stellt, so dass der Fachmann dadurch angehalten wird, die Lehre der Druckschrift D6 auf Druckschrift D2 zu übertragen und den in Druckschrift D6 offenbarten Transistor an Stelle des zenergekoppelten Transistors in Druckschrift D2 zu setzen. Die Struktur für die Zenerdiode kann damit eingespart werden.

Zur Realisierung dieser Lehre offenbart die Druckschrift D6 im Wortlaut des Anspruchs 1 des Hauptantrags eine Halbleitervorrichtung mit einem Schutztransistor,

A1.2.4 wobei der Schutztransistor eine als Taschenschicht ausgebildete Störstellen-Diffusionsschicht (*impurity range 5*) aufweist, die an der Schnittstelle zwischen dem Kanal und einer ersten Diffusionsschicht (*low concentration region 9*) des Drains ausgebildet ist (vgl. Fig. 1 i. V. m. Abs. [0034] der englischsprachigen Übersetzung: „Next, as shown in Fig. 1 (b) (the 2nd process in Claim 3), the injection of P type impurities, such as boron ($^{11}B+$), is repeatedly performed only 3

times with impurity concentration different, respectively and energy (60 keV below by $3.0 \times 10^{12}/\text{cm}^2$). below $5.0 \times 10^{12}/\text{cm}^2$ - 120keV and below $2.0 \times 10^{13}/\text{cm}^2$ - each opening 4 of 250keV and the photoresist film 3 - each impurity range 5 is formed caudad.“), mit einer höheren Störstellenkonzentration als der Kanal (In das Material des Kanals wird noch Bor implantiert, was zu einer Erhöhung der Dotierung und damit zu einer höheren Störstellenkonzentration als im Kanalmaterial, bei dem die Implantation nicht stattfindet, führt. Siehe auch Fig. 2.) und mit demselben Leitfähigkeitstyp wie der Kanal (Sowohl bei dem Kanalmaterial 1 als auch bei der Taschenschicht 5 handelt es sich um p-dotiertes Material; vgl. Abs. [0033] der englischsprachigen Übersetzung: „First, as shown in Fig. 1 (a) (the 1st process in Claim 3), the 200-A-thick oxide film 2 is formed by thermal oxidation on the P type silicon substrate 1 (below impurity concentration $2.0 \times 10^{17}/\text{cm}^3$).“ und die bereits zitierte Stelle in Abs. [0034] der englischsprachigen Übersetzung.),

A1.2.5 wobei die Taschenschicht (5) an der ersten Diffusionsschicht mit niedriger Störstellenkonzentration (9) anliegt (siehe Fig. 1 (e)),

A1.2.6 welche an einer zweiten Diffusionsschicht mit hoher Störstellenkonzentration (*high-concentration drain area 14*) anliegt (siehe Fig. 1 (e) i. V. m. Abs. [0037] der englischsprachigen Übersetzung: „And to the P type silicon substrate 1 from the approximately perpendicular direction (direction perpendicularly inclined [7 degrees of abbreviation]), The ion implantation of the N type impurities, such as arsenic ($^{75}\text{AS}+$), is carried out to high concentration (they are 50keV below in $3.0 \times 10^{15}/\text{cm}^2$), and the high-concentration source region 13 and the drain area 14 are formed.“),

A1.2.7 wobei die zwei Diffusionsschichten den Drain bilden (vgl. die zitierten Stellen).

Durch die naheliegende Verwendung dieses Schutztransistors in der in Druckschrift D2 gezeigten Halbleitervorrichtung ergibt sich zudem, dass ein Drainüber-

gang des Schutztransistors abrupter als ein Drainübergang des internen Transistors ist (Merkmal A1.2.3), denn die Transistoren der internen Schaltung werden mit einem LDD-Prozess hergestellt, so dass sie üblicherweise eine niedrig dotierte Drainzone zum Kanal hin aufweisen (vgl. *Druckschrift D2, S. 240, rechte Sp., letzter Abs.:* „*The test structures used throughout this study have been fabricated with a general purpose, five metal levels, silicides diffusion 0.35 µm LDD CMOS process.*“), was zu einem nicht sehr abrupten Übergang zum Kanal hin führt.

Damit kommt der Fachmann insgesamt zum Gegenstand des geltenden Anspruchs 1, ohne erfinderisch tätig werden zu müssen (§ 4 PatG), weshalb dieser auch nicht patentfähig ist.

4. Die Lehre des Anspruchs 1 des Hilfsantrags ist in der Anmeldung nicht so deutlich und vollständig offenbart, dass ein Fachmann sie ausführen kann (§ 34 Abs. 4 PatG).

In Anspruch 1 wird im Merkmal B1.3.3 beansprucht, dass der zweite interne Transistor parallel zu dem internen Transistor und dem Schutztransistor ist. Gemäß Merkmal B1.3.2 arbeitet der zweite interne Transistor aber bei einer niedrigeren Spannung als der interne Transistor. Dies ist widersprüchlich, denn wenn zwei Transistoren parallel sind, so sind ihre Sources und ihre Drains elektrisch miteinander verbunden. Dies bedeutet, dass zwischen dem jeweiligen Source und Drain der beiden Transistoren jeweils dieselbe Spannung anliegt. Dies schließt aus, dass die beiden Transistoren bei unterschiedlichen Spannungen arbeiten. Da der Fachmann diesen Widerspruch - auch mit Hilfe der Beschreibung - nicht auflösen kann, ist die Lehre des Anspruchs 1 des Hilfsantrags nicht so deutlich und vollständig offenbart, dass ein Fachmann sie ausführen kann (§ 34 Abs. 4 PatG).

5. Die zu den Ansprüchen 1 des Hauptantrags und des Hilfsantrags jeweils nebengeordneten Ansprüche 6 bzw. 9, sowie die den selbständigen Ansprüchen untergeordneten Ansprüche fallen auf Grund der Antragsbindung mit den Ansprü-

chen 1 der beiden Anträge (vgl. *BGH GRUR 2007, 862, 863, Tz. 18, „Informationsübermittlungsverfahren II“*).

6. Bei dieser Sachlage war die Beschwerde der Anmelderin zurückzuweisen.

III.

Die Rückzahlung der Beschwerdegebühr war nicht anzuordnen (§ 80 Abs. 3 PatG).

Die Anmelderin regt in ihrer Beschwerdebegründung die Rückzahlung der Beschwerdegebühr an, da ihrer Ansicht nach ein wesentlicher Verfahrensverstoß vorliege. Dieser bestehe darin, dass der erste Hilfsantrag in der Anhörung aufgrund mangelnder erfinderischer Tätigkeit zurückgewiesen worden sei, dagegen die Zurückweisung auch des ersten Hilfsantrags im Zurückweisungsbeschluss mit mangelnder Einheitlichkeit begründet werde, so dass der Anmelderin das rechtliche Gehör verwehrt worden sei.

Das ist jedoch nicht der Fall. Wie dem Anhörungsprotokoll vom 23. November 2010 zu entnehmen ist, wurde in der Anhörung sowohl die Einheitlichkeit der Anmeldung insgesamt als auch die Patentfähigkeit der einzelnen Anspruchssätze diskutiert, wobei der Prüfer hinsichtlich der seiner Auffassung nach mangelnden Einheitlichkeit darauf hingewiesen hat, dass dies einen Mangel der Anmeldung selbst darstelle und nicht einen Mangel der vorliegenden einzelnen Anspruchssätze. Dementsprechend wurde dem Vertreter der Anmelderin in der Anhörung Gelegenheit gegeben, diesen Mangel durch eine entsprechende Erklärung (d. h. Verzicht oder Ausscheidung) zu beheben.

Zudem kann dahingestellt bleiben, ob die Entscheidung des Prüfers über die Einheitlichkeit auf einer richtigen oder einer falschen Beurteilung beruht. Denn selbst

im Fall einer sachlich falschen Beurteilung kann bei Anwendung des richtigen Rechts die Rückzahlung der Beschwerdegebühr nur durch das Vorliegen besonderer Umstände begründet werden (*vgl. Schulte, Patentgesetz, 9. Auflage, § 73, Rdn. 137*). Solche liegen aber im vorliegenden Fall nicht vor. Damit gibt es keinen Grund, der eine Rückzahlung der Beschwerdegebühr aus billigem Ermessen rechtfertigen würde.

IV. Rechtsmittelbelehrung

Gegen diesen Beschluss steht der Anmelderin das Rechtsmittel der **Rechtsbeschwerde** zu. Da der Senat die Rechtsbeschwerde nicht zugelassen hat, ist sie nur statthaft, wenn einer der nachfolgenden Verfahrensmängel gerügt wird, nämlich

1. dass das beschließende Gericht nicht vorschriftsmäßig besetzt war,
2. dass bei dem Beschluss ein Richter mitgewirkt hat, der von der Ausübung des Richteramtes kraft Gesetzes ausgeschlossen oder wegen Besorgnis der Befangenheit mit Erfolg abgelehnt war,
3. dass, einem Beteiligten das rechtliche Gehör versagt war,
4. dass ein Beteiligter im Verfahren nicht nach Vorschrift des Gesetzes vertreten war, sofern er nicht der Führung des Verfahrens ausdrücklich oder stillschweigend zugestimmt hat,
5. dass der Beschluss aufgrund einer mündlichen Verhandlung ergangen ist, bei der die Vorschriften über die Öffentlichkeit des Verfahrens verletzt worden sind, oder
6. dass der Beschluss nicht mit Gründen versehen ist.

Die Rechtsbeschwerde ist **innerhalb eines Monats** nach Zustellung des Beschlusses

schriftlich durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten beim Bundesgerichtshof, Herrenstr. 45 a, 76133 Karlsruhe, einzureichen oder

durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten in elektronischer Form bei der elektronischen Poststelle des BGH, www.bundesgerichtshof.de/erv.html. Das elektronische Dokument ist mit einer prüfbaren qualifizierten elektronischen Signatur nach dem Signaturgesetz oder mit einer prüfbaren fortgeschrittenen elektronischen Signatur zu versehen. Die Eignungsvoraussetzungen für eine Prüfung und für die Formate des elektronischen Dokuments werden auf der Internetseite des Bundesgerichtshofs www.bundesgerichtshof.de/erv.html bekannt gegeben.

Dr. Strößner

Brandt

Dr. Hoppe

Dr. Zebisch

CI