



BUNDESPATENTGERICHT

23 W (pat) 26/16

(Aktenzeichen)

Verkündet am
7. November 2017

...

BESCHLUSS

In der Beschwerdesache

...

betreffend die Patentanmeldung 10 2004 064 209.5

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 7. November 2017 unter Mitwirkung des Vorsitzenden Richters Dr. Strößner und der Richter Dr. Friedrich, Dr. Zebisch und Dr. Himmelmann

beschlossen:

1. Der Beschluss der Prüfungsstelle für Klasse H01L des Deutschen Patent- und Markenamts vom 17. November 2015 wird aufgehoben.
2. Es wird ein Patent erteilt mit der Bezeichnung „Halbleiterbaugruppe zum Treiben eines Schaltelements“, dem Anmeldetag 25. März 2004 unter Inanspruchnahme der Priorität JP 2003/087822 vom 27. März 2003 auf der Grundlage folgender Unterlagen:
 - Patentansprüche 1 bis 11,
 - Beschreibungsseiten 4, 10, 11, 21 bis 31, jeweils überreicht in der mündlichen Verhandlung am 7. November 2017;
 - Beschreibungsseiten 1 bis 3 und 12 bis 20,
 - 14 Blatt Zeichnungen mit Figuren 1 bis 16, jeweils eingegangen im Deutschen Patent- und Markenamt am 27. Juli 2011.

Gründe

I.

Die vorliegende Anmeldung mit dem Aktenzeichen 10 2004 064 209.5 und der Bezeichnung „Halbleiterbaugruppe zum Treiben eines Schaltelements“ ist eine Teilanmeldung zu der am 25. März 2004 eingereichten und die japanische Priorität 2003/087822 vom 27. März 2003 beanspruchenden Stammanmeldung mit dem Aktenzeichen 10 2004 014 744.2, zu der ein Patent mit dem Titel „Halbleiterbaugruppe mit einem Graben zum Treiben eines Schaltelements und Vermeiden ei-

nes Latch-up Durchbruchs“ und dem Veröffentlichungstag 7. Februar 2013 erteilt worden ist.

Die Prüfungsstelle für Klasse H01L der Patentabteilung 1.33 hat im Prüfungsverfahren der Teilanmeldung auf folgenden Stand der Technik verwiesen:

- D1 US 6 329 694 B1
- D2 JP 2002-252 333 A
- D3 EP 0 382 865 A1
- D4 US 6 465 283 B1.

Im einzigen zur Teilanmeldung ergangenen Prüfungsbescheid vom 25. September 2013 hat die Prüfungsstelle u. a. ausgeführt, dass die Halbleiterbaugruppen der selbständigen Ansprüche 1 und 13 bzw. des selbständigen Anspruchs 10 dem Fachmann durch die Druckschrift D1 bzw. durch die Druckschriften D4 und D1 nahegelegt seien und sich auch die Merkmale der abhängigen Ansprüche in naheliegender Weise aus dem vorgelegten St. d. T. ergäben.

Mit Eingabe vom 28. Januar 2014 hat die Anmelderin einen Anspruchssatz mit einem neuen auf den ursprünglichen Ansprüchen 1 und 2 basierenden Anspruch 1 vorgelegt, woraufhin die Prüfungsstelle die Anmeldung durch Beschluss vom 17. November 2015 unter Verweis auf das Prüfungsverfahren der Stammanmeldung und die dabei durchgeführte Anhörung zurückgewiesen hat.

Gegen diesen Beschluss, der Anmelderin am 20. November 2015 zugestellt, richtet sich die am 16. Dezember 2015 beim Deutschen Patent- und Markenamt elektronisch eingegangene Beschwerde mit der nachgereichten Beschwerdebe-gründung vom 29. September 2016.

In der mündlichen Verhandlung hat die Anmelderin einen neuen Anspruchssatz und angepasste Beschreibungsteile vorgelegt. Sie beantragt:

1. den Beschluss der Prüfungsstelle für Klasse H01L des Deutschen Patent- und Markenamts vom 17. November 2015 aufzuheben.
2. Ein Patent zu erteilen mit der Bezeichnung „Halbleiterbaugruppe zum Treiben eines Schaltelements“, dem Anmeldetag 25. März 2004 unter Inanspruchnahme der Priorität JP 2003/087822 vom 27. März 2003 auf der Grundlage folgender Unterlagen:
 - Patentansprüche 1 bis 11,
 - Beschreibungsseiten 4, 10, 11, 21 bis 31, jeweils überreicht in der mündlichen Verhandlung am 7. November 2017;
 - Beschreibungsseiten 1 bis 3 und 12 bis 20,
 - 14 Blatt Zeichnungen mit Figuren 1 bis 16, jeweils eingegangen im Deutschen Patent- und Markenamt am 27. Juli 2011.

Die in der Verhandlung überreichten selbständigen Ansprüche 1, 7 und 10 haben, mit einer zusätzlichen Gliederung versehen, folgenden Wortlaut:

1. Halbleiterbaugruppe zum Treiben eines Schaltelements (Q1), das eine erste Elektrode, eine zweite Elektrode und eine Steuerelektrode hat, wobei die Halbleiterbaugruppe folgendes aufweist:
 - (a) einen ersten Anschluss (VS), der mit der ersten Elektrode verbunden ist;

- (b) einen zweiten Anschluss (VB), der mit der ersten Elektrode durch ein kapazitives Element (C1) verbunden ist;
- (c) ein Halbleitersubstrat (21), das einen ersten Leitfähigkeitstyp hat;
- (d) einen ersten Störstellenbereich (28), der in einer Hauptoberfläche des Halbleitersubstrats (21) gebildet ist und einen zweiten Leitfähigkeitstyp hat;
- (e) einen zweiten Störstellenbereich (29), der in einer Hauptoberfläche des ersten Störstellenbereichs (28) gebildet ist und den ersten Leitfähigkeitstyp hat;
- (f) einen ersten Transistor (14), der einen Source-/Drainbereich (14S) vom zweiten Leitfähigkeitstyp hat, wobei der Source-/Drainbereich (14S) des ersten Transistors (14) in einer Hauptoberfläche des zweiten Störstellenbereichs (29) gebildet und mit dem ersten Anschluss (VS) verbunden ist;
- (g) einen zweiten Transistor (15), der einen Source-/Drainbereich (15S) vom ersten Leitfähigkeitstyp hat, wobei der Source-/Drainbereich (15S) des zweiten Transistors (15) in der Hauptoberfläche des ersten Störstellenbereichs (28) gebildet und mit dem zweiten Anschluss (VB) verbunden ist; und
- (h) einen dritten Störstellenbereich (33), der den ersten Leitfähigkeitstyp und eine durchgehende Tiefe hat, in der Hauptoberfläche des ersten Störstellenbereichs (28) und sowohl innerhalb als auch außerhalb der Hauptoberfläche des zweiten Störstellenbereichs (29) gebildet und mit einer Elektrode (41) in Kontakt ist und

die Elektrode (41) mit dem ersten Anschluss (VS) verbunden ist,

- (i) wobei der dritte Störstellenbereich (33) zwischen dem ersten und zweiten Transistor (14, 15) angeordnet ist,
- (j) und wobei der dritte Störstellenbereich (33) flacher als der zweite Störstellenbereich (29) ausgebildet ist,
- (k) und wobei der dritte Störstellenbereich (33) eine höhere Störstellenkonzentration als der zweite Störstellenbereich (29) hat.

7. Halbleiterbaugruppe zum Treiben eines Schaltelements (Q1), das eine erste Elektrode, eine zweite Elektrode und eine Steuerelektrode hat, wobei die Halbleiterbaugruppe folgendes aufweist:

- (a) einen ersten Anschluss (VS), der mit der ersten Elektrode verbunden ist;
- (b) einen zweiten Anschluss (VB), der mit der ersten Elektrode durch ein kapazitives Element (C1) verbunden ist;
- (c) ein Halbleitersubstrat (21), das einen ersten Leitfähigkeitstyp hat;
- (d) einen ersten Störstellenbereich (28), der in einer Hauptoberfläche des Halbleitersubstrats (21) gebildet ist und einen zweiten Leitfähigkeitstyp hat;
- (e) einen zweiten Störstellenbereich (29), der in einer Hauptoberfläche des ersten Störstellenbereichs (28) gebildet ist und den ersten Leitfähigkeitstyp hat;
- (f) einen ersten Transistor (14), der einen Source-/Drainbereich (14S) vom zweiten Leitfähigkeitstyp hat, wobei der Source-/Drainbereich (14S) des ersten Transistors (14) in einer

Hauptoberfläche des zweiten Störstellenbereichs (29) gebildet und mit dem ersten Anschluss (VS) verbunden ist;

- (g) einen zweiten Transistor (15), der einen Source-/Drainbereich (15S) vom ersten Leitfähigkeitstyp hat, wobei der Source-/Drainbereich (15S) des zweiten Transistors (15) in der Hauptoberfläche des ersten Störstellenbereichs (28) gebildet und mit dem zweiten Anschluss (VB) verbunden ist; und
- (h) einen dritten Störstellenbereich (33), der in der Hauptoberfläche des ersten Störstellenbereichs (28) und im angrenzenden Kontakt zum zweiten Störstellenbereich (29) gebildet ist, den ersten Leitfähigkeitstyp hat und mit dem ersten Anschluss (VS) verbunden ist, und
- (i) einen vierten Störstellenbereich (55), der in der Hauptoberfläche des ersten Störstellenbereichs (28) und nicht in der Hauptoberfläche des zweiten Störstellenbereichs gebildet ist, den ersten Leitfähigkeitstyp hat und mit dem zweiten Anschluss (VB) verbunden ist,
- (j) wobei der dritte und vierte Störstellenbereich (33, 55) jeweils zwischen dem ersten und zweiten Transistor (14, 15) vorgesehen sind, und
- (k) wobei der dritte Störstellenbereich (33) flacher als der zweite Störstellenbereich (29) ausgebildet ist.

10. Halbleiterbaugruppe zum Treiben eines Schaltelements (Q1), das eine erste Elektrode, eine zweite Elektrode und

eine Steuerelektrode hat, wobei die Halbleiterbaugruppe folgendes aufweist:

- (a) einen ersten Anschluss (VS), der mit der ersten Elektrode verbindbar ist;
- (b) einen zweiten Anschluss (VB), der mit der ersten Elektrode durch ein kapazitives Element (C1) verbindbar ist;
- (c) ein Halbleitersubstrat (21), das einen ersten Leitfähigkeitstyp hat;
- (d) einen ersten Störstellenbereich (28), der in einer Hauptoberfläche des Halbleitersubstrats (21) gebildet ist und einen zweiten Leitfähigkeitstyp hat;
- (e) einen zweiten Störstellenbereich (29), der in einer Hauptoberfläche des ersten Störstellenbereichs (28) gebildet ist und den ersten Leitfähigkeitstyp hat;
- (f) einen ersten Transistor (14), der einen Source-/Drainbereich (14S) vom zweiten Leitfähigkeitstyp hat, wobei der Source-/Drainbereich (14S) des ersten Transistors (14) in einer Hauptoberfläche des zweiten Störstellenbereichs (29) gebildet und mit dem ersten Anschluss verbunden (VS) ist;
- (g) einen zweiten Transistor (15), der einen Source-/Drainbereich (15S) vom ersten Leitfähigkeitstyp hat, wobei der Source-/Drainbereich (15S) des zweiten Transistors (15) in der Hauptoberfläche des ersten Störstellenbereichs (28) gebildet und mit dem zweiten Anschluss (VB) verbunden ist; und
- (h) eine Kombination aus einem dritten Störstellenbereich (33), der in der Hauptoberfläche des zweiten

Störstellenbereichs (29) gebildet ist, den ersten Leitfähigkeitstyp hat und mit dem ersten Anschluss (VS) verbunden ist, und einem vierten Störstellenbereich (66), der in der Hauptoberfläche des zweiten Störstellenbereichs (29) gebildet und in Kontakt mit dem dritten Störstellenbereich (33) ist, den zweiten Leitfähigkeitstyp hat und mit dem ersten Anschluss (VS) verbunden ist,

und/oder eine Kombination aus einem fünften Störstellenbereich (32), der in der Hauptoberfläche des ersten Störstellenbereichs (28) gebildet ist, den zweiten Leitfähigkeitstyp hat und mit dem zweiten Anschluss (VB) verbunden ist, und einem sechsten Störstellenbereich (65), der in der Hauptoberfläche des ersten Störstellenbereichs (28) gebildet und in Kontakt mit dem fünften Störstellenbereich (32) ist, den ersten Leitfähigkeitstyp hat und mit dem zweiten Anschluss (VB) verbunden ist,

- (i) wobei der dritte bis sechste Störstellenbereich (33, 66, 32, 65) jeweils zwischen dem ersten und zweiten Transistor (14, 15) vorgesehen sind,
- (j) wobei die Halbleiterbaugruppe ferner einen Trennbereich (22) aufweist, der den ersten Leitfähigkeitstyp hat und in der Hauptoberfläche des Halbleitersubstrats (21) gebildet und in Kontakt mit dem ersten Störstellenbereich (28) ist,
- (k) wobei der fünfte und der sechste Störstellenbereich (32, 65) zwischen dem Trennbereich (22) und dem zweiten Störstellenbereich (29) gebildet sind.

Bezüglich der abhängigen Ansprüche 2 bis 6, 8, 9 und 11 sowie der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

II.

Die form- und fristgerecht erhobene Beschwerde ist zulässig und hinsichtlich des in der mündlichen Verhandlung vom 7. November 2017 eingereichten Anspruchssatzes auch begründet, denn die Ansprüche 1 bis 11 sind zulässig und geben eine gewerblich anwendbare Lehre. Die Halbleiterbaugruppen nach den Ansprüchen 1 bis 11 sind zudem patentfähig und durch den im Verfahren befindlichen Stand der Technik nicht patenthindernd getroffen (§§ 1 - 5 PatG), so dass der angefochtene Beschluss der Prüfungsstelle aufzuheben und das Patent in dem beantragten Umfang zu erteilen war (§ 79 Abs. 1 PatG i. V. m. § 49 Abs. 1 PatG).

1. Die Anmeldung betrifft Halbleiterbaugruppen zum Treiben eines Schaltungselements, insbesondere zum Treiben von Leistungshalbleiter-Schaltungselementen wie Wechselrichtern und Invertern.

Solche Halbleiterbaugruppen umfassen üblicherweise einen hochspannungs- und einen niederspannungsseitigen Treiberbereich, wobei der hochspannungsseitige Treiberbereich meist einen CMOS-Schaltkreis mit auf einem p^- -Siliziumsubstrat gebildeten PMOS- und NMOS-Transistoren aufweist. Dazu sind zum einen in der oberen Oberfläche des p^- -Siliziumsubstrats ein n-leitender Störstellenbereich und eine in der oberen Oberfläche des n-leitenden Störstellenbereichs gebildete p-leitende Wanne mit n-leitenden Source- und Drainbereichen des NMOS-Transistors vorhanden und zum anderen p-leitende Source- und Drainbereiche des PMOS-Transistors, die in der oberen Oberfläche des n-leitenden Störstellenbereichs gebildet sind. Zwischen den Source- und Drainbereichen des NMOS- und PMOS-Transistors befindet sich jeweils eine Gateelektrode auf einer Gateisolierschicht, durch deren Ansteuerung ein Kanalbildungsbereich ausgebildet werden kann.

Bei solchen konventionellen CMOS-Anordnungen kann es jedoch unter ungünstigen Umständen, bspw. aufgrund kurzzeitiger elektrischer Spannungsspitzen, vorkommen, dass die CMOS-Stufe in einen niederohmigen Zustand schaltet, weil parasitäre pnp- und npn-Bipolartransistoren der CMOS-Stufe in Summe einer Thyristor-Struktur entsprechen, die infolge der Spannungsspitze ungewollt durchschaltet. Dieser als Latch-Up-Effekt bekannte Mechanismus kann bis zur Zerstörung der Halbleitergruppe führen.

Ausgehend davon liegt der Anmeldung als technisches Problem die Aufgabe zugrunde, eine Halbleiterbaugruppe zur Verfügung zu stellen, die imstande ist, eine Funktionsstörung und einen Latch-up-Durchbruch zu vermeiden, die aus einer negativen Änderung einer Floating-Offsetspannung, die als Bezugspotential für den hochspannungsseitigen Treiberbereich dient, resultieren.

Diese Aufgabe wird durch die Halbleiterbaugruppen der selbständigen Ansprüche 1, 7 und 10 gelöst.

Anspruch 1 bezieht sich auf eine Ausgestaltung nach Figur 4, Anspruch 7 auf eine Ausgestaltung nach Figur 9 und Anspruch 10 auf eine Ausgestaltung nach Figur 14 i. V. m. Figur 16 der vorliegenden Anmeldung.

Dabei entsprechen die Ansprüche 1, 7 und 10 in den Merkmalen (a) bis (g) einander. Die Halbleitergruppen haben demnach übereinstimmend:

- ein Halbleitersubstrat (21, p⁻),
- einen ersten Störstellenbereich (28, n-Wanne),
- einen zweiten Störstellenbereich (29, p-Wanne),
- einen ersten Transistor (14, NMOS-Transistor in der p-Wanne),
- einen zweiten Transistor (15, PMOS-Transistor in der n-Wanne).

Für die Halbleitergruppe des Anspruchs 1 (Fig. 4) ist der dritte Störstellenbereich (33, p^+) wesentlich. Er ist vom gleichen Leitfähigkeitstyp wie das Halbleitersubstrat und er wird durch die Merkmale (h) bis (k) hinsichtlich seines Anschlusses sowie seiner Dotierungsart, Dotierungskonzentration, Lage und Ausdehnung spezifiziert. Anspruch 7 (Fig. 9) umfasst bis auf einen Teil des Merkmals (h), wonach der dritte Störstellenbereich (33) eine durchgehende Tiefe und sowohl innerhalb als auch außerhalb der Hauptoberfläche des zweiten Störstellenbereichs (29) gebildet ist, und das Merkmal (k), wonach der dritte Störstellenbereich (33) eine höhere Störstellenkonzentration als der zweite Störstellenbereich (29) hat, sämtliche Merkmale des Anspruchs 1. Zusätzlich enthält er die Angabe, dass der dritte Störstellenbereich (33) im angrenzenden Kontakt zum zweiten Störstellenbereich (29) gebildet und ein **vierter** Störstellenbereich (55, p^+) desselben Leitfähigkeitstyps wie das Halbleitersubstrat (21, p^-) vorhanden ist, der durch die Merkmale (i) und (j) hinsichtlich seines Anschlusses sowie seiner Dotierungsart und Lage spezifiziert wird.

Anspruch 10 (Fig. 14 i. V. m. Fig. 16) stellt aufgrund der „und/oder“-Kombination in Merkmal (h) eine Zusammenfassung von zunächst drei Ansprüchen dar, die aber durch das Merkmal (k), wonach der fünfte und der sechste Störstellenbereich tatsächlich gebildet sind, wieder auf zwei Ansprüche beschränkt wird, nämlich auf die Variante, dass der dritte bis sechste Störstellenbereich gebildet sind oder dass der fünfte und sechste Störstellenbereich gebildet sind. Dabei ist für die Halbleitergruppe des Anspruchs 12 wesentlich,

- dass der dritte und vierte Störstellenbereich unterhalb der Elektrode 68 (vgl. Fig. 14) aus zwei aneinandergrenzenden p- und n-Gebieten (33, 66) besteht,
- und/oder dass der fünfte und sechste Störstellenbereich unterhalb der Elektrode 67 (vgl. Fig. 14) aus zwei aneinandergrenzenden p- und n-Gebieten (32, 65) besteht und

- dass die Halbleiterbaugruppe einen in der Hauptoberfläche des Halbleitersubstrats (21) gebildeten Trennbereich (22) aufweist, der den ersten Leitfähigkeitstyp wie das Halbleitersubstrat hat und in Kontakt mit dem ersten Störstellenbereich (28) ist (vgl. Fig. 16),
- wobei der fünfte und der sechste Störstellenbereich (32, 65) zwischen dem Trennbereich (22) und dem zweiten Störstellenbereich (29) gebildet sind.

2. Die Ansprüche 1 bis 11 sind zulässig.

Anspruch 1 umfasst die Merkmale einer Variante des ursprünglichen Anspruchs 1 der Stammanmeldung, die Merkmale der ursprünglichen Ansprüche 2 und 3 der Stammanmeldung und die Angabe der Lage des dritten Störstellenbereichs zwischen den beiden Transistoren, was in der urspr. Beschreibung der Stammanmeldung auf Seite 15, Zeilen 14 bis 17 sowie den ursprünglichen Figuren, insbesondere Fig. 4 offenbart ist. Anspruch 2 enthält als Zusatzmerkmal den vierten Störstellenbereich (32), was sich aus der zweiten Variante des ursprünglichen Anspruchs 1 ergibt, wobei die Lage zwischen den beiden Transistoren in der urspr. Beschreibung der Stammanmeldung auf Seite 15, Zeilen 22 bis 27 offenbart ist. Die Ansprüche 3 bis 6 entsprechen den ursprünglichen Ansprüchen 6 bis 9.

Der selbständige Anspruch 7 umfasst die Merkmale der „und“-Variante des ursprünglichen Anspruchs 10 der Stammanmeldung. Die Präzisierungen in den Merkmalen (h) und (i) sowie die Zusatzmerkmale (j) und (k) finden sich in Fig. 9 und der zugehörigen Beschreibung auf Seite 19, Zeilen 10 bis 24 der ursprünglichen Beschreibung der Stammanmeldung. Anspruch 8 entspricht dem ursprünglichen Anspruch 11. Anspruch 9 ist auf die Ausgestaltung nach Fig. 13 gerichtet, die sich auch auf Fig. 9 (d. h. die Ausgestaltung nach Anspruch 7) bezieht, vgl. Seite 23, Zeilen 7 bis 15.

Der selbständige Anspruch 10 geht zurück auf den ursprünglichen Anspruch 13 und ist durch Aufnahme von Merkmalen aus dem ursprünglichen Anspruch 14 und der ursprünglichen Beschreibung der Stammanmeldung auf Seite 25, Zeilen 8 bis 15 präzisiert.

Anspruch 11 entspricht dem ursprünglichen Anspruch 19.

3. Die gewerblich nutzbaren (§ 5 PatG) Baugruppen der selbständigen Ansprüche 1, 7 und 10 sind hinsichtlich des vorgenannten Stands der Technik neu (§ 3 PatG) und beruhen diesem gegenüber auch auf einer erfinderischen Tätigkeit des zuständigen Fachmanns (§ 4 PatG). Dieser ist hier als berufserfahrener Physiker oder Ingenieur der Elektrotechnik mit Hochschulabschluss und guten Kenntnissen im Bereich der Halbleitertechnologie zu definieren, der über mehrjährige Erfahrung in der Entwicklung und Herstellung von Halbleiterbauelementen für Treiberschaltungen von Leistungselementen verfügt.

3.1. Die Druckschrift D1 offenbart in Fig. 18 mit den Worten des Anspruchs 1 eine Halbleiterbaugruppe zum Treiben eines Schaltelements, das eine erste Elektrode, eine zweite Elektrode und eine Steuerelektrode hat (*vgl. Fig. 18, Vss, Vcc und I/O PAD*), wobei die Halbleiterbaugruppe folgendes aufweist:

- (a) einen ersten Anschluss (*Vss*), der mit der ersten Elektrode verbunden ist;
- (b') einen zweiten Anschluss (*Vcc*), der mit der ersten Elektrode durch ein kapazitives Element verbindbar ist;
- (c) ein Halbleitersubstrat (*70, p-sub*), das einen ersten Leitfähigkeitstyp (*p*) hat;
- (d) einen ersten Störstellenbereich (*71, 81, n-Well*), der in einer Hauptoberfläche des Halbleitersubstrats (*70*) gebildet ist und einen zweiten Leitfähigkeitstyp (*n*) hat;

- (e) einen zweiten Störstellenbereich (79, *r-Well* (=retrograde well)), der in einer Hauptoberfläche des ersten Störstellenbereichs (71) gebildet ist und den ersten Leitfähigkeitstyp (p , die Dotierung ergibt sich aus der n^+ -Dotierung der Source-/Drainbereiche 73, 74 des NMOS) hat;
- (f) einen ersten Transistor (72, 73, 74), der einen Source-/Drainbereich (n^+ , 73) vom zweiten Leitfähigkeitstyp (n) hat, wobei der Source-/Drainbereich (73) des ersten Transistors in einer Hauptoberfläche des zweiten Störstellenbereichs (79) gebildet und mit dem ersten Anschluss (V_{ss}) verbunden ist;
- (g) einen zweiten Transistor (82, 83, 84), der einen Source-/Drainbereich (p^+ , 84) vom ersten Leitfähigkeitstyp (p) hat, wobei der Source-/Drainbereich (84) des zweiten Transistors in der Hauptoberfläche des ersten Störstellenbereichs (81, *n-Well*) gebildet und mit dem zweiten Anschluss (V_{cc}) verbunden ist; und
- (h') einen dritten Störstellenbereich (75, p^+ gemeinsam mit 86, p^+ -Guard Ring), der den ersten Leitfähigkeitstyp (p) hat, in der Hauptoberfläche des ersten Störstellenbereichs (71) und sowohl innerhalb als auch außerhalb der Hauptoberfläche des zweiten Störstellenbereichs (79) gebildet und mit einer Elektrode in Kontakt ist und die Elektrode mit dem ersten Anschluss (V_{ss}) verbunden ist,
- (i) wobei der dritte Störstellenbereich (75 mit 86) zwischen dem ersten und zweiten Transistor (72-74; 82-84) angeordnet ist,
- (j) und wobei der dritte Störstellenbereich (75, 86) flacher (zumindest der Bereich 75) als der zweite Störstellenbereich (79) ausgebildet ist,
- (k) und wobei der dritte Störstellenbereich (75, 86) eine höhere Störstellenkonzentration (p^+) als der zweite Störstellenbereich (79) hat.

Das Merkmal (k), wonach der dritte Störstellenbereich (75, p^+ ; 86, p^+ -Guard Ring) eine höhere Störstellenkonzentration als der zweite Störstellenbereich (79, *r-Well*) hat, ergibt sich für den Fachmann aus dem Fachbegriff „*r-Well*“, der eine Abkürzung des Begriffs „retrograde-Well“ ist und einen Wannbereich definiert, dessen

Dotierungsstärke von einem Oberflächenbereich der Wanne bis zu einem Bodenbereich der Wanne stark zunimmt. Folglich haben die p⁺-dotierten Bereiche 75 und 86 eine höhere Dotierung als die Wanne 79 im oberen Bereich, weshalb das Merkmal (k) des Anspruchs 1 auch bei der in Fig. 18 von Druckschrift D1 dargestellten Halbleiterbaugruppe erfüllt ist.

Im Unterschied zu Merkmal (h) des Anspruchs 1 hat jedoch der in Fig. 18 der Druckschrift D1 offenbarte dritte Störstellenbereich, der sich aus den beiden p⁺-dotierten Bereichen 75 und 86 zusammensetzt, keine durchgehende Tiefe, da sich die beiden Bereiche 75 und 86 diesbezüglich deutlich unterscheiden. Ausgehend von Druckschrift D1 hat der Fachmann auch keine Veranlassung, die Tiefe des p⁺-Guard-Rings 86 auf die Tiefe des p⁺-Bereichs 75 zu reduzieren, denn sämtliche in Druckschrift D1 dargestellten Guard-Ring-Strukturen haben eine Tiefe gleich oder größer als die der jeweiligen n-, p- oder r-Wannen, und auch der Beschreibung der Druckschrift D1 kann der Fachmann keinen entsprechenden Hinweis entnehmen.

Die Druckschrift D4 kann dem Fachmann ebenfalls keine diesbezügliche Anregung geben, da die in deren Figur 4 dargestellte CMOS-Struktur keinen speziell dotierten Störstellenbereich aufweist, der sowohl innerhalb als auch außerhalb der Hauptoberfläche der n-Wanne (*N-well*) gebildet ist, die in ihrer Funktion mit der r-Wanne aus Fig. 18 der Druckschrift D1 gleichzusetzen ist. Gleiches gilt für Fig. 8 von Druckschrift D2, die das Einbringen von Kristalldefekten in CMOS-Strukturen durch Elektronenbestrahlung betrifft, denn auch dort findet sich kein sowohl innerhalb als auch außerhalb der Hauptoberfläche der jeweiligen Wannen (*p-well*) gebildeter Störstellenbereich. Druckschrift D3 befasst sich lediglich mit Grabenstruktur-Guard-Ringen und offenbart ebenfalls keine solchen Störstellenbereiche.

Die Halbleitergruppe des Anspruchs 1 ist somit neu hinsichtlich des im Verfahren befindlichen Stands der Technik und wird dem Fachmann auch nicht durch ihn nahegelegt.

3.2. Der selbständige Anspruch 7 unterscheidet sich erst ab Merkmal (h) vom Wortlaut des Anspruchs 1. Folglich ist gemäß obigen Ausführungen aus Fig. 18 von Druckschrift D1 eine Halbleiterbaugruppe zum Treiben eines Schaltelements bekannt, das eine erste Elektrode, eine zweite Elektrode und eine Steuerelektrode hat, wobei die Halbleiterbaugruppe die Merkmale (a) und (c) bis (g) des Anspruchs 7 aufweist.

Darüber hinaus offenbart Fig. 18 von Druckschrift D1 mit den Worten des Anspruchs 7 auch

- (h) einen dritten Störstellenbereich (86, p⁺-Guard Ring), der in der Hauptoberfläche des ersten Störstellenbereichs (71, 81, n-Well) und im angrenzenden Kontakt zum zweiten Störstellenbereich (79) gebildet ist, den ersten Leitfähigkeitstyp hat und mit dem ersten Anschluss (V_{ss}) verbunden ist, und
- (i') einen vierten Störstellenbereich (85, n⁺), der in der Hauptoberfläche des ersten Störstellenbereichs (81) und nicht in der Hauptoberfläche des zweiten Störstellenbereichs (79) gebildet ist, den **zweiten** Leitfähigkeitstyp hat und mit dem zweiten Anschluss (V_{cc}) verbunden ist,
- (j) wobei der dritte und vierte Störstellenbereich (86, 85) jeweils zwischen dem ersten und zweiten Transistor (72, 73, 74; 82, 83, 84) vorgesehen sind.

Im Gegensatz zu Merkmal (i) des Anspruchs 7 hat der in Fig. 18 von Druckschrift D1 offenbarte vierte Störstellenbereich (85) jedoch nicht den ersten, sondern den zweiten Leitfähigkeitstyp. Für den Fachmann ist es ausgehend von Druckschrift D1 auch nicht naheliegend, für den vierten Störstellenbereich eine p- statt einer n-Dotierung zu wählen, denn diese Dotierung ist dem Leitfähigkeitstyp der n-Wanne (81) angepasst.

Druckschrift D4 steht der Halbleiterbaugruppe des Anspruchs 7 ebenfalls nicht patenthindernd entgegen. Denn auch im für den Fachmann naheliegenden Fall, dass die in Fig. 4 dargestellte Halbleiterbaugruppe in ein n-dotiertes Halbleitersubstrat eingebettet wird und dadurch eine Baugruppe mit den Merkmalen (a) bis (g) und (i) bis (k) des Anspruchs 7 erhalten wird (*P-type Substrat als erster Störstellenbereich // N-well als zweiter Störstellenbereich // VDD als erster Anschluss // VSS als zweiter Anschluss // ganz linker PMOS als erster Transistor // ganz rechter NMOS als zweiter Transistor // vierter N⁺-Bereich von rechts als dritter Störstellenbereich // dritter N⁺-Bereich von rechts als vierter Störstellenbereich*), ist der Bestandteil des Merkmals (h), wonach der dritte Störstellenbereich im angrenzenden Kontakt zum zweiten Störstellenbereich gebildet ist, nicht erfüllt, denn dazu müsste der in Fig. 4 dargestellte vierte N⁺-Bereich von rechts so angeordnet sein, dass er angrenzend an die linke N-Wanne ausgebildet ist, was aber durch Druckschrift D4 weder offenbart noch nahegelegt wird.

Auch den Druckschriften D2 und D3 kann der Fachmann keine diesbezügliche Anregung entnehmen.

Die Halbleitergruppe des Anspruchs 7 ist somit neu hinsichtlich des im Verfahren befindlichen Stands der Technik und wird dem Fachmann auch nicht durch ihn nahegelegt.

3.3. Der selbständige Anspruch 10 entspricht in den Merkmalen (a) bis (g) den Ansprüchen 1 und 7. Wie bereits dargelegt, ist folglich eine Halbleiterbaugruppe zum Treiben eines Schaltelements, das eine erste Elektrode, eine zweite Elektrode und eine Steuerelektrode hat, wobei die Halbleiterbaugruppe die Merkmale (a) bis (g) des Anspruchs 10 aufweist, aus Fig. 18 der Druckschrift D1 bekannt bzw. durch Fig. 4 der Druckschrift D4 nahegelegt.

Zwar stellen darüber hinaus bei dem Bauelement nach Fig. 4 von Druckschrift D4 der fünfte bzw. dritte N⁺-Bereich von rechts einen dritten bzw. fünften

Störstellenbereich entsprechend Anspruch 10 und der zweite bzw. vierte P+-Bereich von rechts einen sechsten bzw. vierten Störstellenbereich entsprechend Anspruch 10 dar.

Jedoch wird der Fachmann weder durch die Druckschriften D1 und D4 noch durch die Druckschriften D2 und D3 dazu angeregt, bei einer solchen Halbleiterbaugruppe entsprechend Merkmal (j) des Anspruchs 10 einen Trennbereich auszubilden, der den ersten Leitfähigkeitstyp hat und in der Hauptoberfläche des Halbleitersubstrats gebildet sowie in Kontakt mit dem ersten Störstellenbereich ist, denn ein solcher Trennbereich ist der Beschreibung und den Figuren der Druckschriften D1 bis D4 nicht zu entnehmen und auch nicht nahegelegt.

Die Halbleitergruppe des Anspruchs 10 ist somit neu hinsichtlich des im Verfahren befindlichen Stands der Technik und wird dem Fachmann auch nicht durch ihn nahegelegt.

4. An die selbständigen Patentansprüche 1, 7 und 10 können sich die Unteransprüche 2 bis 6, 8, 9 und 11 anschließen, da sie die Halbleiterbaugruppen nach den Ansprüchen 1, 7 bzw. 10 vorteilhaft weiterbilden. Zudem sind in der geltenden Beschreibung mit Zeichnung die Halbleiterbaugruppen gemäß den Ansprüchen ausreichend erläutert.

5. Bei dieser Sachlage war der angefochtene Beschluss aufzuheben und das Patent im beantragten Umfang zu erteilen.

III.

Rechtsmittelbelehrung

Gegen diesen Beschluss steht der Anmelderin – vorbehaltlich des Vorliegens der weiteren Rechtsmittelvoraussetzungen, insbesondere einer Beschwer – das Rechtsmittel der Rechtsbeschwerde zu. Da der Senat die Rechtsbeschwerde nicht zugelassen hat, ist sie nur statthaft, wenn einer der nachfolgenden Verfahrensmängel gerügt wird, nämlich

1. dass das beschließende Gericht nicht vorschriftsmäßig besetzt war,
2. dass bei dem Beschluss ein Richter mitgewirkt hat, der von der Ausübung des Richteramtes kraft Gesetzes ausgeschlossen oder wegen Besorgnis der Befangenheit mit Erfolg abgelehnt war,
3. dass einem Beteiligten das rechtliche Gehör versagt war,
4. dass ein Beteiligter im Verfahren nicht nach Vorschrift des Gesetzes vertreten war, sofern er nicht der Führung des Verfahrens ausdrücklich oder stillschweigend zugestimmt hat,
5. dass der Beschluss aufgrund einer mündlichen Verhandlung ergangen ist, bei der die Vorschriften über die Öffentlichkeit des Verfahrens verletzt worden sind, oder
6. dass der Beschluss nicht mit Gründen versehen ist.

Die Rechtsbeschwerde ist **innerhalb eines Monats** nach Zustellung des Beschlusses

schriftlich durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten beim Bundesgerichtshof, Herrenstr. 45 a, 76133 Karlsruhe, einzureichen oder

durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten in elektronischer Form bei der elektronischen Poststelle des BGH, www.bundesgerichtshof.de/erv.html. Das elektronische Dokument ist mit einer prüfbaren qualifizierten elektronischen Signatur nach dem Signaturgesetz oder mit einer prüfbaren fortgeschrittenen elektronischen Signatur zu versehen. Die Eig-

nungsvoraussetzungen für eine Prüfung und für die Formate des elektronischen Dokuments werden auf der Internetseite des Bundesgerichtshofs www.bundesgerichtshof.de/erv.html bekannt gegeben.

Dr. Strößner

Dr. Friedrich

Dr. Zebisch

Dr. Himmelmann

prä