



# BUNDESPATENTGERICHT

23 W (pat) 25/16  
(Aktenzeichen)

Verkündet am  
21. November 2017

...

## BESCHLUSS

In der Beschwerdesache

...

### **betreffend die Patentanmeldung 10 2011 001 770.4**

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts in der mündlichen Verhandlung am 21. November 2017 unter Mitwirkung des Vorsitzenden Richters Dr. Strößner und der Richter Brandt, Dr. Friedrich und Dr. Himmelmann

beschlossen:

Die Beschwerde wird zurückgewiesen.

## Gründe

### I.

Die Anmeldung 10 2011 001 770 mit der Bezeichnung „Verfahren und System zum Ausbilden eines dünnen Halbleiterbauelements“ wurde am 4. April 2011 von der I... AG beim Deutschen Patent- und Markenamt eingereicht. Sie nimmt die Priorität der US-Anmeldung US 12/790,998 vom 1. Juni 2010 in Anspruch.

Die Prüfungsstelle für Klasse H01L hat im Lauf des Prüfungsverfahrens in mehreren Bescheiden und in zwei Anhörungen auf den Stand der Technik gemäß den Druckschriften

- D1 US 7 642 128 B1
- D2 US 2007/0264751 A1
- D3 US 2009/0309212 A1
- D4 US 2009/0194882 A1
- D5 US 2006/0255458 A1
- D6 DE 10 2008 036 561 A1
- D7 US 2008/0308917 A1
- D8 Leadframe, 21.02.2014, Wikipedia, und
- D9 US 7 351 612 B2

verwiesen und neben mangelnder Klarheit der Angabe „Reduzieren der Dicke ... auf unter etwa 150 µm“ im Unteranspruch 3 mangelnde Patentfähigkeit der Ge-

genstände der jeweiligen Patentansprüche 1 gegenüber dem nachgewiesenen Stand der Technik geltend gemacht.

Sie hat die Anmeldung in der Anhörung vom 2. November 2015 zurückgewiesen und in der schriftlichen Beschlussbegründung vom selben Tag dargelegt, der in den Anspruchssätzen nach dem Hauptantrag und nach den Hilfsanträgen 1 und 2 enthaltene Unteranspruch 3 sei hinsichtlich der Angabe „Reduzieren der Dicke ... auf etwa unter etwa 150 µm“ unklar und verletze die Anforderung des § 34 PatG. Das Verfahren nach Anspruch 1 des Hilfsantrags 3 beruhe gegenüber dem Stand der Technik gemäß der Druckschrift D4 im Zusammenhang mit den Druckschriften D7 und D9 nicht auf einer erfinderischen Tätigkeit des Fachmanns.

Die Anmelderin hat gegen den am 9. November 2015 zugestellten Beschluss mit Schriftsatz vom 3. Dezember 2015 Beschwerde eingelegt, die am 9. Dezember 2015 beim Deutschen Patent- und Markenamt eingegangen ist.

Mit einem Zusatz zur Ladung zur mündlichen Verhandlung hat der Senat noch auf die Druckschrift

D10 US 2009/0072411 A1

hingewiesen.

Wie vorab mit Schriftsatz vom 2. November 2017 angekündigt, ist die Anmelderin zur mündlichen Verhandlung am 21. November 2017 nicht erschienen.

Die Anmelderin beantragt mit Schriftsatz vom 3. Dezember 2015 (eingegangen im Deutschen Patent- und Markenamt per Fax am 9. Dezember 2015) sinngemäß:

1. den Beschluss der Prüfungsstelle für Klasse H01L des Deutschen Patent- und Markenamts vom 2. November 2015 aufzuheben,

2.a) Hauptantrag

ein Patent zu erteilen mit der Bezeichnung „Verfahren und System zum Ausbilden eines dünnen Halbleiterbauelements“, dem Anmeldetag 4. April 2011 unter Inanspruchnahme der Priorität US 12/790,998 vom 1. Juni 2010 auf der Grundlage folgender Unterlagen:

- Patentansprüche 1 bis 8 gemäß Hauptantrag, eingegangen im Deutschen Patent- und Markenamt am 6. Juli 2015;
- Beschreibungsseiten 1 bis 24,
- 6 Blatt Zeichnungen mit Figuren 1A bis 2E, jeweils eingegangen im Deutschen Patent- und Markenamt am Anmeldetag,

2.b) Hilfsantrag 1

hilfsweise für die unter 2.a) genannte technische Neuerung ein Patent zu erteilen auf der Grundlage folgender Unterlagen:

- Patentansprüche 1 bis 7 gemäß Hilfsantrag 1, eingegangen im Deutschen Patent- und Markenamt am 6. Juli 2015;
- die unter 2.a) genannten Beschreibungsseiten und Zeichnungen,

### 2.c) Hilfsantrag 2

weiter hilfsweise für die unter 2.a) genannte technische Neuerung ein Patent zu erteilen auf der Grundlage folgender Unterlagen:

- Patentansprüche 1 bis 8 gemäß Hilfsantrag 2, eingegangen im Deutschen Patent- und Markenamt am 6. Juli 2015;
- die unter 2.a) genannten Beschreibungsseiten und Zeichnungen,

### 2.d) Hilfsantrag 3

weiter hilfsweise für die unter 2.a) genannte technische Neuerung ein Patent zu erteilen auf der Grundlage folgender Unterlagen:

- Patentansprüche 1 bis 7 gemäß Hilfsantrag 3, eingegangen im Deutschen Patent- und Markenamt am 6. Juli 2015;
- die unter 2.a) genannten Beschreibungsseiten und Zeichnungen.

Der Anspruch 1 nach dem Hauptantrag lautet:

„1. Verfahren zum Ausbilden eines Halbleiterbauelements, das Folgendes aufweist:

Bereitstellen eines Systemträgers (102) über einem Träger (100), wobei der Systemträger (102) ein Lead Frame mit mehreren Lead Frame-Verbindungselementen ist;

Bereitstellen mindestens eines Halbleiterchips (108) auf dem Systemträger (102), wobei der Halbleiterchip (108) ein Leistungs-

transistor ist, der eine erste Elektrode und eine zweite Elektrode aufweist, wobei die erste Elektrode elektrisch an ein erstes Lead Frame-Verbindungselement der mehreren Lead Frame-Verbindungselemente gekoppelt wird, wobei die zweite Elektrode elektrisch an ein zweites Lead Frame-Verbindungselement der mehreren Lead Frame-Verbindungselemente gekoppelt wird;

Kapseln des mindestens einen Halbleiterchips (108) mit einem Kapselungsmaterial (120);

Reduzieren der Dicke des mindestens einen gekapselten Halbleiterchips (108) und des Kapselungsmaterials (120);

Ausbilden mindestens einer Durchverbindung (128, 130, 132) in dem Kapselungsmaterial (120); und

Ausbilden mindestens eines elektrischen Kontaktelements (134, 136, 138) über dem mindestens einen Halbleiterchip (108) und der mindestens einen Durchverbindung (128, 130, 132).“

Die Ansprüche 1 nach den Hilfsanträgen 1 bis 3 sind durch sukzessive Hinzunahme von ergänzenden Merkmalen entstanden.

Der Anspruch 1 nach Hilfsantrag 1 unterscheidet sich von dem nach dem Hauptantrag dadurch, dass die Angabe über die Lead-Frame-Verbindungselemente dahingehend konkretisiert wird, dass ein erstes Lead Frame-Verbindungselement ein Sourceverbindungselement ist und ein zweites Lead Frame-Verbindungselement ein Gate-Verbindungselement ist. Außerdem wird das den Leistungstransistor betreffende Merkmal dahingehend präzisiert, dass dieser eine Sourceelektrode und eine Gateelektrode aufweist, wobei die Sourceelektrode elektrisch an das Sourceverbindungselement gekoppelt wird, wobei die Gateelektrode elektrisch an das

Gate-Verbindungselement gekoppelt wird. Der Anspruch lautet somit (neu aufgenommene Merkmale sind kursiv hervorgehoben):

„1. Verfahren zum Ausbilden eines Halbleiterbauelements, das Folgendes aufweist:

Bereitstellen eines Systemträgers (102) über einem Träger (100), wobei der Systemträger (102) ein Lead Frame mit mehreren Lead Frame-Verbindungselementen ist, *wobei ein erstes Lead Frame-Verbindungselement ein Sourceverbindungselement ist und wobei ein zweites Lead Frame-Verbindungselement ein Gate-Verbindungselement ist;*

Bereitstellen mindestens eines Halbleiterchips (108) auf dem Systemträger (102), wobei der Halbleiterchip (108) ein Leistungstransistor ist, *der eine Sourceelektrode und eine Gateelektrode aufweist, wobei die Sourceelektrode elektrisch an das Sourceverbindungselement gekoppelt wird, wobei die Gateelektrode elektrisch an das Gate-Verbindungselement gekoppelt wird;*

Kapseln des mindestens einen Halbleiterchips (108) mit einem Kapselungsmaterial (120);

Reduzieren der Dicke des mindestens einen gekapselten Halbleiterchips (108) und des Kapselungsmaterials (120);

Ausbilden mindestens einer Durchverbindung (128, 130, 132) in dem Kapselungsmaterial (120); und

Ausbilden mindestens eines elektrischen Kontaktelements (134, 136, 138) über dem mindestens einen Halbleiterchip (108) und der mindestens einen Durchverbindung (128, 130, 132).“

Der Anspruch 1 nach Hilfsantrag 2 geht auf den Anspruch 1 nach Hauptantrag zurück und unterscheidet sich von diesem lediglich durch ein an den Schluss neu angefügtes Merkmal, das das Vereinzeln der Halbleiterchips betrifft. Der Anspruch lautet:

„1. Verfahren zum Ausbilden eines Halbleiterbauelements, das Folgendes aufweist:

Bereitstellen eines Systemträgers (102) über einem Träger (100), wobei der Systemträger (102) ein Lead Frame mit mehreren Lead Frame-Verbindungselementen ist;

Bereitstellen mindestens eines Halbleiterchips (108) auf dem Systemträger (102), wobei der Halbleiterchip (108) ein Leistungstransistor ist, der eine erste Elektrode und eine zweite Elektrode aufweist, wobei die erste Elektrode elektrisch an ein erste Lead Frame-Verbindungselement der mehreren Lead Frame-Verbindungselemente gekoppelt wird, wobei die zweite Elektrode elektrisch an ein zweites Lead Frame-Verbindungselement der mehreren Lead Frame-Verbindungselemente gekoppelt wird;

Kapseln des mindestens einen Halbleiterchips (108) mit einem Kapselungsmaterial (120);

Reduzieren der Dicke des mindestens einen gekapselten Halbleiterchips (108) und des Kapselungsmaterials (120);



Ausbilden mindestens einer Durchverbindung (128, 130, 132) in dem Kapselungsmaterial (120);

Ausbilden mindestens eines elektrischen Kontaktelements (134, 136, 138) über dem mindestens einen Halbleiterchip (108) und der mindestens einen Durchverbindung (128, 130, 132); und

*Vereinzeln der gekapselten Halbleiterchips (108) mittels Durchtrennens des Kapselungsmaterials (120) und des Systemträgers (102) derart, dass die Seitenwände der Halbleiterchips (108) zumindest teilweise mit Kapselungsmaterial bedeckt bleiben.“*

Der Anspruch 1 nach Hilfsantrag 3 kombiniert die in die Ansprüche 1 nach Hilfsantrag 1 und nach Hilfsantrag 2 aufgenommenen Zusatzmerkmale und lautet somit:

„1. Verfahren zum Ausbilden eines Halbleiterbauelements, das Folgendes aufweist:

Bereitstellen eines Systemträgers (102) über einem Träger (100), wobei der Systemträger (102) ein Lead Frame mit mehreren Lead Frame-Verbindungselementen ist, wobei ein erstes Lead Frame-Verbindungselement ein Sourceverbindungselement ist und wobei ein zweites Lead Frame-Verbindungselement ein Gate-Verbindungselement ist;

Bereitstellen mindestens eines Halbleiterchips (108) auf dem Systemträger (102), wobei der Halbleiterchip (108) ein Leistungstransistor ist, der eine Sourceelektrode und eine Gateelektrode aufweist, wobei die Sourceelektrode elektrisch an das Sourcever-

bindungselement gekoppelt wird, wobei die Gateelektrode elektrisch an das Gate-Verbindungselement gekoppelt wird;

Kapseln des mindestens einen Halbleiterchips (108) mit einem Kapselungsmaterial (120);

Reduzieren der Dicke des mindestens einen gekapselten Halbleiterchips (108) und des Kapselungsmaterials (120);

Ausbilden mindestens einer Durchverbindung (128, 130, 132) in dem Kapselungsmaterial (120);

Ausbilden mindestens eines elektrischen Kontaktelements (134, 136, 138) über dem mindestens einen Halbleiterchip (108) und der mindestens einen Durchverbindung (128, 130, 132); und

Vereinzeln der gekapselten Halbleiterchips (108) mittels Durchtrennens des Kapselungsmaterials (120) und des Systemträgers (102) derart, dass die Seitenwände der Halbleiterchips (108) zumindest teilweise mit Kapselungsmaterial bedeckt bleiben.“

Hinsichtlich der jeweiligen Unteransprüche sowie hinsichtlich der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

## II.

Die Beschwerde ist frist- und formgerecht erhoben und zulässig. Sie ist jedoch unbegründet, denn das Verfahren nach Anspruch 1 des Hauptantrags beruht ebenso wie die Verfahren nach den Ansprüchen 1 der Hilfsanträge 1 bis 3 nicht auf einer erfinderischen Tätigkeit des Fachmanns (§ 4 PatG).

Bei dieser Sachlage kann die Zulässigkeit der Ansprüche und die Neuheit der Gegenstände der Ansprüche 1 der verschiedenen Anträge dahingestellt bleiben, vgl. BGH GRUR 1991, 120, 121, II.1 - „Elastische Bandage“.

Der Fachmann ist im vorliegenden Fall als ein in der Halbleiterindustrie tätiger berufserfahrener Ingenieur der Elektrotechnik mit Fachhochschul- oder Hochschulabschluss zu definieren, der mit der Weiterentwicklung von Verfahren zum Herstellen eines Halbleiterbauelements und insbesondere mit der Weiterentwicklung der Aufbau- und Verbindungstechnik von Halbleiterbauelementen befasst ist.

1. Die Anmeldung betrifft ein Verfahren zum Ausbilden eines Halbleiterbauelements, nämlich - wie in der geltenden Beschreibungseinleitung angegeben - ein Verfahren zum Ausbilden eines dünnen Halbleiterbauelements für Leistungsanwendungen.

Leistungshalbleiterchips wie bspw. Leistungs-MOSFETs, IGBs, JFETs Leistungs-bipolartransistoren und Leistungsdioden werden u. a. in Elektronikgeräte integriert und eignen sich zum Schalten oder Steuern von Strömen oder Spannungen. Aus verschiedenen Gründen hat die Nachfrage nach dünneren Leistungshalbleiterchips mit einer Dicke bspw. von unter 150  $\mu\text{m}$  zugenommen.

Der Anmeldung liegt daher als technisches Problem die Aufgabe zugrunde, ein Verfahren zum Herstellen von solchen dünneren Leistungshalbleiterchips in dünnen Halbleiterpackages anzugeben, vgl. insoweit in den geltenden Beschreibungsunterlagen S. 1, 1. bis 3. Abs.

Diese Aufgabe wird gemäß dem Anspruch 1 nach Hauptantrag durch ein Verfahren zum Ausbilden eines Halbleiterbauelements gelöst, bei dem ein Systemträger über einem Träger bereitgestellt wird, wobei der Systemträger ein Lead Frame mit mehreren Lead Frame-Verbindungselementen ist. Auf dem Leadframe wird mindestens ein Halbleiterchip angeordnet, der ein Leistungstransistor ist und eine

erste und eine zweite Elektrode aufweist, wobei die erste Elektrode elektrisch an ein erstes der mehreren Lead Frame-Verbindungselemente und die zweite Elektrode elektrisch an ein zweites der mehreren Lead Frame-Verbindungselemente gekoppelt wird. Der mindestens eine Halbleiterchip wird dann mit einem Kapselungsmaterial gekapselt. Anschließend wird die Dicke des mindestens einen gekapselten Halbleiterchips und des Kapselungsmaterials reduziert, mindestens eine Durchverbindung in dem Kapselungsmaterial ausgebildet und mindestens ein elektrisches Kontaktelement über dem mindestens einen Halbleiterchip und der mindestens einen Durchverbindung erzeugt.

Gemäß dem Anspruch 1 nach Hilfsantrag 1 weist der Leistungstransistor zusätzlich als Elektroden eine Sourceelektrode und eine Gateelektrode auf, wobei die Sourceelektrode elektrisch an ein Sourceverbindungselement des Lead Frames und die Gateelektrode elektrisch an ein Gate-Verbindungselement des Lead Frames gekoppelt wird.

Der Anspruch 1 nach Hilfsantrag 2 gibt zusätzlich zum Anspruch 1 nach Hauptantrag an, dass das Vereinzeln der gekapselten Halbleiterchips mittels Durchtrennen des Kapselungsmaterials und des Systemträgers derart erfolgt, dass die Seitenwände der Halbleiterchips zumindest teilweise mit Kapselungsmaterial bedeckt bleiben.

Der Anspruch 1 nach Hilfsantrag 3 enthält sowohl die in den Anspruch 1 nach Hilfsantrag 1 als auch die in den Anspruch 1 nach Hilfsantrag 2 aufgenommenen Zusatzmerkmale und umfasst damit alle Merkmale der jeweiligen Ansprüche 1 nach Hauptantrag, nach Hilfsantrag 1 und nach Hilfsantrag 2.

2. Das Verfahren nach Anspruch 1 des Hilfsantrags 3 beruht nicht auf einer erfinderischen Tätigkeit des Fachmanns (§ 4 PatG).

Die Druckschrift D4 (US 2009/0194882 A1) offenbart ein Verfahren zum Ausbilden eines Halbleiterbauelements (*Fig. 1 is a diagram of a flow chart 20 providing a method of manufacturing one or more semiconductor devices. / [Abs. [0025]]*), mit dem insbesondere dünne Halbleiterbauelemente für Leistungsanwendungen hergestellt werden (*Embodiments provide premolded wafer level packages suited for powered devices. Some embodiments provide wafer level packages suited for thin powered devices. / Abs. [0022]*). Diese Bauelemente bestehen aus Halbleiterchips mit Elektroden auf einer ersten und einer gegenüberliegenden zweiten Oberfläche, die von einem Kapselungsmaterial umgeben sind und elektrische Verbindungen von den Elektroden auf der zweiten Oberfläche zur ersten Oberfläche aufweisen, so dass das Halbleiterbauelement - Package über diese Verbindungen mit anderen elektronischen Bauteilen verbunden werden kann (*Embodiments provide a molded and singulated semiconductor package device formed on the wafer level and including a chip having a first electrode on a first surface, second and third electrodes on an opposite second surface, and discrete interconnect elements is extending from the electrodes on the second surface toward the first surface. The singulated semiconductor package device is configured to be electrically coupled to other electronic devices, and the interconnect elements provide a communication pathway between the first electrode and the second/third electrodes. / Abs. [0023]*).

Zur Herstellung dieses Halbleiterbauelements werden bei dem Verfahren nach der Druckschrift D4 folgende Schritte ausgeführt:

- Bereitstellen eines Systemträgers über einem Träger (*One aspect provides a method of manufacturing semiconductor devices that includes placing at least two chips on a metallic layer / Abs. [0005] // Fabrication flow chart 20 provides fabrication of multiple packages on the wafer level, and it is to be understood that at least two chips are provided on a metallic layer, such as a metallized seed layer, a metallized substrate, a carrier, or other suitable metallic layer. [...] In an-*

*other embodiment, the chips are disposed onto a carrier including a metallic layer. / Abs. [0025]),*

- Bereitstellen mindestens eines Halbleiterchips auf dem Systemträger (*In another embodiment, chips 100 are deposited onto a metal carrier 102 / Abs. [0028]),*

wobei der Halbleiterchip ein Leistungstransistor ist, der eine Sourceelektrode und eine Gateelektrode aufweist, und wobei der Systemträger mehrere Verbindungselemente aufweist, wobei ein erstes Verbindungselement ein Sourceverbindungselement und ein zweites Verbindungselement ein Gate-Verbindungselement ist und die Sourceelektrode elektrisch an das Sourceverbindungselement und die Gateelektrode elektrisch an das Gate-Verbindungselement gekoppelt wird (*In one embodiment, chips 100 include [...] power transistor chips, metal oxide semiconductor field effect transistor chips [...]. In one embodiment, each chip 100 includes a first major surface 104 opposite a second major surface 106. In one embodiment, first major surface 104 is an active surface of chip 100 including at least one electrode 107, for example a drain electrode in a field effect transistor (FET), and second major surface 106 is attached to metallic layer 102 such that active surface 104 faces away from metallic layer 102. In one embodiment, second major surface 106 is an active surface of chip 100 including a second electrode 108 and a third electrode 109 and is coupled to metallic layer 102 such that active surface 106 contacts metallic layer 102. In one embodiment, as described below, an interconnect is ultimately provided between surface 106 and surface 104 such that second electrode 108 is a source electrode and third electrode 109 is a gate electrode, for example in a FET, that communicates with drain electrode. / Abs. [0029] und [0030],*

- Kapseln des mindestens einen Halbleiterchips mit einem Kapselungsmaterial (*FIG. 2B is a cross-sectional view of process 40 (FIG. 1) showing wafer 90 including metallic layer 102 and chips 100 covered with mold material 110. In one embodiment, mold material 110 includes plastic, polymer dielectric, epoxy, sili-*

*cone, or any of these materials including a filler such as silica or alumina filler. / Abs. [0032] i. V. m. Fig. 2B),*

- Reduzieren der Dicke des mindestens einen gekapselten Halbleiterchips und des Kapselungsmaterials (*In another embodiment, chips 100 are configured for use in thin power devices and include a thickness between surfaces 104, 106 from 5-60 micrometers. / Abs. [0031] // FIG. 8A-8E are cross-sectional views of the fabrication of wafer level packages for thin powered devices according to another embodiment. FIG. 8A is a cross-sectional view of chips 200 disposed on metallic layer 202 and including mold material 210 covering chips 200 and metallic layer 202. Chips are similar to chips 100 (FIG. 2A) but are configured as thin power chips, metallic layer 202 is similar to metallic layer 102 (FIG. 2A), and mold material 210 is similar to mold material 110 (FIG. 2B) described above. FIG. 8B is a cross-sectional view of a portion of mold material 210 and chips 200 planarized to provide thin chips 200a attached to metallic layer 202. Chips 200 are planarized with a suitable grinding process as known in the art, such as grinding. / Abs. [0048] bis [0050]),*
  
- Ausbilden mindestens einer Durchverbindung in dem Kapselungsmaterial (*FIG. 2C is a cross-sectional view of process 50 (FIG. 1) in which a portion of mold material is selectively removed from metallic layer 102 to expose metallic layer 102 within spacings. In one embodiment, selectively removing a portion of mold material 110 from metallic layer 102 includes etching, drilling, sawing, electromagnetically irradiating a portion of mold material 110 followed by removal of the irradiated material [...] / Abs. [0033]),*
  
- Ausbilden mindestens eines elektrischen Kontaktelements über dem mindestens einen Halbleiterchip und der mindestens einen Durchverbindung (*FIG. 2D is a cross-sectional view of process 60 (FIG. 1) in which a conductive material 130 is deposited into spacings 120 (FIG. 2C) and into electrical contact with exposed portions of metallic layer 102. [...] In another embodiment, conductive material*

*130 is deposited into spacings 120 between each chip 100 and over each chip 100 / Abs. [0034] and [0035]) und*

- *Vereinzeln der gekapselten Halbleiterchips mittels Durchtrennen des Kapselungsmaterials und des Systemträgers derart, dass die Seitenwände der Halbleiterchips zumindest teilweise mit Kapselungsmaterial bedeckt bleiben (FIG. 2E is a cross-sectional view of process 70 (FIG. 1) in which metallic layer 102 and conductive material 130 are separated between the chips 100 to define complete individualized semiconductor packages 140 fabricated on wafer 90 according to one embodiment. In one embodiment, packages 140 are singulated by sawing, cutting, laser cutting, or etching through conductive material 130 between each chip 100. / Abs. [0036] // In one embodiment, a method is provided for singulating wafer level packages from a common metallic layer where the packages are singulating by sawing, or cutting through a polymer dielectric disposed between chips placed on the common metallic layers. Singulating through a polymer dielectric is easier (faster and less expensive) than singulating through a metal layer / Abs. [0024]).*

Über diesen Offenbarungsgehalt der Druckschrift D4 hinausgehend gibt der Anspruch 1 des Hilfsantrags 3 an, dass der Systemträger ein Lead Frame mit mehreren Lead Frame-Verbindungselementen ist, wobei ein erstes Lead Frame-Verbindungselement ein Sourceverbindungselement und ein zweites Lead Frame-Verbindungselement ein Gate-Verbindungselement ist.

Die Verwendung von Lead Frames mit den entsprechenden (aus dem Metallblech des Lead Frames herausgestanzten) Verbindungselementen als Systemträger ist in der Aufbau- und Verbindungstechnik jedoch fachüblich und dem Fachmann somit geläufig, wobei diesbezüglich rein gutachterlich auf die Druckschrift D9 hingewiesen wird, vgl. dort die Fig. 3, 4 und 7 und die zugehörige Beschreibung.



Da die Druckschrift D4 bereits die Lehre gibt, dass jegliche Form eines Trägers als Systemträger verwendet werden kann (vgl. bspw. den oben bereits zitierten Abschnitt [0025]), wird der Fachmann ohne weiteres auch die im Halbleiterpackaging üblichen Lead Frames für diesen Zweck verwenden. Dabei ist es selbstverständlich, dass die aus dem Blech des Lead Frames herausgestanzten Verbindungselemente bei dem MOSFET-Leistungsbaulement nach der D4 Verbindungselemente für Source, Drain und Gate des MOSFET-Baulements bilden.

Somit beruht das Verfahren nach Anspruch 1 des Hilfsantrags nicht auf einer erfinderischen Tätigkeit des Fachmanns (§ 4 PatG).

3. Diese Darlegungen gelten in gleicher Weise auch für das Verfahren nach dem Anspruch 1 des Hauptantrags und für die Verfahren nach den Ansprüchen 1 der Hilfsanträge 1 und 2, die jeweils von dem Verfahren nach Anspruch 1 des Hilfsantrags 3 umfasst sind.

4. Wegen der Antragsbindung fallen mit den Ansprüchen 1 auch die jeweiligen Unteransprüche, vgl. BGH GRUR 2007, 862, 863 Tz. 18 - „Informationsübermittlungsverfahren II“ m. w. N.

5. Bei dieser Sachlage war die Beschwerde zurückzuweisen.

### **R e c h t s m i t t e l b e l e h r u n g**

Gegen diesen Beschluss steht der am Beschwerdeverfahren Beteiligten das Rechtsmittel der Rechtsbeschwerde zu. Da der Senat die Rechtsbeschwerde nicht zugelassen hat, ist sie nur statthaft, wenn einer der nachfolgenden Verfahrensmängel gerügt wird, nämlich

1. dass das beschließende Gericht nicht vorschriftsmäßig besetzt war,
2. dass bei dem Beschluss ein Richter mitgewirkt hat, der von der Ausübung des Richteramtes kraft Gesetzes ausgeschlossen oder wegen Besorgnis der Befangenheit mit Erfolg abgelehnt war,
3. dass einem Beteiligten das rechtliche Gehör versagt war,
4. dass ein Beteiligter im Verfahren nicht nach Vorschrift des Gesetzes vertreten war, sofern er nicht der Führung des Verfahrens ausdrücklich oder stillschweigend zugestimmt hat,
5. dass der Beschluss aufgrund einer mündlichen Verhandlung ergangen ist, bei der die Vorschriften über die Öffentlichkeit des Verfahrens verletzt worden sind, oder
6. dass der Beschluss nicht mit Gründen versehen ist.

Die Rechtsbeschwerde ist innerhalb eines Monats nach Zustellung des Beschlusses schriftlich durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten beim Bundesgerichtshof, Herrenstr. 45 a, 76133 Karlsruhe, einzureichen oder durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten in elektronischer Form bei der elektronischen Poststelle des BGH, [http://www.bundesgerichtshof.de/DE/DasGericht/ElektrRechtsverkehr/elektrRechtsverkehr\\_node.html](http://www.bundesgerichtshof.de/DE/DasGericht/ElektrRechtsverkehr/elektrRechtsverkehr_node.html).

Das elektronische Dokument ist mit einer prüfbaren qualifizierten elektronischen Signatur nach dem Signaturgesetz oder mit einer prüfbaren fortgeschrittenen elektronischen Signatur zu versehen. Die Eignungsvoraussetzungen für eine Prüfung und für die Formate des elektronischen Dokuments werden auf der Internetseite des Bundesgerichtshofs [http://www.bundesgerichtshof.de/DE/DasGericht/ElektrRechtsverkehr/elektrRechtsverkehr\\_node.html](http://www.bundesgerichtshof.de/DE/DasGericht/ElektrRechtsverkehr/elektrRechtsverkehr_node.html) bekannt gegeben.

Dr. Strößner

Brandt

Dr. Friedrich

Dr. Himmelmann

prä