



# BUNDESPATENTGERICHT

23 W (pat) 15/15

---

(Aktenzeichen)

Verkündet am  
21. Februar 2017

...

## BESCHLUSS

In der Beschwerdesache

...

### betreffend die Patentanmeldung 10 2005 010 308.1

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 21. Februar 2017 unter Mitwirkung des Vorsitzenden Richters Dr. Strößner und der Richter Brandt, Dr. Friedrich und Dr. Himmelmann

beschlossen:

1. Der Beschluss der Prüfungsstelle für Klasse H01L des Deutschen Patent- und Markenamts vom 15. April 2015 wird aufgehoben.
2. Es wird ein Patent erteilt mit der geänderten Bezeichnung „Verfahren zur Herstellung von Chips mit lötfähigen Anschlüssen auf der Rückseite“, dem Anmeldetag 3. März 2005 auf der Grundlage folgender Unterlagen:
  - Patentansprüche 1 bis 15,
  - Beschreibungsseiten 1 bis 6, 6b, 6c und 7 bis 12, jeweils überreicht in der mündlichen Verhandlung am 21. Februar 2017;
  - 2 Blatt Zeichnungen mit Figuren 1 bis 3, eingegangen im Deutschen Patent- und Markenamt am Anmeldetag.

## **Gründe**

### **I.**

Die Patentanmeldung 10 2005 010 308 wurde am 3. März 2005 mit der Bezeichnung „Verfahren zur Herstellung von lötfähigen Anschlüssen auf der Rückseite von Halbleiteranordnungen“ beim Deutschen Patent- und Markenamt eingereicht. Die Prüfungsstelle für Klasse H01L hat auf den Stand der Technik gemäß den Druckschriften

D1 US 2002/0 139 577 A1

D2 DE 20 54 571 A1

D3 US 2004/0 017 012 A1

D4 N. Zhu et al.: Laser surface seeding for via plug filling; Appl. Phys. Lett. 58 (11), 18 March 1991, pp. 1178 - 1180

D5 DE 103 20 877 A1 und

D6 EP 1 429 377 A2

verwiesen und mangelnde Patentfähigkeit des Verfahrens nach dem ursprünglichen und nach dem in der Folge eingereichten Anspruch 1 geltend gemacht. Nachdem die Anmelderin in einer Anhörung am 15. April 2015 einen neuen Anspruchssatz mit Patentansprüchen 1 bis 16 überreicht hat, hat die Prüfungsstelle die Anmeldung zurückgewiesen. In ihrem schriftlichen Beschluss vom 15. April 2015 legt sie dar, das Verfahren nach Anspruch 1 beruhe ausgehend vom Stand der Technik gemäß der Druckschrift D3 nicht auf einer erfinderischen Tätigkeit des Fachmanns.

Gegen den am 4. Mai 2015 zugestellten Beschluss hat die Anmelderin Beschwerde eingelegt, die am 27. Mai 2015 beim DPMA eingegangen ist.

In der mündlichen Verhandlung beantragt die Anmelderin,

1. den Beschluss der Prüfungsstelle für Klasse H01L des Deutschen Patent- und Markenamts vom 15. April 2015 aufzuheben,
2. ein Patent zu erteilen mit der geänderten Bezeichnung „Verfahren zur Herstellung von Chips mit lötfähigen Anschlüssen auf der Rückseite“, dem Anmeldetag 3. März 2005 auf der Grundlage folgender Unterlagen:
  - Patentansprüche 1 bis 15,
  - Beschreibungsseiten 1 bis 6, 6b, 6c und 7 bis 12, jeweils überreicht in der mündlichen Verhandlung am 21. Februar 2017;

- 2 Blatt Zeichnungen mit Figuren 1 bis 3, eingegangen im Deutschen Patent- und Markenamt am Anmelde- tag.

Der geltende Anspruch 1 lautet bei Einführung einer Merkmalsgliederung:

„1. Verfahren zur Herstellung von Halbleiterchips mit lötfähigen Anschlüssen auf der Rückseite der Chips, wobei die Chips als Oberflächenmontagebauelemente für die Direktmontage ihrer Rückseite auf Substraten ausgebildet sind und eine Chipoberseite mit den funktionellen Oberflächenstrukturen des Halbleiterbauelements und eine Chipunterseite mit den nach unten zeigenden Rückseitenanschlüssen zur elektrischen Kontaktierung auf Substraten aufweisen,

bei dem folgende Schritte ausgeführt werden:

- (a) - photolithographisches Strukturieren einer Ätzmaske auf der Chipoberseite der noch im Waferverbund befindlichen Halbleiterchips (2, 3) derart, dass in der Ätzmaske Fenster zwischen im Randbereich jeweils benachbarter Chips (2, 3) angeordneten Kontaktpads (5, 6) geöffnet werden, wobei diese Fenster breiter sind als eine beim späteren Vereinzeln der Chips (2, 3) durch Sägen entstehende Sägespur (4) und diese Sägespur (4) überdecken,
- (b) - anisotropes Ätzen des Halbleitermaterials der Chipoberseite mit den geöffneten Fenstern als Ätzmaske so, dass zwischen den Kontaktpads (5, 6) der jeweils benachbarten Chips (2, 3) Vertiefungen (9) im Halbleitermaterial der Chipoberseite erzeugt werden,
- (c) - Herstellen einer Isolation auf der Chipoberseite unter Aussparung der Kontaktpads (5, 6), wobei die Isolation in den Vertiefungen (9) eine Seitenwandpassivierung (18) bildet,

- (d) - Herstellen einer Metallisierung (12), die die Kontaktpads (5, 6) der jeweils benachbarten Chips (2, 3) durch die Vertiefung (9) hindurch miteinander verbindet,
  
- (e) - Oxidieren der Waferrückseite,
  
- (f) - photolithographisches Strukturieren einer Ätzmaske auf der Waferrückseite und Ätzen von Fenstern in dem Oxid der Waferrückseite,
  
- (g) - Herstellen von Vias (10) mit ovalem oder elliptischem Querschnitt durch anisotropes Trockenätzen der Chips (2, 3) des Waferverbundes von der Waferrückseite her mit der zuvor hergestellten Ätzmaske, wobei die Vias (10) bis zu den Vertiefungen (9) in der Chipoberseite reichen,
  
- (h) - Passivieren der Seitenwände der Vias (10) mit einer Seitenwandpassivierung (13) zur elektrischen Isolation der Seitenwände und komplettes Auffüllen der Vias (10) mit Metall (11),
  
- (i) - Herstellen von Rückseitenkontakten der Chips (2, 3)  
durch
  - Abscheiden einer ersten photo-dielektrischen Schicht (19) auf der Waferrückseite,
  - Ausbilden einer Öffnung in dieser Schicht über den Vias (10),
  - Metallisieren der Waferrückseite und Strukturieren der Metallisierung (14) zur Ausbildung einer Umverdrahtung, die mit der Metallfüllung (11) der Vias (10) verbunden ist,
  - Aufbringen einer zweiten photo-dielektrischen Schicht (20) und Durchführen eines Lithographieprozesses an dieser Schicht zur Herstellung von Rückseitenkontakten,und

- Herstellen einer Metallschicht (UBM 15, 16) auf den Rückseitenkontakten und Erzeugen von Lötbumps (17) auf dieser Schicht,

(j) - Vereinzeln der Chips durch Sägen des Wafers entlang der vorgenannten Sägespuren derart, dass nach dem Sägen auf den Seitenwänden der Vias und auf den Seitenwänden der Vertiefungen in der Chipoberseite verbleibendes Metall eine elektrische Verbindung zwischen den Rückseitenkontakten mit den Lötbumps und den Kontaktpads auf der Chipvorderseite herstellt.“

Hinsichtlich der Unteransprüche sowie der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

## II.

Die Beschwerde ist frist- und formgerecht erhoben und hat auch Erfolg, denn das Verfahren nach dem geltenden Anspruch 1 ist patentfähig, da es durch den nachgewiesenen Stand der Technik weder vorweggenommen noch für den Fachmann nahegelegt wird.

Als Fachmann ist ein berufserfahrener, in der Halbleiterindustrie tätiger Diplom-Ingenieur der Elektrotechnik oder Diplom-Physiker mit Fachhochschul- oder Hochschulabschluss anzusehen, der mit der Entwicklung von Verfahren zur Herstellung von Chips mit lötfähigen Rückseitenanschlüssen befasst ist.

1. Die Anmeldung betrifft ein Verfahren zur Herstellung von Chips mit lötfähigen Anschlüssen auf der Rückseite. Die derart hergestellten Chips sind als Oberflächenmontagebauelemente (SMD-Bauelemente) für die Direktmontage ihrer Rückseite auf Substraten ausgebildet und weisen eine Chipoberseite mit den funktionellen Oberflächenstrukturen und eine Chiprückseite mit den nach unten

zeigenden Rückseitenanschlüssen zur elektrischen Kontaktierung auf Substraten auf.

SMD-Bauelemente mit Rückseitenanschlüssen können beliebige Oberflächenstrukturen aufweisen und platzsparend ohne Drahtbondtechnologie auf beliebigen Substraten montiert werden. Um dies zu erreichen, ist es allerdings notwendig, dass die auf der aktiven Seite der jeweiligen Halbleiteranordnung befindlichen Kontaktpads auf die Rückseite verlegt werden. Die bisher zur Herstellung derartiger Anordnungen verwendeten Verfahren sind jedoch aufwändig und benötigen einen großen Flächenbedarf, der bereits beim Entwurf des Schaltungs-Layouts berücksichtigt werden muss und die Anzahl der Chips pro Wafer verringert. Zudem setzen eine Reihe der bisher praktizierten Verfahren auch voraus, dass sich in Ebenen unter der oberen zu kontaktierenden Metallisierungsebene keine (weiteren) dielektrischen Schichten oder dotierte bzw. undotierte Bereiche sowie Metallisierungen befinden, womit diese Verfahren für Chips, die durch etablierte CMOS-Technologien hergestellt werden und damit solche Strukturen besitzen, nicht praktikabel sind. Hinzu kommt noch, dass bei Verfahren, bei denen naßchemische Ätzprozesse eingesetzt werden, die Packungsdichte der elektrischen Verbindungen, die durch einen Wafer verlaufen, begrenzt ist, da die Anisotropie dieser Ätzvorgänge berücksichtigt werden muss, vgl. insoweit S. 1, 1. Abs. bis S. 6, 4. Abs. der geltenden Beschreibungsunterlagen.

Der Anmeldung liegt somit als technisches Problem die Aufgabe zugrunde, ein Verfahren zur Herstellung von Chips mit lötfähigen Anschlüssen auf der Rückseite von Halbleiteranordnungen bereits im Waferverbund, d. h. auf Wafer-Level-Ebene zu schaffen, das unabhängig vom Bauelement und ohne Änderung des Schaltungs-Layouts einfach und kostengünstig realisiert werden kann, vgl. in den geltenden Beschreibungsunterlagen S. 6, 5. Abs.

Gemäß dem geltenden Anspruch 1 werden Chips mit lötfähigen Rückseitenanschlüssen hergestellt, die als Oberflächenmontagebauelemente für die Direkt-

montage auf Substraten ausgebildet sind und eine Chipoberseite mit funktionellen Oberflächenstrukturen und eine Chiprückseite mit den nach unten zeigenden Rückseitenanschlüssen zur elektrischen Kontaktierung auf Substraten aufweisen, indem zunächst auf der Chipoberseite der noch im Waferverbund befindlichen Halbleiterchips eine Ätzmaske photolithographisch derart strukturiert wird, dass zwischen im Randbereich jeweils benachbarter Chips angeordneten Kontaktpads Fenster geöffnet werden, die breiter sind als eine beim späteren Vereinzeln der Chips durch Sägen entstehende Sägespur und die die Sägespur überdecken. Mit den geöffneten Fenstern als Ätzmaske wird das Halbleitermaterial der Chipoberseite dann anisotrop so geätzt, dass zwischen den Kontaktpads der jeweils benachbarten Chips Vertiefungen im Halbleitermaterial der Chipoberseite erzeugt werden. Unter Aussparung der Kontaktpads wird auf der Chipoberseite eine Isolation hergestellt, die in den Vertiefungen eine Seitenwandpassivierung bildet. Mit Hilfe einer Metallisierung werden die Kontaktpads der jeweils benachbarten Chips durch die Vertiefung hindurch miteinander verbunden.

Die weiteren im Anspruch 1 genannten Schritte betreffen die Prozessierung der Rückseite des Wafers. Nach einem Oxidieren der Waferrückseite und dem photolithographischen Strukturieren einer Ätzmaske auf der Waferrückseite werden Fenster in dem Oxid geätzt und mit dieser Ätzmaske durch anisotropes Trockenätzen der Chips des Waferverbundes von der Waferrückseite her Vias mit ovalem oder elliptischem Querschnitt hergestellt, die jeweils von der Chiprückseite bis zu den Vertiefungen in der Chipoberseite reichen. Nach dem Passivieren der Seitenwände der Vias mit einer Seitenwandpassivierung zur elektrischen Isolation der Seitenwände und dem kompletten Auffüllen der Vias mit Metall werden Rückseitenkontakte der Chips hergestellt, indem eine erste photo-dielektrische Schicht auf der Waferrückseite abgeschieden wird, eine Öffnung in dieser Schicht jeweils über den Vias hergestellt, die Waferrückseite metallisiert und die Metallisierung zur Ausbildung einer Umverdrahtung, die mit der Metallfüllung der Vias verbunden ist, strukturiert wird. Nach dem Aufbringen einer zweiten photo-dielektrischen Schicht und einem Lithographieprozess an dieser Schicht zur Herstellung von Rückseiten-



kontakten wird eine Metallschicht auf den Rückseitenkontakten aufgebracht, auf der anschließend Lötbumps erzeugt werden. Am Ende des Verfahrens werden die Chips durch Sägen des Wafers entlang der oben schon genannten Sägespuren derart vereinzelt, dass nach dem Sägen auf den Seitenwänden der Vias und auf den Seitenwänden der Vertiefungen verbleibendes Metall eine elektrische Verbindung zwischen den Rückseitenkontakten mit den Lötbumps und den Kontaktpads auf der Chipvorderseite herstellt.

2. Der geltende Anspruchssatz ist zulässig.

Der geltende Anspruch 1 geht auf die ursprünglichen Ansprüche 1 bis 5 und 14 sowie die ursprüngliche Beschreibung S. 1, Zeilen 14 bis 19, S. 4, Zeile 37 bis S. 5, Zeile 15, S. 5, Zeilen 28 bis 32, S. 7, Zeilen 5 bis 24 und S. 9, Zeile 24 bis S. 11, Zeile 32 zurück. Die geltenden Unteransprüche 2 bis 15 entsprechen den ursprünglichen Unteransprüchen 6 bis 13 und 15 bis 20.

3. Das Verfahren nach Anspruch 1 ist patentfähig, denn es ist neu und beruht auf einer erfinderischen Tätigkeit des Fachmanns (§§ 3, 4 PatG).

3.1. Die vom Senat als nächstkommender Stand der Technik angesehene Druckschrift D3 offenbart in den Worten des Anspruchs 1 ein Verfahren zur Herstellung von Chips mit lötfähigen Anschlüssen (*bumps 138*) auf der Rückseite der Chips, wobei die Chips als Oberflächenmontagebauelemente für die Direktmontage auf Substraten (*mother board 139*) ausgebildet sind und eine Chipoberseite mit funktionellen Oberflächenstrukturen und eine Chiprückseite mit nach unten zeigenden Rückseitenanschlüssen zur elektrischen Kontaktierung auf Substraten aufweisen, wobei die funktionellen Oberflächenstrukturen auf der Vorderseite Elektroden aufweisen, die mit den Rückseitenanschlüssen auf der Chiprückseite elektrisch verbunden sind (*A semiconductor chip of this invention is a semiconductor chip characterized by having a semiconductor substrate, a first external electrode formed on a first surface of the semiconductor substrate, a second ex-*

*ternal electrode formed on a second surface of the semiconductor substrate and a through hole created in the semiconductor substrate, wherein the through hole is provided in an inclined plane formed so that the internal angle relative to the second surface is an obtuse angle and wherein the first external electrode and the second electrode are electrically connected through a conductive pattern formed so as to pass through the inner wall of the through hole and the inclined plane. / Abschnitt [0028] // FIG. 40 is a cross section view of the semiconductor device of the present embodiment. In the semiconductor device of the present embodiment, a single, or a plurality of, semiconductor chips 137 is mounted on a wiring board shown in the seventh embodiment, wherein the wiring board 111 is mounted on a mother board 139 by using bumps 138 . The wiring board has a silicon substrate 106 as a basic material, wherein inclined planes 108 are formed so that the inner angles made up of the inclined planes and the rear surface 110 are obtuse angles in the silicon substrate 106 and has a plurality of through holes 109 which reach to the inclined planes 108 from the surface 107 of the silicon substrate 106 so that first conductive patterns 112 formed on the surface 107 and in the through holes 109 of the silicon substrate 106 and second conductive patterns 113 formed on the rear surface 110 and on the inclined planes 108 are formed. The first conductive patterns 112 and the second conductive patterns 113 are directly electrically connected through the connection parts in the through holes 109 and on the inclined planes 108. / Abschnitte [0311] und [0312] iVm Fig. 40)*

mit den Schritten

- (a') photolithographisches Strukturieren einer Ätzmaske auf der Chipoberseite der noch im Waferverbund befindlichen Halbleiterchips derart, dass in der Ätzmaske Fenster zwischen im Randbereich jeweils benachbarter Chips angeordneten Kontaktpads (*surface electrodes 18*) geöffnet werden und
- (b) anisotropes Ätzen des Halbleitermaterials der Chipoberseite mit den geöffneten Fenstern als Ätzmaske so, dass zwischen den Kontaktpads der

jeweils benachbarten Chips Vertiefungen (holes 26) im Halbleitermaterial der Chipoberseite erzeugt werden (*First, as shown in FIG. 2A, a semiconductor substrate 13 which is made of a plurality of semiconductor chip units and is in a wafer condition of a thickness of 600  $\mu\text{m}$  to 1000  $\mu\text{m}$  is prepared and elements (not shown), multi-layer conductive patterns (not shown) and surface electrodes 18 are formed on the first plane 14 which is the surface of the semiconductor substrate 13. Here, though the positions where the surface electrodes 18 are formed are not particularly restricted, they are formed around the periphery of each semiconductor chip unit in the present embodiment. In addition, though a surface insulating layer 25, of which the main material is silicon nitride (SiN), is formed in the entire region of the surface of the semiconductor substrate, except for on the surface electrodes 18, in the present embodiment the surface insulating layer may be formed of a material other than SiN and is not particularly restricted as long as the material functions as a protective film. [...] In addition, dotted lines show the positions where both sides, in the width direction, of the cutter blade pass through at the time of dicing for dividing the semiconductor substrate into semiconductor chip units where the middle part of the two dotted lines is a border part between semiconductor chip units. Next, processing steps of holes are described. FIG. 2B is a cross section view showing the condition where holes are created through processing in the first plane of the semiconductor substrate. As shown in FIG. 2B, holes 26, of which the depth is 20  $\mu\text{m}$  to 100  $\mu\text{m}$ , are formed without passing through the thickness direction from the first plane 14 of the semiconductor substrate 13 by means of an RIE (reactive ion etching) method and, as for the positions of hole creation, the holes are created around the semiconductor chip units and in the present embodiment they are the positions closest to the corresponding holes on lines positioned 50  $\mu\text{m}$  away from the border lines of the semiconductor chip units. In the present embodiment the depth of the holes is 70  $\mu\text{m}$  and the length of the through holes which pass through by forming an inclined plane is approximately 50  $\mu\text{m}$ . Here, the method of creation of holes 26 is not limited to the RIE method but, rather, it is possible to use optical etching, wet etching, supersonic processing and discharge processing and a va-*

riety of the above processing methods may be combined. As described above, the RIE method, which is a processing method of holes created in the semiconductor substrate, is a dry etching method utilizing a reactive gas plasma, which is a method used for microscopic processing of a semiconductor wafer and at the time when it is used a mask covering the parts other than the holes is formed above the insulating layer so that the parts other than the holes are not etched and the mask is removed after etching. / Abschnitte [0169] bis [0173]),

- (c) Herstellen einer Isolation auf der Chipoberseite unter Aussparung der Kontaktpads, wobei die Isolation in den Vertiefungen eine Seitenwandpassivierung bildet,
- (d') Herstellen einer Metallisierung auf der Isolation (Next, as shown in FIG. 3A, after forming the first insulating layer 20 on the internal walls of the holes 26 and on the surface insulating layer 25, except for the openings of the surface electrodes 18, a mask which has openings in parts of the surface electrodes 18 is formed on the first insulating layer 20 and the insulating layer formed on the surface electrodes 18 are etched away and, after that, the mask is removed. Here, the first insulating layer 20 is a film formed of materials such as silicon dioxide ( $\text{SiO}_2$ ), silicon nitride ( $\text{SiN}$ ), oxide nitride film ( $\text{SiON}$ ) and polyimide by means of a method such as a CVD method, a sputtering method, an optical CVD method and an application. Next, as shown in FIG. 3B, a first layered metal film 27 is formed on the first insulating layer 20, wherein the first layered metal film 27 has a two layer structure where a seed layer is layered onto a barrier layer. Here, the barrier layer and the seed layer are formed by means of a sputtering method, a CVD method or an electron beam deposition method. Any of the materials from among titanium (Ti), titanium tungsten (Ti/W), chromium (Cr), nickel (Ni), and the like, is used for the barrier layer and copper (Cu), gold (Au), silver (Ag), nickel (Ni), or the like, is used for the seed layer. Next, as shown in FIG. 4A, first conductive patterns are formed within the inside walls of the holes 26 by means of an electrolytic plating method with the first layered metal film 27 as an electrode so as to be formed on the first layered metal film 27 in the desired forms of wires

*and electrodes. At this time, in order to achieve the desired forms of wires and electrodes, a plating resist 29 is formed on the first layered metal film 27 and, then, the plating resist 29 is removed after electrolytic plating. Here, the first conductive patterns 28 may be formed by filling in the holes 26. In addition, as for the material of the first conductive patterns 28, copper (Cu), gold (Au), tungsten (W), molybdenum (Mo), nickel (Ni), titanium (Ti), aluminum (Al), or the like, is used. Next, as shown in FIG. 4B, the first layered metal film 27 in the parts other than the regions wherein the first conductive patterns 28 are formed is removed through etching by using the first conductive patterns 28 as a mask. / Abschnitte [0174] bis [0177]),*

- (g') Herstellen von Vertiefungen von der Waferrückseite her, die bis zu den Vertiefungen in der Chipoberseite reichen,
- (h') Passivieren der Seitenwände der Vertiefungen mit einer Seitenwandpassivierung zur elektrischen Isolation der Seitenwände und Metallisieren der Vertiefungen (*Next, as shown in FIG. 7, in the second plane 17 of the semiconductor substrate 13, the central part between two dotted lines enclosing a border part between semiconductor chip units is cut by bevel cutting so as to form inclined planes 15 so that an obtuse angle is formed between each of the inclined planes and the second plane 17 of the semiconductor substrate 13 and, at the same time, the first conductive patterns 28 are exposed from the inclined planes 15. Accordingly, as shown in FIG. 2B, it is not necessary for holes 26 created in the semiconductor substrate 13 to pass through the semiconductor substrate 13 so that the amount of time necessary for processing the holes 26 can be shortened. Here, the depth of the processed holes 26 shown in FIG. 2B is determined by the cutting depth and the form of the tip of the cutter blade in bevel cutting. Here, bevel cutting means a cutting method for forming inclined planes in the semiconductor substrate so that the inner angle formed by the second plane and an inclined plane becomes an acute angle by using a cutting blade of which the thickness is comparatively large and of which the edge part is formed of inclined planes. Here, the thickness of the cutting blade used for the bevel cut is prefera-*

bly larger than the distance between the adjoining through holes by approximately 100  $\mu\text{m}$  or more. In the present embodiment, the distance between the adjoining through holes is 100  $\mu\text{m}$  while the thickness of the cutting blade used for bevel cutting is 200  $\mu\text{m}$ . Here, though, in the present embodiment, a process method by means of bevel cutting is shown, the substrate may be processed through etching. Next, as shown in FIG. 8, a third insulating layer 32 is formed on the entire surface of the inclined plane 15 and the second plane 17 except for on the parts of the first conductive patterns 28 which are exposed from the inclined surfaces 15 and at this time, after the third insulating layer 32 is formed on the entire surface of the inclined planes 15 and the second plane 17, a mask with openings in the parts where the first conductive patterns 28 are exposed is formed on the third insulating layer 32 and the third insulating layer 32 on the opening parts for the first conductive patterns 28 is etched and, after that, the mask is removed. Here, the third insulating layer 32 is a film formed of silicon dioxide ( $\text{SiO}_2$ ), silicon nitride ( $\text{SiN}$ ), oxide nitride film ( $\text{SiON}$ ), polyimide, or the like, by means of a CVD method, a sputtering method, an optical CVD method, application, or the like. In addition, it is preferable to form the third insulating layer 32 of a material of which the etching rate is larger than that of the first insulating layer 20. That is to say, at the time of etching the third insulating layer 32 for creating openings, the first insulating layer 20 is hardly etched even in the case that a mask shift occurs so that the third insulating film 32 can be selectively etched for openings without partially removing the first insulating layer 20. Next, as shown in FIG. 9, a second layered metal film 33 is formed on the entire surface of the inclined planes 15 and the second plan 17. The second layered metal film 33 has a two layer structure wherein a seed layer is layered on a barrier layer. The barrier layer and the seed layer are formed by means of a sputtering method, a CVD method, an electron beam deposition method, or the like. Titanium (Ti), titanium tungsten (Ti/W), chromium (Cr), nickel (Ni), or the like, is used for the barrier layer while copper (Cu), gold (Au), silver (Ag), nickel (Ni), or the like, is used for the seed layer. / Abschnitte [0181] bis [0185] i. V. m. Fig. 7 bis 10),

(i') Herstellen von Rückseitenanschlüssen auf der Chiprückseite der benachbarten Halbleiterchips und Verbinden derselben mit der Metallisierung in den Vertiefungen (*Next, as shown in FIG. 10, the second conductive patterns 34 in the form of desired wires and electrodes is formed on the inclined planes 15 and the second plane 17 by means of an electrolytic plating method by using the second layered metal film 33 as an electrode and, thereby, the second conductive patterns 34 is electrically connected to the first conductive patterns 28 exposed from the inclined planes 15 via the second layered metal film 33. At this time, in order to form the wires and electrodes of the desired form, a plating resist 35 is formed on the second layered metal film 33 in the parts where it is not necessary to form the second conductive patterns 34 and after the electrolytic plating the plating resist 35 is removed. In addition, as for the material for the second conductive patterns 34, copper (Cu), gold (Au), tungsten (W), molybdenum (Mo), nickel (Ni), titanium (Ti), aluminum (Al), or the like, is used. Next, as shown in FIG. 11, the second layered metal film 33 in the region other than the region where the second conductive patterns 34 is formed is removed through etching by using the second conductive patterns 34 as a mask. / Abschnitte [0186] und [0187] i. V. m. Fig. 10 und 11),*

und

(j') Vereinzeln der Chips durch Sägen des Wafers entlang von Sägelinien (*FIGS. 14 to 16 are cross section views of the steps for supplying a resin to the inclined plates which are cured after the steps shown in FIGS. 2 to 11. The purpose of the steps shown in FIGS. 14 to 16 is to reinforce the inclined planes. As shown in FIG. 14, after the steps shown in FIG. 11 or FIG. 12, a liquid resin is applied to the part which is removed through bevel cutting until the top surface reaches the level of the second plane and, thereby, an insulating resin layer 40 is formed on the entire second plane and on the inclined planes 15, except for on the parts with openings for the second external electrodes 22. Here, the liquid resin is preferably polyimide, or the like, which can alleviate stress. Next, as shown in*

*FIG. 15, dicing is carried out in the part of the scribe line 37 from the side of the second plane so as to form side surfaces perpendicular to the second plane. Next, as shown in FIG. 16, the adhesive 30 and the support body 31 are removed and the semiconductor chip 39 is divided into pieces. Here, the form of the through holes or the holes may be circular or quadrangular and, in the case where they are circular, the diameter is 10  $\mu\text{m}$  to 20  $\mu\text{m}$  and, in the case where they are quadrangular, the length of one side is 10  $\mu\text{m}$  to 20  $\mu\text{m}$ , which is 20  $\mu\text{m}$  in the present embodiment. / Abschnitte [0192] bis [0197]).*

Abweichend von der im Merkmal (a) des geltenden Anspruchs 1 gegebenen Lehre liegen bei dem vorangehend gewürdigten Ausführungsbeispiel der Druckschrift D3 die im ersten Verfahrensschritt in der Ätzmaske geöffneten Fenster zum Ätzen der Vertiefungen *neben* der Sägespur und sind *schmäler als diese*, vgl. vor allem die Fig. 2B. Jedoch offenbart die Druckschrift D3 anhand der Fig. 44 bis 48 und der zugehörigen Beschreibung ein weiteres Ausführungsbeispiel, bei dem das beim ersten Verfahrensschritt erzeugte Fenster breiter ist als eine beim späteren Vereinzeln der Chips durch Sägen entstehende Sägespur und die Sägespur überdeckt, vgl. hierzu die Fig. 44A und 44B sowie 55A und 55B.

Zudem wird bei diesem Ausführungsbeispiel die Metallisierung auf der Chipoberseite so ausgeführt, dass diese in Übereinstimmung mit der Angabe im Merkmal (d) des geltenden Anspruchs 1 die Kontaktpads der jeweils benachbarten Chips durch die Vertiefung miteinander verbindet, vgl. hierzu die Fig. 44D bis 44F und die zugehörige Beschreibung.

Beide Maßnahmen führen dazu, dass beim Vereinzeln der Chips durch Sägen des Wafers entlang der vorgenannten Sägespuren auf den Seitenwänden der Vertiefungen Metall verbleibt, wie es das erste Teilmerkmal des Merkmals (j) des geltenden Anspruchs 1 lehrt.



Insofern entnimmt der Fachmann der Druckschrift D3 ein Verfahren mit den Merkmalen (a) bis (d) sowie dem ersten Teilmerkmal des Merkmals (j) des geltenden Anspruchs 1.

Jedoch gibt die Druckschrift D3 keine Hinweise zu den in den weiteren Merkmalen (e) bis (h) angegebenen Maßnahmen zur Herstellung von mit einer Metallfüllung versehenen Vias und zu der im Merkmal (i) angegebenen Vorgehensweise zur Herstellung von Rückseitenkontakten.

Wie oben schon dargelegt, wird bei dem Verfahren nach der Druckschrift D3 die elektrische Verbindung zwischen den mit einer Metallisierung versehenen Vertiefungen in der Chipoberseite und der Rückseite der Chips durch das Erzeugen und Metallisieren von Vertiefungen in der Rückseite der Chips hergestellt. Diese Vertiefungen in der Rückseite werden gemäß der Beschreibung zur Fig. 7 in den Abschnitten [0181] und [0182] durch einen Schneidvorgang (*bevel cutting*) oder alternativ hierzu durch ein Ätzverfahren erzeugt (*Here, though, in the present embodiment, a process method by means of bevel cutting is shown, the substrate may be processed through etching / Abschnitt [0182]*). Zwar ist es für den Fachmann selbstverständlich, dass ein solcher Ätzvorgang die vorherige photolithographische Herstellung einer entsprechenden Ätzmaske auf der Waferrückseite voraussetzt. Jedoch gibt die Druckschrift D3 mangels weiterer Erläuterungen zur Herstellung der genannten Vertiefungen durch einen Ätzvorgang keine Hinweise darauf, dass zur Herstellung der Vias zunächst die Waferrückseite oxidiert und dann durch photolithographisches Strukturieren eine Ätzmaske durch Ätzen von Fenstern in dem Oxid erzeugt wird, dass dann mit dieser Ätzmaske durch anisotropes Trockenätzen Vias mit ovalem oder elliptischem Querschnitt hergestellt werden, die bis zu den Vertiefungen in der Chipoberseite reichen und dass die Vias nach einem Passivieren der Seitenwände zu ihrer elektrischen Isolation komplett mit Metall aufgefüllt werden. Konsequenterweise kann die Druckschrift D3 somit auch keine Veranlassung geben, den Sägeprozess zum Vereinzeln der

Chips so durchzuführen, dass nach dem Sägen auf den Seitenwänden der Vias Metall verbleibt, wie es das zweite Teilmerkmal des Merkmals (j) angibt.

Außerdem gibt die Druckschrift D3 auch keine Hinweise auf die im Merkmal (i) angegebenen Maßnahmen zur Herstellung von Rückseitenkontakten.

Somit ist das Verfahren nach Anspruch 1 gegenüber dem Stand der Technik gemäß der Druckschrift D3 neu und beruht gegenüber diesem Stand der Technik auch auf einer erfinderischen Tätigkeit.

3.2. Auch die weiteren im Verfahren berücksichtigten Druckschriften können den Fachmann nicht zu der im Anspruch 1 angegebenen Vorgehensweise anregen.

Die Entgegenhaltung D1 offenbart wie die Druckschrift D3 ein Verfahren zur Herstellung von Chips mit lötfähigen Rückseitenanschlüssen auf Halbleiterchips, die für die Direktmontage auf Substraten ausgebildet sind und bei denen die funktionellen Oberflächenstrukturen auf der Vorderseite Elektroden aufweisen, die mit den Rückseitenanschlüssen auf der Chiprückseite elektrisch verbunden sind. Im Hinblick auf das Verfahren zur Herstellung dieser Chips gibt die Druckschrift D1 an, dass im Bereich der späteren Sägespuren zwischen den Chips Löcher (*holes 156*) im Halbleitermaterial erzeugt werden, die von der Chipoberseite bis zur Chiprückseite reichen und somit Vias bilden, wobei deren Durchmesser größer als die Breite der Sägespur ist. Diese Löcher können mechanisch, durch Laserbohren oder durch Ätzen hergestellt werden. Nach einer Passivierung der Chipvorder- und der Chiprückseite sowie der Seitenwände der Durchgangslöcher wird eine Metallisierung aufgebracht, die die Löcher füllt und eine elektrische Verbindung zwischen Kontakten auf der Chipvorderseite und der Chiprückseite herstellt. Alternativ hierzu wird die Chipoberseite mit einer Metallisierung versehen, die von den Kontaktpads auf der Chipoberseite bis an die Ränder der Vias reicht. Diese Chipvorderseite, die Seitenwände der Vias und die Chiprückseite werden dann mit einer Fotoresistschicht bedeckt, die so strukturiert wird, dass sie die Seitenwände

der Vias und deren Umgebung auf der Chiprückseite bedeckt und auf der Chiprückseite Höcker bildet. Zur Herstellung von Rückseitenanschlüssen wird zunächst eine Keimschicht aufgebracht, die so strukturiert wird, dass sie die Kontakte auf der Chipoberseite, die Seitenwände der Vias und die Höckerbereiche auf der Chiprückseite bedeckt. Auf diese Keimschicht wird dann im Rahmen eines Plattierverfahrens eine Metallschicht aufgetragen, die über den Höckern auf der Chiprückseite lötfähige Rückseitenanschlüsse bildet. Bei beiden Verfahrensvarianten verbleibt beim Sägen der Wafer auf den Seiten der Durchgangslöcher eine Metallschicht, die die elektrische Verbindung zwischen Chipober- und Chiprückseite herstellt (*The present invention provides vertical signal paths between upper and lower surfaces of an integrated circuit (IC) semiconductor chip. In conventional IC production, ICs are fabricated in bulk as identical die forming a die matrix on a semiconductor wafer or substrate. The wafer is then cut with a saw along a series of saw-lines or "streets" located between adjacent rows and columns of the die matrix to separate the die from one another. In accordance with the invention the vertical signal paths are formed in holes extending through the street areas of the wafer. FIG. 8 is a simplified plan view of a portion of the upper surface 152 of an IC semiconductor wafer 150 showing a pair of die 158 and 162 occupying adjacent columns of a die matrix and having respective bond pads 160 and 164 on their upper surfaces. In accordance with the invention a set of holes 156 are formed along a saw-line 154 in the street 155 between ICs 158 and 162 that a cutting tool (not shown) will follow when later cutting wafer 150 to separate die 158 and 162 into corresponding IC chips. Each hole 156 has an inside diameter  $D$  greater than the width  $W$  of wafer material removed when the cut is made along saw-line 154 . FIGS. 9 A- 9 D are simplified sectional elevation views along section 9 - 9 in FIG. 8 illustrating respective steps of a method for fabricating vertical signal paths through holes 156 in wafer 150 in accordance with the invention. FIG. 9A shows upper and lower wafer surfaces 152 and 166 respectively of wafer 150 and the inner wall 168 of hole 156 . Before cutting wafer 150 , a layer 163 of passivating material (e.g., silicon nitride) is applied (FIG. 9B) to both sides of wafer 150 and through hole 156 . A portion of layer 163 is then removed photo-litho-*

graphically to expose bond pads 160 and 164 on the upper surface 152 of wafer 150 . A layer 165 of conductive material (e.g., titanium tungsten) is then applied (FIG. 9B) to coat all of passivation layer 163 , bond pads 160 and 164 and fills holes 156 . Conductive layer 165 is then photolithographically patterned to remove portions 169 of the layer 165 (FIG. 9C). As illustrated in FIG. 9D, wafer 150 of FIGS. 9 A- 9 C is then cut along saw-line 154 to separate chips 170 and 172 . A remaining portion of layer 165 forms a signal path 174 traversing an outer edge 177 of chip 170 between bond pad 160 and a lower surface 178 of the chip. Chip 172 also retains a signal path 180 traversing an outer edge 183 between bond pad 164 and its lower surface 180. / Abschnitte [0034] bis [0038] // FIGS. 11 A- 11 E are simplified partial sectional elevation views illustrating respective steps of a method for fabricating a vertical signal path in an IC semiconductor wafer 220 in accordance with a second embodiment of the invention. Semiconductor wafer 220 includes upper and lower surfaces 222 and 224 and contains a pair of IC die 226 and 228 having bond pads 230 and 232 respectively. A hole 234 of diameter  $D$  and having walls 236 is mechanically or laser drilled or etched through wafer 220 along a saw- line 238 . Upper and lower surfaces 222 and 224 and hole walls 236 are coated with a layer 231 of a passivating material (e.g., silicon nitride) patterned to expose bond pads 230 and 232. In FIG. 11B a layer 233 of a conductive material (e.g., titanium-tungsten) is applied to wafer 220 and patterned to coat both bond pads 230 and 232 and to form a conductive path from those bond pads to the edge of hole 234 . A layer 235 of masking material (e.g., photoresist) is then deposited on wafer 220 (FIG. 11C) and patterned such that it coats layer 231 along walls 236 and part way along lower surface 224 and to form a bump 237 facing away from lower surface 224 . A layer 238 of conductive seed material (e.g., gold) is then applied to wafer 220 and patterned such that it coats all of layers 233 and 235 . FIG. 11D illustrates the subsequent plating of a layer 239 of resilient conductive material (e.g., nickel) onto layer 238. As seen in FIG. 11E, wafer 220 is cut to separate die 226 and 228 of FIGS. 11 A- 11 D into respective IC chips 240 and 242. Layer 235 is also removed from chips 240 and 242 using a solvent (e.g., acetone) thereby forming spring contacts 241 and 243 having con-

*tact tips 244 and 245 and linked to bond pads 230 and 232 respectively. / Abschnitte [0041] bis [0043] // Since the vertical signal path is formed within a through-wafer hole located on a semiconductor wafer saw-line and since the hole may be of relatively large diameter, quick and relatively inexpensive techniques such as mechanical or laser drilling may be used for forming that hole. / Abschnitt [0045]).*

Diese Druckschrift vermittelt dem Fachmann somit zwar die Lehre, zur Herstellung einer elektrischen Verbindung zwischen der Chipoberseite und der Chiprückseite Vias im Halbleitermaterial zu erzeugen und diese mit Metall zu füllen sowie zur Herstellung von Rückseitenanschlüssen eine photo-dielektrische Schicht zu strukturieren und diese anschliessend mit einer metallischen Schicht zu bedecken. Jedoch gibt diese Schrift weder Hinweise, zur Herstellung der elektrischen Verbindungen zwischen der Chipoberseite und der Chiprückseite in der Chipoberseite Vertiefungen und in der Chiprückseite Vias zu erzeugen und hierzu die in den Merkmalen (a) bis (h) des geltenden Anspruchs 1 genannten Maßnahmen zu treffen noch gibt sie einen Hinweis zu den im Merkmal (i) angegebenen Maßnahmen zur Herstellung von Rückseitenanschlüssen.

Die Druckschrift D2 offenbart ein Verfahren zur Herstellung von Bauelementen mit lötfähigen Rückseitenanschlüssen, bei dem in der Vorder- und der Rückseite des Halbleitermaterials des Bauelements in den Randbereichen durch Ätzen Vertiefungen erzeugt werden, die am Ende des Ätzvorgangs zu einem Durchgangsloch zusammenwachsen. Die Seitenwände der Vertiefungen werden mit einer Metallisierung versehen, die eine leitfähige Verbindung zwischen der Bauelementoberseite und der Rückseite herstellt, vgl. die Fig. 4 bis 8 und die zugehörige Beschreibung. Abgesehen davon, dass diese Druckschrift keinen Hinweis darauf gibt, dass die Vertiefungen in der Vorder- und der Rückseite in den späteren Sägespuren angeordnet sind und dass auf der Rückseite mit Metall gefüllte Vias mit elliptischem oder ovalem Querschnitt hergestellt werden, gibt diese Druckschrift auch keinen Hinweis auf die im Merkmal (i) genannten Maßnahmen zur Herstellung von

Rückseitenanschlüssen gemäß der Gesamtheit der im Merkmal (i) angegebenen Maßnahmen.

Die Druckschrift D5 offenbart zwar ein Verfahren zum Herstellen von Anschlüssen bei Halbleiterbauelementen mit Hilfe einer mehrlagigen Verdrahtung, die hergestellt wird, indem eine erste fotodielektrische Schicht auf das Bauelement aufgetragen und so strukturiert wird, dass Kontaktbereiche zu dem Bauelement frei bleiben, wobei auf diese Schicht eine Metallisierung aufgetragen wird, die in den Kontaktbereichen jeweils den Anschluss zum Bauelement herstellt, und indem mit Hilfe einer weiteren fotodielektrischen Isolationsschicht, die ebenfalls mit einer Öffnung versehen wird, und einer auf diese Schicht aufgetragenen weiteren metallischen Schicht ein Mehrlagenaufbau für den Anschluss eines Bauelements realisiert wird, vgl. vor allem die Abschnitte [0016] bis [0026]. Damit erschöpft sich jedoch der Offenbarungsgehalt dieser Druckschrift. Somit finden in ihr zwar die im Merkmal (i) angegebenen Maßnahmen ein Vorbild, jedoch offenbart diese Schrift keinerlei Maßnahmen zur Herstellung von Chips mit einer leitfähigen Verbindung zwischen der Chipvorder- und der Chiprückseite. Insofern kann diese Schrift keine Anregungen zu den im Anspruch 1 angegebenen Maßnahmen zur Herstellung solcher Chips und insbesondere keine Anregungen zum Herstellen von Vertiefungen in der Chipoberseite und von metallisch gefüllten Vias mit ovalem oder elliptischem Querschnitt in der Chiprückseite jeweils in Sägespuren geben.

Die Druckschriften D4 und D6 betreffen Einzelheiten zum Füllen der Vias und zum Herstellen der lötfähigen Verbindungen, so dass diese Druckschriften gegenüber den oben gewürdigten weiter abliegen.

Auch eine Zusammenschau der entgegengehaltenen Druckschriften legt das Verfahren nach Anspruch 1 somit nicht nahe.

3.3. Dem Anspruch 1 können sich die Unteransprüche 2 bis 15 anschließen, in denen Weiterbildungen des Verfahrens nach Anspruch 1 angegeben werden.

4. Da auch die übrigen Unterlagen den an sie zu stellenden Anforderungen entsprechen, war dem Antrag auf Patenterteilung zu entsprechen.

### **R e c h t s m i t t e l b e l e h r u n g**

Gegen diesen Beschluss steht der Beschwerdeführerin - vorbehaltlich des Vorliegens der weiteren Rechtsmittelvoraussetzungen, insbesondere einer Beschwerde - das Rechtsmittel der Rechtsbeschwerde zu. Da der Senat die Rechtsbeschwerde nicht zugelassen hat, ist sie nur statthaft, wenn einer der nachfolgenden Verfahrensmängel gerügt wird, nämlich

1. dass das beschließende Gericht nicht vorschriftsmäßig besetzt war,
2. dass bei dem Beschluss ein Richter mitgewirkt hat, der von der Ausübung des Richteramtes kraft Gesetzes ausgeschlossen oder wegen Besorgnis der Befangenheit mit Erfolg abgelehnt war,
3. dass einem Beteiligten das rechtliche Gehör versagt war,
4. dass ein Beteiligter im Verfahren nicht nach Vorschrift des Gesetzes vertreten war, sofern er nicht der Führung des Verfahrens ausdrücklich oder stillschweigend zugestimmt hat,
5. dass der Beschluss aufgrund einer mündlichen Verhandlung ergangen ist, bei der die Vorschriften über die Öffentlichkeit des Verfahrens verletzt worden sind, oder
6. dass der Beschluss nicht mit Gründen versehen ist.

Die Rechtsbeschwerde ist innerhalb eines Monats nach Zustellung des Beschlusses schriftlich durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten beim Bundesgerichtshof, Herrenstr. 45 a, 76133 Karlsruhe, einzureichen oder durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten in elektronischer Form bei der elektronischen Poststelle des BGH, [www.bundesgerichtshof.de/erv.html](http://www.bundesgerichtshof.de/erv.html). Das elektronische Dokument ist

mit einer prüfbaren qualifizierten elektronischen Signatur nach dem Signaturgesetz oder mit einer prüfbaren fortgeschrittenen elektronischen Signatur zu versehen. Die Eignungsvoraussetzungen für eine Prüfung und für die Formate des elektronischen Dokuments werden auf der Internetseite des Bundesgerichtshofs [www.bundesgerichtshof.de/erv.html](http://www.bundesgerichtshof.de/erv.html) bekannt gegeben.

Dr. Strößner

Brandt

Dr. Friedrich

Dr. Himmelmann

prä