



BUNDESPATENTGERICHT

23 W (pat) 19/19

(AktENZEICHEN)

Verkündet am
27. Oktober 2020

...

BESCHLUSS

In der Beschwerdesache

...

betreffend die Patentanmeldung 10 2009 030 524.6

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 27. Oktober 2020 unter Mitwirkung des Vorsitzenden Richters Dr. Strößner sowie der Richter Dr. Friedrich, Dr. Himmelmann und Dr. Kapels

beschlossen:

1. Der Beschluss der Prüfungsstelle für Klasse H01L des Deutschen Patent- und Markenamts vom 9. Mai 2019 wird aufgehoben.
2. Die Sache wird zur weiteren Prüfung an die Prüfungsstelle für Klasse H01L des Deutschen Patent- und Markenamts zurückverwiesen.

Gründe

I.

Die vorliegende Anmeldung mit dem Aktenzeichen 10 2009 030 524.6 und der geänderten Bezeichnung „Vorrichtung mit einem Chip-Stapel“ wurde am 25. Juni 2009 unter Inanspruchnahme der Priorität der US-Anmeldung 12/215.761 vom 30. Juni 2008 beim Deutschen Patent- und Markenamt mit englischsprachigen Unterlagen zur Prüfung eingereicht. Eine deutsche Übersetzung wurde mit Eingabe vom 14. Juli 2009 vorgelegt.

Die Prüfungsstelle für Klasse H01L hat im Prüfungsverfahren auf den Stand der Technik gemäß den Druckschriften

- D1 US 2007 / 0 023 887 A1
- D2 US 2005 / 0 286 286 A1
- D3 US 5 432 999 A
- D4 JP 2007- 287 023 A
- D5 US 2005 / 0 160 391 A
- D6 US 7 466 028 B1
- D7 US 2002 / 0 155 692 A1

D8 US 7 446 420 B1

D9 US 7 453 150 B1

verwiesen und im ersten Prüfungsbescheid vom 17. Dezember 2013 insbesondere ausgeführt, dass nach amtsseitiger Klarstellung zahlreicher Widersprüche in der Anmeldung die Vorrichtung, der Chip und das integrierte Schaltungspaket der ursprünglichen, selbständigen Ansprüche 1, 10 und 14 nicht neu seien gegenüber Druckschrift D1. Die Anmelderin hat mit Eingabe vom 22. April 2014 neue Ansprüche 1 bis 16 sowie klargestellte Beschreibungsseiten 3 und 4 vorgelegt und ausgeführt, dass nach ihrer Auffassung die Gegenstände der nunmehr geltenden Ansprüche gegenüber den Druckschriften D1 bis D5 patentfähig seien. Die Prüfungsstelle hat daraufhin zur Anhörung geladen und im begleitenden Zusatz dargelegt, dass auch die neu vorgelegten Unterlagen Unklarheiten enthielten und dass nach amtsseitiger Klarstellung der Ansprüche die Vorrichtung, der Chip und das integrierte Schaltungspaket der geänderten selbständigen Ansprüche 1, 9 und 13 nicht neu seien gegenüber Druckschrift D1.

Nach Durchführung der Anhörung am 9. Mai 2019, zu der die Anmelderin, wie mit Schreiben vom 2. Mai 2019 angekündigt, nicht erschienen war, hat die Prüfungsstelle die Anmeldung durch Beschluss vom 9. Mai 2019 aus den Gründen des Ladungszusatzes zurückgewiesen.

Gegen diesen der Anmelderin am 16. Mai 2019 zugestellten Beschluss richtet sich die am Montag, den 17. Juni 2019 beim Deutschen Patent- und Markenamt eingegangene Beschwerde mit der nachgereichten Beschwerdebeurteilung vom 4. September 2019.

In der mündlichen Verhandlung am 27. Oktober 2020 hat die Anmelderin einen neuen Anspruch 1 vorgelegt.

Sie beantragt:

1.

den Beschluss der Prüfungsstelle für Klasse H01L des Deutschen Patent- und Markenamts vom 9. Mai 2019 aufzuheben.

2.

Ein Patent zu erteilen mit der geänderten Bezeichnung „Vorrichtung mit einem Chip-Stapel“, dem Anmeldetag 25. Juni 2009 unter Inanspruchnahme der Priorität US 12/215,761 vom 30. Juni 2008 auf der Grundlage folgender Unterlagen:

- Patentanspruch 1, überreicht in der mündlichen Verhandlung am 27. Oktober 2020;
- noch anzupassende Unteransprüche;
- noch anzupassende Beschreibungsseiten 1, 2, 5 und 6,
- 3 Blatt Zeichnungen mit Figuren 1, 2A, 2B, 3, 4A und 4B, jeweils eingegangen im Deutschen Patent- und Markenamt am 14. Juli 2009;
- noch anzupassende Beschreibungsseiten 3 und 4, eingegangen im Deutschen Patent- und Markenamt am 22. April 2014.

Der in der mündlichen Verhandlung eingereichte Anspruch 1 hat folgenden Wortlaut:

Vorrichtung, die umfasst:

- einen Chip-Stapel mit einem ersten Chip (402) auf einem zweiten Chip (406), die über eine zwischen ihnen angeordnete Kopplungsstruktur (409) miteinander gekoppelt sind,
 - wobei der erste (402) und der zweite (406) Chip jeweils ein Substrat (403, 407) und mindestens eine erste, zweite und dritte Metallschicht

(M1, M2, M3) aufweisen, die in dieser Reihenfolge auf das jeweilige Substrat (403, 407) aufgebracht sind, so dass die erste Metallschicht (M1) die dem jeweiligen Substrat (403, 407) nächstliegende Metallschicht der aufgetragenen Metallschichten (M1 - M7) ist, gefolgt von der jeweiligen zweiten und dritten Metallschicht (M2, M3)

- wobei der erste (402) und der zweite (406) Chip mit ihren Metallschichten (M1 - M7) einander gegenüberliegend gestapelt sind,
 - wobei der zweite Chip (406) ein Speicherchip mit einer Vielzahl von Speicherbänken (405) ist, die in Speicherbankabschnitte (417) unterteilt sind,
 - wobei die Speicherbankabschnitte (417) in entlang einer Achse (X-Achse) und parallel zueinander verlaufenden Reihen angeordnet sind und diese Reihen durch parallel zu dieser Achse (X-Achse) verlaufende reihenförmig angeordnete Freiräume (413) senkrecht zu dieser Richtung voneinander beabstandet sind,
- eine Vielzahl von Through-Silicon-Vias (TSV, 411), die in Stapelrichtung durch das Substrat (407) des zweiten Chips (406) hindurchgehen, um Leistungsreferenzen an den ersten Chip (402) zu liefern,
- wobei die erste Metallschicht (M1) des zweiten Chips (406) Kontaktflächen für die Through-Silicon-Vias (TSV, 411) umfasst,
 - wobei die zweite Metallschicht (M2) des zweiten Chips (406) parallel zueinander in Reihen verlaufende Metallleiter umfasst, die Through-Silicon-Vias (TSV, 411) gleicher Spannungsfunktionalität so miteinander verbinden, dass VSS-Kontakte in einer Reihe miteinander verbunden sind und VCC-Kontakte in einer Reihe miteinander verbunden sind,
 - wobei die dritte Metallschicht (M3) des zweiten Chips (406) unterschiedliche Speicherbankabschnitte (417) miteinander verbindet,
 - wobei die Through-Silicon-Vias (TSV, 411) in den parallel zueinander verlaufenden Freiräumen (413) zwischen den Speicherbankabschnitten (417) angeordnet und auf jeder Seite der Reihen der

Speicherbankabschnitte (417) vorhanden sind, ohne mit ihnen zu überlappen.

Hinsichtlich der weiteren Unterlagen und Einzelheiten wird auf den Akteninhalt verwiesen.

II.

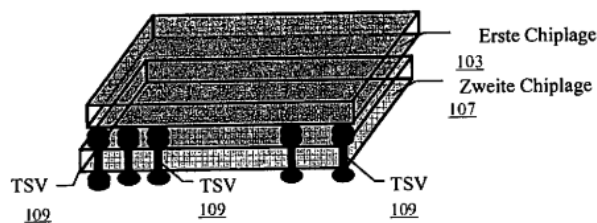
Die form- und fristgerecht erhobene Beschwerde der Anmelderin ist zulässig und hinsichtlich des in der mündlichen Verhandlung am 27. Oktober 2020 eingereichten Anspruchs 1 auch insoweit begründet, als der Beschluss der Prüfungsstelle für Klasse H01L aufgehoben und die Anmeldung zur weiteren Prüfung an die Prüfungsstelle für Klasse H01L zurückverwiesen wird. Denn der in der mündlichen Verhandlung eingereichte Anspruch 1 ist zulässig (§ 38 PatG), und die mit ihm beanspruchte Vorrichtung ist durch den bisher ermittelten Stand der Technik nicht patenthindernd getroffen, so dass sie diesem gegenüber patentfähig ist (§§ 1 bis 5 PatG). Jedoch hat zu den nunmehr die Patentfähigkeit begründenden Merkmalen noch keine Recherche stattgefunden, weshalb die Anmeldung nach § 79 Abs. 3 Satz 1 PatG zur weiteren Prüfung an die Prüfungsstelle für Klasse H01L des Deutschen Patent- und Markenamts zurückzuverweisen ist.

Als Fachmann ist hier ein Physiker oder Elektrotechnikingenieur mit Hochschulabschluss und Erfahrung im Bereich der Halbleitertechnologie gestapelter Halbleiterbauelemente zu definieren.

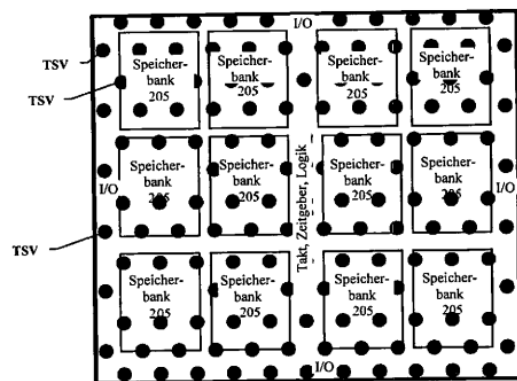
1. Die Anmeldung betrifft eine Vorrichtung mit einem Chip-Stapel.

Wie in den Figuren 1 und 2B der Anmeldung gezeigt, können zur Erhöhung der Integrationsdichte zwei oder mehr Halbleiterchips zu einem dreidimensionalen Schaltungspaket aufeinandergestapelt und miteinander gekoppelt werden, wobei in

den unteren Chip (107) sogenannte Through Silicon Vias (TSV, 109), d. h. Kontakte durch das Siliziumsubstrat, eingebracht sind, über die der obere Chip (103) mit Signal- und Versorgungsleitungen verbunden wird. Häufig ist der obere Chip (103) ein Prozessor und der untere Chip (107) ein dicht gepackter Speicher, der an seiner Unterseite Kontakthöcker zur Verbindung mit einem Schaltungspaketsubstrat aufweist, über welches das Schaltungspaket auf das Motherboard aufgebracht wird. Der Speicher ist in einzelnen Speicherbänken (205) organisiert und die TSVs (109) sind ausgehend von der Unterseite in den Speicherchip (107) eingebracht und enden an vorbestimmten Kontaktpads auf der Oberseite des Speicherchips (107), um beide Chips miteinander zu koppeln. Dabei sind die TSVs (109) über die gesamte Speicherfläche verteilt, und es kann vorkommen, dass sie, wie in Fig. 2B dargestellt, in nachteiliger Weise durch Speicherbankabschnitte (205) hindurchgehen.



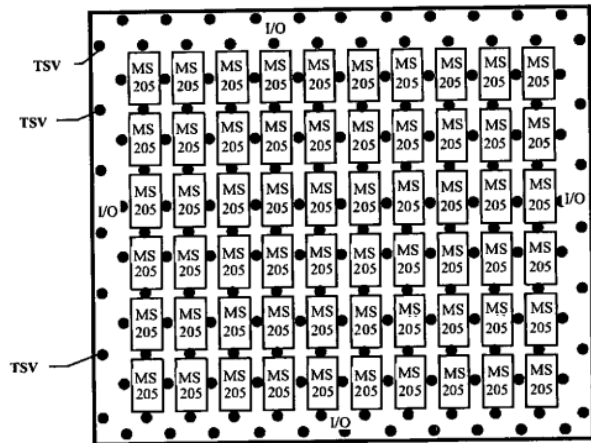
FIGUR 1
(Stand der Technik)



FIGUR 2B
(Stand der Technik)

Nach den weiteren Ausführungen in der Beschreibung ist deshalb als Verbesserung vorgeschlagen worden, die Größe der Speicherbänke so weit zu verkleinern, dass die TSVs entsprechend Fig. 3 in

Zwischenräumen der Speicherbänke angeordnet werden können. Jedoch beinhalten Weiterentwicklungen der Stapelchips häufig Änderungen im Designlayout eines oder mehrerer Chips, was mit geänderten Spezifikationen für die Anordnung der TSVs in den geänderten Chips



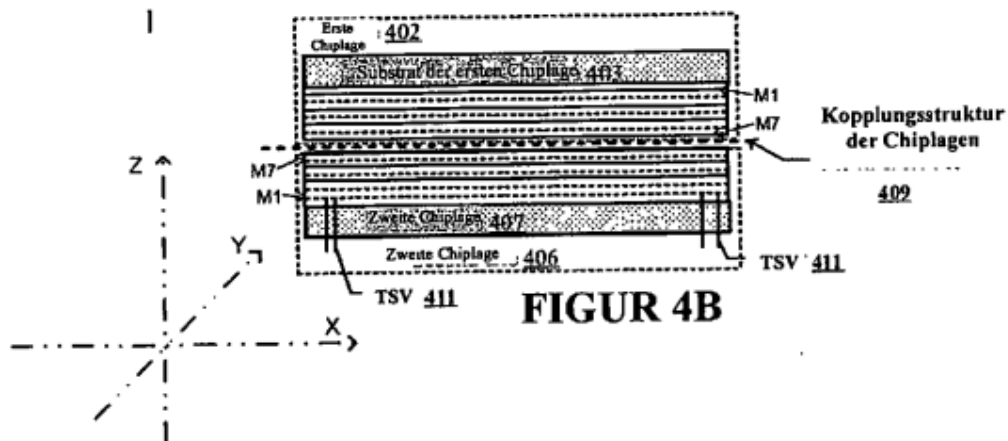
FIGUR 3

einhergeht und sich auch auf die anderen Chips auswirkt. Als Folge muss die Anordnung der Speicherbänke den geänderten TSVs angepasst werden, was aber problematisch ist, da die Speicherbänke sehr dicht gepackt sind und die Organisation der Speicherbänke empfindlich auf Änderungen des Layouts reagiert.

Vor diesem Hintergrund liegt der Anmeldung als objektives technisches Problem die Aufgabe zugrunde, eine Halbleitervorrichtung zur Verfügung zu stellen, die geänderten Schaltungsdesigns leicht angepasst werden kann.

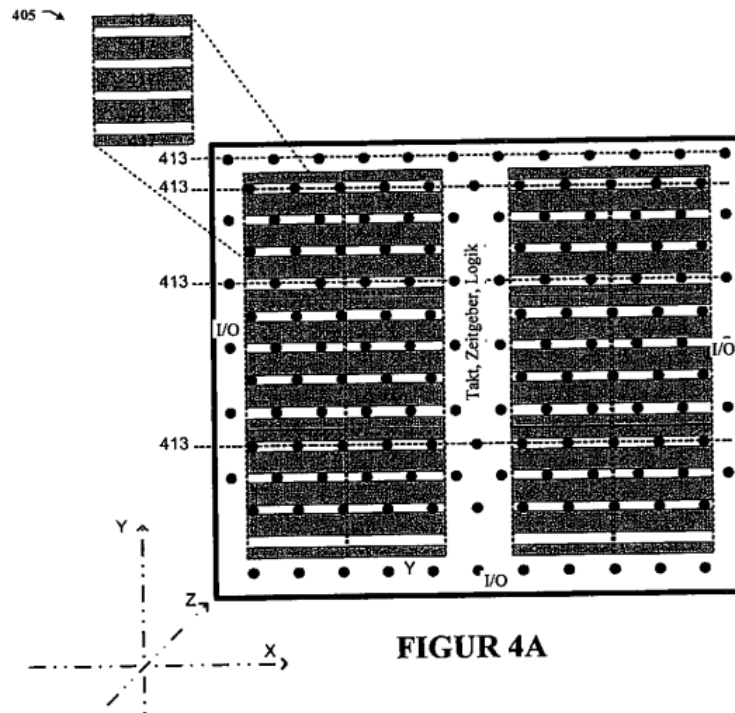
Gelöst wird diese Aufgabe durch die Vorrichtung nach Anspruch 1.

Diese wird in der Anmeldung anhand der nachfolgend wiedergegebenen Figuren 4A und 4B mit Beschreibungsseiten 3 und 4 erläutert, wobei Fig. 4B die einen Chip-Stapel umfassende Vorrichtung des Anspruchs 1 aus seitlicher Perspektive zeigt mit dem oberen ersten Chip (402) auf dem unteren Speicherchip (406) und der dazwischenliegenden, beide Chips miteinander koppelnden Kopplungsstruktur (409).



Beide Chips enthalten jeweils ein Substrat (403, 407) und mehrere übereinander angeordnete Metallisierungsschichten (M1 - M7), wobei beide Chips kopfüber gestapelt sind, so dass ihre Metallschichten innen und die Substrate außen liegen. Die Metalllinien verlaufen entweder in der Zeichenebene (durchgezogene Linien) oder senkrecht dazu (gestrichelte Linien), und die TSVs (411) gehen durch das Substrat (407) des zweiten Chips (406) und enden an den TSV-Kontaktpads, die in der ersten Metallschicht M1 ausgebildet sind. Die zweite Metallschicht (M2) des Speicherchips (406) umfasst parallel zueinander in Reihen verlaufende Metallleiter, die Through-Silicon-Vias (TSV, 411) gleicher Spannungsfunktionalität so miteinander verbinden, dass VSS-Kontakte in einer Reihe miteinander verbunden sind und VCC-Kontakte in einer Reihe miteinander verbunden sind, während die dritte Metallschicht (M3) des Speicherchips (406) unterschiedliche Speicherbankabschnitte (417) miteinander verbindet.

Figur 4A zeigt ein Layout des unteren Speicherchips (406) mit zwölf Speicherbänken (405) bzw. zwei Blöcken mit jeweils sechs Speicherbänken (405), die in Speicherbankabschnitte (417, schwarze Rechtecke in Fig. 4A) unterteilt sind.



FIGUR 4A

Die Speicherbankabschnitte (417) sind in entlang einer Achse (X-Achse) und parallel zueinander verlaufenden Reihen angeordnet, wobei diese Reihen durch parallel zu dieser Achse (X-Achse) verlaufende, reihenförmig angeordnete Freiräume (413, weiße Rechtecke in Fig. 4A) senkrecht zu dieser Richtung voneinander beabstandet sind, wohingegen die Through-Silicon-Vias (TSV, 411) in den Freiräumen (413) zwischen den Speicherbankabschnitten (417) angeordnet und auf jeder Seite der Reihen der Speicherbankabschnitte (417) vorhanden sind, ohne mit ihnen zu überlappen

2. Der in der Verhandlung überreichte Anspruch 1 ist zulässig (§ 38 PatG), da die darin beanspruchte Vorrichtung in den ursprünglichen Unterlagen offenbart ist.

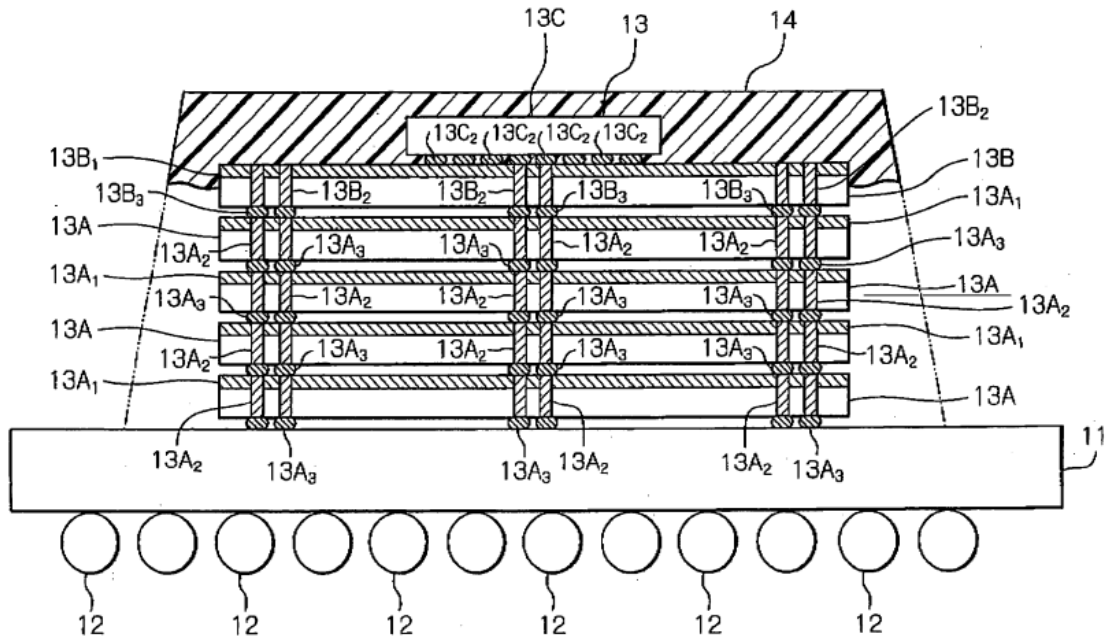
Der geltende Anspruch 1 geht zurück auf den ursprünglichen Anspruch 1, wobei der irreführende Begriff „Chiplage“ entsprechend der Offenbarung in der englischsprachigen Ursprungsanmeldung durch „Chip“ ersetzt wurde. Die Zusatzmerkmale sind in den Figuren 4A und 4B sowie der zugehörigen ursprünglichen Beschreibung auf Seite 3 bis Seite 4, Zeile 20 (bzw. Seite 2, Zeile 23 bis Seite 4, Zeile 2 der englischsprachigen Fassung) offenbart.

3. Die Lehre des Anspruchs 1 ist für den Fachmann ausführbar (§ 34 Abs. 4 PatG), da bereits sein Wortlaut mit den Zeichnungen ausreichend ist, um dem Fachmann eine nacharbeitbare Lehre anzugeben und zudem Ausführungsbeispiele im Zusammenhang mit den Figuren 4A und 4B die beanspruchte Vorrichtung näher beschreiben.

4. Die gewerblich anwendbare (§ 5 PatG) Vorrichtung nach Anspruchs 1 ist gegenüber dem ermittelten Stand der Technik neu (§ 3 PatG) und beruht diesem gegenüber auf einer erfinderischen Tätigkeit (§ 4 PatG) des Fachmanns, so dass er gegenüber diesem Stand der Technik patentfähig ist (§ 1 Abs. 1 PatG). Jedoch steht derzeit noch eine Recherche bezüglich der aus der Beschreibung neu aufgenommenen Merkmale hinsichtlich der Ausgestaltung der Metallschichten des Speicherchips aus, weshalb die Anmeldung an die dafür zuständige Behörde, das Deutsche Patent- und Markenamt, zurückzuverweisen ist.

4.1. Druckschrift D1 beschreibt in den Absätzen [0051] bis [0075] und den Figuren 2 bis 4 ein Multichipmodul mit einem Schaltungspaketsubstrat (11), das auf seiner Unterseite Lotkugeln (12) und auf seiner Oberseite einen Chipstapel aufweist, der vier aufeinander gestapelte Speicherchips (13A), bspw. auf einem Siliziumsubstrat gebildete 256 Mbit-Speicher, einen darauf befindlichen Verdrahtungschip (13B) als Kopplungsstruktur und einen Logikchip (13C) auf dem Verdrahtungschip (13B) umfasst. Die einzelnen Chips (13A, B, C) sind mit dem Schaltungspaketsubstrat (11) und untereinander über zwischenliegende Lotkugeln (13A₃, 13B₃, 13C₂) und deckungsgleiche Durchgangskontakte bzw. TSVs (13A₂, 13B₂) in den Chips elektrisch miteinander verbunden, vgl. die nachfolgende Fig. 2.

Fig. 2



Zudem ist auf den Speicherchips (13A) und dem Verdrahtungschip (13B) jeweils eine Verdrahtungsmusterschicht (13A₁, 13B₁) aufgebracht, über die die Halbleiterbauelemente der jeweiligen Speicherchips (13A) an die entsprechenden Durchgangskontakte (13A₂) angeschlossen sind, vgl. Abs. [0064] bis [0067].

Die Figuren 3, 4A und 4B zeigen einen der Speicherchips (13A) und den Verdrahtungschip (13B) von oben sowie den als Flip-Chip kopfüber aufgebrauchten Logikchip (13C) von unten.

Fig. 3

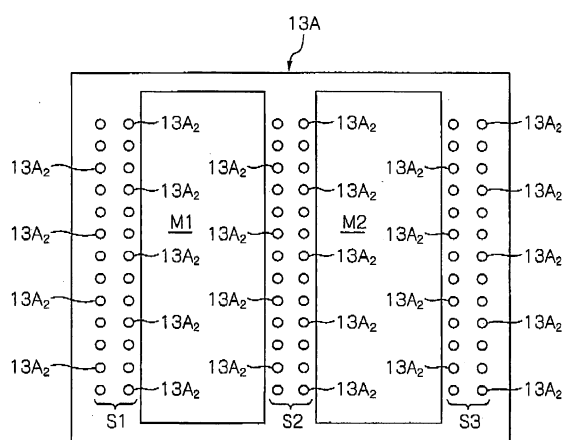


Fig. 4A

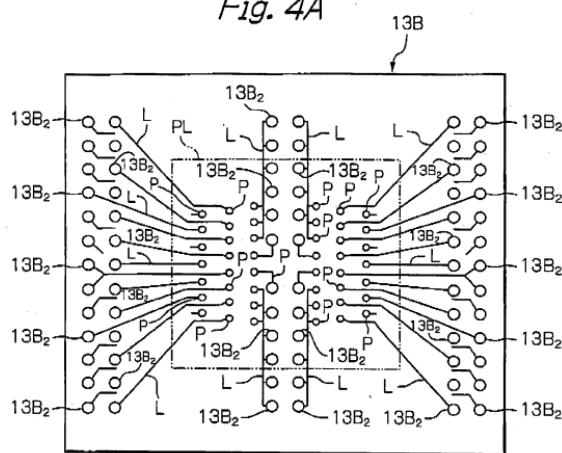
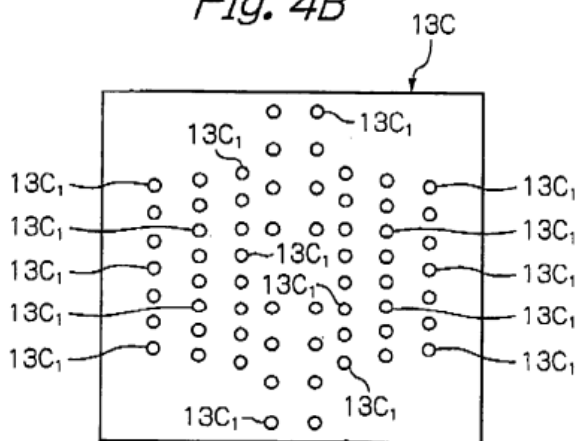


Fig. 4B



Entsprechend Fig.3 sind die Speicherelemente M1 und M2 nebeneinander angeordnet, und links und rechts von ihnen sowie dazwischen befinden sich die in Reihen (S1, S2, S3) angeordneten Durchgangskontakte bzw. TSVs (13A₂), wobei nach Abs. [0066] die Speicherhableiterbauelemente zumindest teilweise über nicht dargestellte Leitungen in der Verdrahtungsmusterschicht (13A₁) mit den TSVs (13A₂) verbunden sind. In ähnlicher Weise sind gemäß Fig. 4A auch die TSVs (13B₂) des Verdrahtungschips (13B) über Leitungen (L) sowohl untereinander als auch mit Kontaktpads (P) des Verdrahtungschips (13B) verbunden, über welche die Kontaktpads (13C₁) des Logikchips (13C) mit Hilfe der Lotkugeln (13C₂) elektrisch an die Logikchips angeschlossen sind. Wie zudem in Absatz [0077] ausgeführt wird,

können die Speicherchips (13A) auch als Flip-Chip kopfüber aufeinandergestapelt werden.

Insbesondere offenbart Druckschrift D1 in obigen Fundstellen mit den Worten des Anspruchs 1 eine

Vorrichtung, die umfasst:

- einen Chip-Stapel (*COC (chip-on-chip) type multi-chip semiconductor package*) mit einem ersten Chip (*LSI logic die 13C*) auf einem zweiten Chip (*LSI memory dies 13A*), die über eine zwischen ihnen angeordnete Kopplungsstruktur (*wiring die 13B*) miteinander gekoppelt sind (*vgl. Fig. 2*),
 - wobei der erste (*13C*) und der zweite (*13A*) Chip jeweils ein Substrat (*monocrystalline silicon substrate / vgl. Abs. [0055]*) und mindestens eine erste, ~~zweite und dritte~~ Metallschicht (*13A₁, 13C₁ / vgl. Fig. 5C u. Abs. [0063]*) aufweisen, ~~die in dieser Reihenfolge auf das jeweilige Substrat (403, 407) aufgebracht sind, so dass die erste Metallschicht (M1) die dem jeweiligen Substrat (403, 407) nächstliegende Metallschicht der aufgetragenen Metallschichten (M1 – M7) ist, gefolgt von der jeweiligen zweiten und dritten Metallschicht (M2, M3)~~
 - wobei der erste (*13C*) und der zweite (*13A*) Chip mit ihren Metallschichten (*13A₁, 13C₁*) einander gegenüberliegend gestapelt sind,
 - wobei der zweite Chip (*13A*) ein Speicherchip (*LSI memory dies 13A*) mit einer Vielzahl von Speicherbänken ist, die in Speicherbankabschnitte (*memory core M1, M2*) unterteilt sind (*vgl. Fig. 3 und Abs. [0066]*),
 - wobei die Speicherbankabschnitte (*M1, M2*) in entlang einer Achse und parallel zueinander verlaufenden Reihen angeordnet sind und diese Reihen durch parallel zu dieser Achse verlaufende reihenförmig angeordnete Freiräume senkrecht zu dieser Richtung voneinander beabstandet sind (*vgl. Fig. 3 und Abs. [0066]*),

- eine Vielzahl von Through-Silicon-Vias (*through electrodes 13A₂*), die in Stapelrichtung durch das Substrat des zweiten Chips (*13A*) hindurchgehen, um Leistungsreferenzen an den ersten Chip (*13C*) zu liefern (*vgl. Abs. [0053]*),
 - wobei die erste Metallschicht (*13A₁*) des zweiten Chips (*13A*) Kontaktflächen für die Through-Silicon-Vias (*13A₂*) umfasst (*vgl. Abs. [0056]*),
 - ~~wobei die zweite Metallschicht (*M2*) des zweiten Chips (*406*) parallel zueinander in Reihen verlaufende Metallleiter umfasst, die Through-Silicon-Vias (TSV, *411*) gleicher Spannungsfunktionalität so miteinander verbinden, dass VSS-Kontakte in einer Reihe miteinander verbunden sind und VCC-Kontakte in einer Reihe miteinander verbunden sind,~~
 - wobei die dritte Metallschicht (*M3*) des zweiten Chips (*406*) unterschiedliche Speicherbankabschnitte (*417*) miteinander verbindet,
 - wobei die Through-Silicon-Vias (*13A₂*) in den parallel zueinander verlaufenden Freiräumen zwischen den Speicherbankabschnitten (*M1, M2*) angeordnet und auf jeder Seite der Reihen der Speicherbankabschnitte (*M1, M2*) vorhanden sind, ohne mit ihnen zu überlappen (*vgl. 13A₂, S1, S2, S3 in Fig. 3*).

Somit unterscheidet sich die Vorrichtung des Anspruchs 1 dadurch von der in D1 beschriebenen Vorrichtung,

- i. dass der erste Chip und der Speicherchip jeweils nicht nur eine, sondern mindestens drei übereinanderliegende Metallschichten aufweisen,
- ii. dass die zweite Metallschicht des Speicherchips parallel zueinander in Reihen verlaufende Metallleiter umfasst, die Through-Silicon-Vias gleicher Spannungsfunktionalität so miteinander verbinden, dass VSS-Kontakte in einer Reihe miteinander verbunden sind und VCC-Kontakte in einer Reihe miteinander verbunden sind,
- iii. und dass die dritte Metallschicht des Speicherchips unterschiedliche Speicherbankabschnitte miteinander verbindet.

Für eine derartige Ausgestaltung der Metallschichten findet sich weder in Druckschrift D1 noch im übrigen bisher ermittelten Stand der Technik ein Hinweis.

So ist aus Fig. 9 von Druckschrift D2 zwar eine Vorrichtung mit mehreren aufeinander gestapelten DRAM-Chips (72) bekannt, die jeweils Leiterbahnen (73) und über Schalter (75) mit den Leiterbahnen (73) verbindbare Durchkontaktierungen (80) aufweisen, doch kann Druckschrift D2 dem Fachmann keine Anregung geben, die Metallschichten der Speicherchips entsprechend obigen Merkmalen auszubilden.

Auch die Druckschriften D3 und D7, in denen die Ausbildung eines Chip-Stapels mit Durchkontaktierungen beschrieben ist, und die Druckschriften D4 und D5, die sich mit CAD-Verfahren zur Anordnung von Leiterbahnen und Durchkontaktierungen in Halbleiterbauelementen befassen, gehen hinsichtlich der den Anspruch 1 betreffenden Merkmale nicht über den Offenbarungsgehalt der Druckschriften D1 und D2 hinaus.

Die von der Prüfungsstelle im Ladungszusatz pauschal angeführten Druckschriften D6, D8 und D9 sind nachveröffentlicht.

Damit ist die Vorrichtung des Anspruchs 1 gegenüber dem im Verfahren befindlichen Stand der Technik neu (§ 3 PatG) und beruht diesem gegenüber auch auf einer erfinderischen Tätigkeit des Fachmanns (§ 4 PatG).

4.2. Dennoch war kein Patent zu erteilen, sondern die Anmeldung nach § 79 Abs. 3 Satz 1 Nrn. 1 und 3 PatG an das Deutsche Patent- und Markenamt zurückzuverweisen. Es steht im Ermessen des Senats, ob eine Zurückverweisung an das Deutsche Patent- und Markenamt erfolgt. Sie sollte aber regelmäßig erfolgen, wenn zur Klärung eines Sachverhalts noch weitere, umfangreichere Recherchen notwendig sind, denn das Bundespatentgericht ist vorrangig für die Rechtskontrolle und nicht für die Ausführung von dem Patentamt als

Verwaltungsbehörde kraft Gesetzes übertragenen exekutiven Aufgaben zuständig, wie es die Recherche ist. Zwar führt die Zurückverweisung zu einem Zeitverzug bis zur endgültigen Entscheidung über eine Anmeldung, doch ist, wenn zur Klärung eines Sachverhaltes dem entscheidenden Senat eine umfangreichere Recherche notwendig erscheint, die Anmeldung auch dann an das Deutsche Patent- und Markenamt zurückzuverweisen, wenn es dem Senat möglich wäre, diese Recherche selbst durchzuführen. Denn auf diese Weise wird für den Anmelder der Verlust einer Instanz vermieden (vgl. *Benkard/Schäfers/Schwarz, Patentgesetz, 11. Auflage, § 79 Rdn. 41 und 50 und Schulte/Püschel, Patentgesetz, 10. Auflage, § 79 Rdn. 16 und 26*).

Im vorliegenden Fall ist der Anspruch 1 durch Aufnahme von die Metallschicht M2 des Speicherchips präzisierende Merkmale aus der Beschreibung beschränkt worden, zu denen noch keine Recherche durchgeführt wurde, da sie zuvor nicht Gegenstand der Anspruchssätze waren. Diese nun notwendig gewordene Recherche ist deshalb von der dafür vorgesehenen Behörde, dem Deutschen Patent- und Markenamt, durchzuführen.

5. Auf die Ausformulierung von Unteransprüchen und die unbedingt notwendige Anpassung der Beschreibung konnte zunächst verzichtet werden, da diese zweckmäßigerweise erst bei endgültiger Kenntnis des Rechercheergebnisses im Prüfungsverfahren vor der Prüfungsstelle vorzunehmen ist.

6. Bei dieser Sachlage war der angefochtene Beschluss der Prüfungsstelle für Klasse H01L vom 9. Mai 2019 aufzuheben und die Anmeldung zur weiteren Prüfung an die Prüfungsstelle für Klasse H01L des Deutschen Patent- und Markenamts zurückzuverweisen (vgl. *Schulte/Püschel, Patentgesetz, 10. Auflage, § 79 Rdn. 26*).

III.

Rechtsmittelbelehrung

Gegen diesen Beschluss steht der Anmelderin das Rechtsmittel der **Rechtsbeschwerde** zu. Da der Senat die Rechtsbeschwerde nicht zugelassen hat, ist sie nur statthaft, wenn einer der nachfolgenden Verfahrensmängel gerügt wird, nämlich

1. dass das beschließende Gericht nicht vorschriftsmäßig besetzt war,
2. dass bei dem Beschluss ein Richter mitgewirkt hat, der von der Ausübung des Richteramtes kraft Gesetzes ausgeschlossen oder wegen Besorgnis der Befangenheit mit Erfolg abgelehnt war,
3. dass einem Beteiligten das rechtliche Gehör versagt war,
4. dass ein Beteiligter im Verfahren nicht nach Vorschrift des Gesetzes vertreten war, sofern er nicht der Führung des Verfahrens ausdrücklich oder stillschweigend zugestimmt hat,
5. dass der Beschluss aufgrund einer mündlichen Verhandlung ergangen ist, bei der die Vorschriften über die Öffentlichkeit des Verfahrens verletzt worden sind, oder
6. dass der Beschluss nicht mit Gründen versehen ist.

Die Rechtsbeschwerde ist **innerhalb eines Monats** nach Zustellung des Beschlusses

schriftlich durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten beim Bundesgerichtshof, Herrenstr. 45 a, 76133 Karlsruhe, einzureichen oder

durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten in elektronischer Form. Zur Entgegennahme elektronischer Dokumente ist die elektronische Poststelle des Bundesgerichtshofs bestimmt. Die elektronische Poststelle des Bundesgerichtshofs ist über die auf der Internetseite **www.bundesgerichtshof.de/erv.html** bezeichneten Kommunikationswege erreichbar. Die Einreichung erfolgt durch die Übertragung des elektronischen Dokuments in die elektronische Poststelle. Elektronische Dokumente sind mit einer

qualifizierten elektronischen Signatur oder mit einer fortgeschrittenen elektronischen Signatur zu versehen.

Dr. Strößner

Dr. Friedrich

Dr. Himmelmann

Dr. Kapels

prä