



BUNDESPATENTGERICHT

IM NAMEN DES VOLKES

URTEIL

Verkündet am
6. August 2020

2 Ni 23/20 (EP)

(Aktenzeichen)

...

In der Patentnichtigkeitssache

...

betreffend das europäische Patent 1 199 750
(DE 601 49 714)

hat der 2. Senat (Nichtigkeitssenat) des Bundespatentgerichts auf Grund der mündlichen Verhandlung vom 6. August 2020 unter Mitwirkung der Richterin Hartlieb als Vorsitzende sowie der Richter Dipl.-Phys. Dr. rer. nat. Friedrich, Dipl.-Phys. Dr. rer. nat. Zebisch, Dr. Himmelmann und Dr.-Ing. Kapels für Recht erkannt:

I. Das europäische Patent 1 199 750 wird mit Wirkung für das Hoheitsgebiet der Bundesrepublik Deutschland dadurch teilweise für nichtig erklärt, dass seine Ansprüche folgende Fassung erhalten:

1. A post passivation interconnect structure, comprising:

one or more internal circuits comprising one or more active devices formed in and on a semiconductor substrate;

a fine line metallization system, formed over said semiconductor substrate in one or more thin layers of dielectric;

a passivation layer over said fine line metallization system; and

a thick, wide metallization system formed above said passivation layer, in one or more thick layers of dielectric,

wherein said thick layers of dielectric are thicker than said thin layers of dielectric, wherein said thick, wide metallization system is used as a distribution network for a clock or signal voltage, and wherein said thick, wide metallization system is connected to said one or more internal circuits, wherein the one or more thick layers of dielectric are thick polymer dielectric layers, a part of the top wide and thick metal line of the thick, wide metallization system forms interconnect pads (26, 28) on a top layer of the thick layers of dielectric; and

an inductor created on the surface of said passivation layer.

2. The interconnect structure of Claim 1 wherein said distribution network is connected to said one or more internal circuits by vias, which are formed through said one or more thick layers of dielectric, through said passivation layer, and through said one or more thin layers of dielectric.
3. The interconnect structure of Claim 2 wherein said distribution network acts as a global distribution for said clock or signal voltages, and said vias are further connected to local clock or signal distribution networks, respectively, formed in said fine line metallization system.
4. The interconnect structure of Claim 1 wherein metal in said thick, wide metallization system is greater than about 1 micrometer in thickness.
5. The interconnect structure of Claim 1 wherein said one or more thick layers of dielectric are each greater than about 2 micrometers in thickness.
6. A method of forming a post passivation interconnection, comprising:
forming one or more internal circuits comprising one or more active devices in and on a semiconductor substrate;
forming a fine line metallization system, over said semiconductor substrate in one or more thin layers of dielectric;

depositing a passivation layer over said fine line metallization system; and forming a thick, wide metallization system above said passivation layer, in one or more thick layers of dielectric,

wherein said thick layers of dielectric are thicker than said thin layers of dielectric, wherein said thick, wide metalization system is used as a distribution network for a clock or signal voltage, and wherein said thick, wide metallization system is connected to said one or more internal circuits; and wherein the one or more thick layers of dielectric are thick polymer dielectric layers, a part of the top wide and thick metal line of the thick, wide metallization system forms interconnect pads (26, 28) on a top layer of the thick layers of dielectric; and

creating an inductor on the surface of said passivation layer.

7. The method of Claim 6 wherein said distribution network is connected to said one or more internal circuits by vias, which are formed through said one or more thick layers of dielectric, through said passivation layer, and through said one or more thin layers of dielectric.
8. The method of Claim 7 wherein said distribution network acts as a global distribution for said clock or signal voltages, and said vias are further connected to local clock or signal distribution networks, respectively, formed in said fine line metallization system.
9. The method of Claim 6 wherein metal in said thick, wide metallization system is formed to a thickness of greater than about 1 micrometer.
10. The method of Claim 6 wherein said one or more thick layers of dielectric are each formed to a thickness greater than about 2 micrometers.

II. Im Übrigen wird die Klage abgewiesen.

III. Die Kosten des Rechtsstreits tragen die Klägerin zu 1) und die Klägerin zu 2) jeweils zu 1/4, die Beklagte zu 1/2.

IV. Das Urteil ist gegen Sicherheitsleistung in Höhe von 120 % des jeweils zu vollstreckenden Betrages vorläufig vollstreckbar.

Tatbestand

Die Beklagte ist Inhaberin des am 27. August 2001 in der Verfahrenssprache Englisch angemeldeten, die Priorität US 691497 vom 18. Oktober 2000 beanspruchenden und am 30. Dezember 2015 unter dem Titel „Post passivation interconnection scheme on top of IC chip“ mit der Patentschrift EP 1 199 750 B1 veröffentlichten europäischen Patents 1 199 750 (Streitpatent). Das Streitpatent wird vom Deutschen Patent- und Markenamt unter der Nummer 601 49 714.7 geführt und umfasst 12 Ansprüche, von denen die Ansprüche 2 bis 5 direkt oder indirekt auf den Sachanspruch 1 und die Ansprüche 7 bis 12 direkt oder indirekt auf den Verfahrensanspruch 6 rückbezogen sind.

Die Klägerinnen begehren die Nichtigkeitsklärung des deutschen Teils des Streitpatents in vollem Umfang. Die Beklagte verteidigt das Streitpatent hinsichtlich der angegriffenen Ansprüche in vollem Umfang und hilfsweise beschränkt mit 6 Hilfsanträgen in der Reihenfolge Hilfsantrag 1, Hilfsantrag 4, Hilfsantrag 2, Hilfsantrag 3, Hilfsantrag 5, Hilfsantrag 6. Die Beklagte hat in der mündlichen Verhandlung am 6. August 2020 einen neuen geänderten Hilfsantrag 3 eingereicht, der als Hilfsantrag 3 neu bezeichnet ist und an die Stelle des ursprünglichen Hilfsantrags 3 vom 22. Juni 2020 tritt. Dieser in der mündlichen Verhandlung am 6. August 2020 überreichte neue Hilfsantrag 3 hat den im Tenor genannten Wortlaut.

Der erteilte Patentanspruch 1 lautet in der englischen Fassung gemäß EP 1 199 750 B1 (mit eingefügter Merkmalsgliederung der Klägerinnen entsprechend der Anlage K5):

1. A post passivation interconnect structure, comprising:
 - 1.1 one or more internal circuits comprising one or more active devices formed in and on a semiconductor substrate;
 - 1.2 a fine line metallization system, formed over said semiconductor substrate in one or more thin layers of dielectric;
 - 1.3 a passivation layer over said fine line metallization system; and
 - 1.4 a thick, wide metallization system formed above said passivation layer, in one or more thick layers of dielectric,
 - 1.4.1 wherein said thick layers of dielectric are thicker than said thin layers of dielectric,
 - 1.4.2 wherein said thick, wide metallization system is used as a distribution network for a clock or signal voltage, and
 - 1.4.3 wherein said thick, wide metallization system is connected to said one or more internal circuits,
 - 1.4.4 wherein the one or more thick layers of dielectric are thick polymer dielectric layers,
 - 1.4.5 a part of the top wide and thick metal line of the thick, wide metallization system forms interconnect pads (26, 28) on a top layer of the thick layers of dielectric.

Der erteilte Patentanspruch 6 lautet in der englischen Fassung gemäß EP 1 199 750 B1 (mit eingefügter Merkmalsgliederung der Klägerinnen entsprechend der Anlage K5):

6. A method of forming a post passivation interconnection, comprising:
 - 6.1 forming one or more internal circuits comprising one or more active devices in and on a semiconductor substrate;
 - 6.2 forming a fine line metallization system, over said semiconductor substrate in one or more thin layers of dielectric;
 - 6.3 depositing a passivation layer over said fine line metallization system; and

- 6.4 forming a thick, wide metallization system above said passivation layer, in one or more thick layers of dielectric,
 - 6.4.1 wherein said thick layers of dielectric are thicker than said thin layers of dielectric,
 - 6.4.2 wherein said thick, wide metallization system is used as a distribution network for an electrical stimulus, and
 - 6.4.3 wherein said thick, wide metallization system is connected to said one or more internal circuits; and
 - 6.4.4 wherein the one or more thick layers of dielectric are thick polymer dielectric layers,
 - 6.4.5 a part of the top wide and thick metal line of the thick, wide metallization system forms interconnect pads (26, 28) on a top layer of the thick layers of dielectric.

Patentanspruch 1 des Hilfsantrags 1 ist mit dem erteilten Patentanspruch 1 des Hauptantrags identisch.

Patentanspruch 6 des Hilfsantrags 1 ersetzt in Merkmal 6.4.2 den Begriff „an electrical stimulus“ durch den Begriff „a clock or signal voltage“ und ist im Übrigen mit dem erteilten Patentanspruch 6 des Hauptantrags identisch.

Patentanspruch 1 des Hilfsantrags 4 lautet:

1. A post passivation interconnect structure, comprising:

one or more internal circuits comprising one or more active devices formed in and on a semiconductor substrate;

a fine line metallization system, formed over said semiconductor substrate in one or more thin layers of dielectric;

a passivation layer over said fine line metallization system; and

a thick, wide metallization system formed above said passivation layer, in one or more thick layers of dielectric,

wherein said thick layers of dielectric are thicker than said thin layers of dielectric, wherein said thick, wide metallization system is used as a distribution network for a clock or signal voltage, and wherein said thick, wide metallization system is connected to said one or more internal circuits, wherein the one or more thick layers of dielectric are thick polymer dielectric layers, a part of the top wide and thick metal line of the thick, wide metallization system forms interconnect pads (26, 28) on a top layer of the thick layers of dielectric, and wherein said interconnect pads are used for distribution of said clock or signal voltage.

Patentanspruch 6 des Hilfsantrags 4 lautet:

6. A method of forming a post passivation interconnection, comprising:

forming one or more internal circuits comprising one or more active devices in and on a semiconductor substrate;

forming a fine line metallization system, over said semiconductor substrate in one or more thin layers of dielectric;

depositing a passivation layer over said fine line metallization system; and

forming a thick, wide metallization system above said passivation layer, in one or more thick layers of dielectric,

wherein said thick layers of dielectric are thicker than said thin layers of dielectric, wherein said thick, wide metalization system is used as a distribution network for a clock or signal voltage, and wherein said thick, wide metallization system is connected to said one or more internal circuits; and wherein the one or more thick layers of dielectric are thick polymer dielectric layers, a part of the top wide and thick metal line of the thick, wide metallization system forms interconnect pads (26, 28) on a top layer of the thick layers of dielectric, and

wherein said interconnect pads are used for distribution of said clock or signal voltage.

Patentanspruch 1 des Hilfsantrags 2 lautet:

1. A post passivation interconnect structure, comprising:

one or more internal circuits comprising one or more active devices formed in and on a semiconductor substrate;

a fine line metallization system, formed over said semiconductor substrate in one or more thin layers of dielectric;

a passivation layer over said fine line metallization system; and

a thick, wide metallization system formed above said passivation layer, in one or more thick layers of dielectric,

wherein said thick layers of dielectric are thicker than said thin layers of dielectric, wherein said thick, wide metallization system is used as a distribution network for a clock or signal voltage, and wherein said thick, wide metallization system is connected to said one or more internal circuits, wherein the one or more thick layers of dielectric are thick polymer dielectric layers, a part of the top wide and thick metal line of the thick, wide metallization system forms interconnect pads (26, 28) on a top layer of the thick layers of dielectric; and
an inductor above said passivation layer.

Patentanspruch 6 des Hilfsantrags 2 lautet:

6. A method of forming a post passivation interconnection, comprising:

forming one or more internal circuits comprising one or more active devices in and on a semiconductor substrate;

forming a fine line metallization system, over said semiconductor substrate in one or more thin layers of dielectric;

depositing a passivation layer over said fine line metallization system; and forming a thick, wide metallization system above said passivation layer, in one or more thick layers of dielectric, wherein said thick layers of dielectric are thicker than said thin layers of dielectric, wherein said thick, wide metalization system is used as a distribution network for a clock or signal voltage, and wherein said thick, wide metallization system is connected to said one or more internal circuits; and wherein the one or more thick layers of dielectric are thick polymer dielectric layers, a part of the top wide and thick metal line of the thick, wide metallization system forms interconnect pads (26, 28) on a top layer of the thick layers of dielectric; and creating an inductor above said passivation layer.

Die Klägerinnen stützen ihre Klage auf den Nichtigkeitsgrund der mangelnden Patentfähigkeit wegen fehlender Neuheit und auf den Nichtigkeitsgrund der mangelnden Patentfähigkeit wegen fehlender erfinderischer Tätigkeit.

Zur Stützung ihres Vorbringens haben die Klägerinnen die folgenden Dokumente genannt:

- K1 EP 1 199 750 B1 (Streitpatent),
- K1a farbige Hinterlegung von Figur 6 des Streitpatents,
- K2 Registerauszug vom 20. Februar 2018 zum Aktenzeichen 601 49 714.7, unter dem das DPMA das Streitpatent führt,
- K3 Prioritätsunterlagen des Streitpatents (US-Anmeldenummer 09/691,497),
- K4 EP 1 199 750 A2 (Offenlegungsschrift des Streitpatents),
- K5 Merkmalsgliederung der Ansprüche 1, 2, 4, 5 und 6,
- K6 JP2000-003960 A mit Abstract,
- K6a englische Übersetzung der K6,
- K6b farbige Hinterlegung von Figur 2 der K6
- K7 JP 08-031820 A mit Abstract,
- K7a englische Übersetzung der K7,

- K7b farbige Hinterlegung von Figur 1 der K7,
K8 EP 0 066 069 A2,
K8a farbige Hinterlegung von Figur 6 der K8 und modifizierte Version der Figur,
K9 US 5 386 623 A,
K9a farbige Hinterlegung der Figuren 1 und 13 der K9,
K10 The International Technology Roadmap for Semiconductors, 1999, Seiten i bis ii und 163 bis 186,
K11 Tapan Gupta, Copper Interconnect Technology, Springer Dordrecht Heidelberg London New York, Springer Science+Business Media, LLC 2009, ISBN 978-1-4419-0075-3, e-ISBN 978-1-4419-0076-0, Seiten vii bis xvii und 111 bis 114,
K12 John Rogers, Liang Tan, Tom Smy, Niall Tait, Garry Tarr: A high Q on-chip Cu inductor post process for Si integrated circuits; In: Proceedings of the IEEE 1999 International Interconnect Technology Conference IITC 1999, Seiten 239 bis 241,
K13 US 5 478 773 A,
K14 US 5 747 870 A,
K15 Jun-Bo Yoon, Chul-Hi Han, Euisik Yoon, Choong-Ki Kim: High-performance three-dimensional on-chip inductors fabricated by novel micromachining technology for RF MMIC; In: IEEE MTT-S International Microwave Symposium Digest Vol. 4, 1999, Seiten 1523 bis 1526.

Die Klägerinnen sind der Auffassung, die Gegenstände des Hauptantrags und der Hilfsanträge 1 bis 6 seien nicht patentfähig und die Hilfsanträge 2 bis 6 wegen unzulässiger Erweiterung unzulässig.

Insbesondere sind die Klägerinnen der Meinung:

- dass die Postpassivierungsstrukturen der Ansprüche 1, 2, 4 und 5 sowie das Verfahren nach Anspruch 6 jeweils nicht neu seien bezüglich jeder der Druckschriften K6, K7, K8 und K9,

- dass die Postpassivierungsstrukturen der Ansprüche 1, 2, 4 und 5 nicht auf einer erfinderischen Tätigkeit gegenüber Druckschrift K8 beruhen,
- dass die Postpassivierungsstruktur des Anspruchs 1 nicht auf einer erfinderischen Tätigkeit gegenüber Druckschrift K10 beruhe,
- dass die Postpassivierungsstrukturen der abhängigen Ansprüche 4 und 5 nicht auf einer erfinderischen Tätigkeit gegenüber Druckschrift K9 beruhen,
- dass die Postpassivierungsstruktur des Anspruchs 3 und die Verfahren der abhängigen Ansprüche 7 bis 12 entweder nicht neu gegenüber den Druckschriften K6 bis K9 seien oder diesbezüglich auf keiner erfinderischen Tätigkeit beruhen.

Die Klägerinnen beantragen,

das europäische Patent 1 199 750 mit Wirkung für das Hoheitsgebiet der Bundesrepublik Deutschland für nichtig zu erklären.

Die Beklagte beantragt,

die Klage abzuweisen,

hilfsweise das europäische Patent dadurch teilweise für nichtig zu erklären, dass seine Patentansprüche die Fassung eines der Hilfsanträge 1 bis 6, vom 22. Juni 2020, in der Reihenfolge 1, 4, 2, 3, 5, 6 erhalten.

Sie tritt der Argumentation der Klägerinnen in allen wesentlichen Punkten entgegen und vertritt die Auffassung, dass die Postpassivierungsstrukturen und Verfahren der erteilten Ansprüche 1 bis 12 hinsichtlich der vorgelegten Druckschriften neu seien und auf einer erfinderischen Tätigkeit beruhen.

Zum Hauptantrag hat die Beklagte ausgeführt,

- dass K7 nicht offenbare, das Kupfer-Metallisierungssystem über der Passivierungsschicht dicker auszubilden als das Aluminium-Metallisierungssystem unter der Passivierungsschicht und dass aus K7 auch keine Leitungskontaktstellen entsprechend Merkmal 1.4.5 des erteilten Anspruchs 1 bekannt seien,

- dass K6 über der Passivierungsschicht weder ein dickes Metallisierungssystem noch dicke Dielektrikumschichten offenbare und dass dies ausgehend von K6 dem Fachmann auch nicht nahegelegt sei,
- dass K8 kein Feinleiter-Metallisierungssystem, keine dünnen Dielektrikumschichten, kein dickes Metallisierungssystem als Verteilungsnetzwerk für eine Takt- oder Signalspannung und keine Leitungskontaktstellen offenbare,
- dass K9 kein Feinleiter-Metallisierungssystem, keine dicke und weite Metallisierung in einer oder mehreren dicken Dielektrikumschichten und keine Leitungskontaktstellen offenbare.

Das Streitpatent sei jedenfalls in der Fassung einer der Hilfsanträge 1 bis 6 patentfähig.

Die Beklagte erklärt, sie verstehe die Ansprüche nach Hauptantrag und Hilfsanträgen jeweils als geschlossene Anspruchssätze, die sie jeweils in ihrer Gesamtheit beanspruche.

Wegen der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

Entscheidungsgründe

Die Klage, mit der der Nichtigkeitsgrund der fehlenden Patentfähigkeit nach Artikel II § 6 Abs. 1 Nr. 1 IntPatÜG, Artikel 138 Abs. 1 lit. a) EPÜ i. V. m. Artikel 54 und 56 EPÜ, geltend gemacht wird, ist zulässig.

Sie ist insofern begründet, als das Streitpatent für nichtig zu erklären ist, soweit es über die von der Beklagten mit Hilfsantrag 3neu beschränkt verteidigte Fassung hinausgeht, denn die Postpassivierungsverbindungsstrukturen des erteilten

Anspruchs 1 nach Hauptantrag und der Ansprüche 1 der Hilfsanträge 1, 4 und 2 sind hinsichtlich der Druckschriften K7 und K12 nicht patentfähig.

Die weitergehende Klage ist hingegen unbegründet, denn in der Fassung nach Hilfsantrag 3neu hat das Patent Bestand.

I.

1. Das Streitpatent betrifft die Bereitstellung integrierter Halbleiterschaltkreise mit leitenden Verbindungsstrukturen, die oberhalb einer Passivierungsschicht eines Halbleiter-Chips angeordnet sind.

Der zunehmende Fortschritt in der Halbleitertechnologie ermöglicht es, Halbleiterschaltkreise trotz gesteigerten Funktionsumfangs zu verkleinern, was sowohl deren Herstellungskosten reduziert als auch – zumindest in manchen Aspekten – die Leistungsfähigkeit der Schaltkreise steigert. Andererseits kann sich diese Miniaturisierung auch negativ auf die Leistungsfähigkeit der Schaltkreise auswirken, da eine Verkleinerung der Verbindungsstrukturen und deren gegenseitigen Abstands eine Erhöhung des elektrischen Widerstands und der parasitären Kapazität zur Folge hat, was insbesondere bei langen Leitern sowie hohen Strömen und Frequenzen nachteilig ist.

Als Lösung bietet es sich an, für die Verbindungen innerhalb des Schaltkreises Metalle mit niedrigem Widerstand, insbesondere Kupfer, zu verwenden und als Dielektrikum zwischen den Verbindungen Isolatoren mit einer niedrigen dielektrischen Konstante einzusetzen. Deren besondere Materialeigenschaften verlangen aber eine abschließende obere Passivierungsschicht, was das Verbindungsnetzwerk nach den Ausführungen im Streitpatent auf feine Strukturen mit hohen elektrischen Widerständen beschränkt, die zudem nicht in der Lage sind,

die hohen Ströme der Versorgungsleitungen zu tragen, vgl. im Streitpatent die Absätze [0001] bis [0003].

Vor diesem Hintergrund liegt dem Streitpatent als technisches Problem die objektive Aufgabe zugrunde, integrierte Halbleiterschaltkreise mit leitenden Verbindungsstrukturen geringer parasitärer Kapazität und guter Leitfähigkeit bereitzustellen, vgl. im Streitpatent Absatz [0004].

Gelöst wird diese Aufgabe durch die Postpassivierungsverbindungsstruktur des Anspruchs 1 und das zugehörige Herstellungsverfahren nach Anspruch 6 des Hauptantrags und der Hilfsanträge 1 bis 6, gemäß der bereits im Tatbestand wiedergegebenen Gliederung.

2. In Übereinstimmung mit der Definition der Klägerinnen ist als hier zuständiger Fachmann ein Physiker oder Ingenieur der Fachrichtung Elektrotechnik mit Hochschulabschluss sowie mehreren Jahren Berufserfahrung auf dem Gebiet der Halbleitertechnologie und der Entwicklung von Halbleiterbauelementen sowie deren Metallisierung zu definieren.

3. Die beanspruchte Postpassivierungsverbindungsstruktur wird im Streitpatent u. a. anhand der Figuren. 3a bis 6 erläutert, wobei nachfolgend die Figuren 5b und 6 wiedergegeben sind.

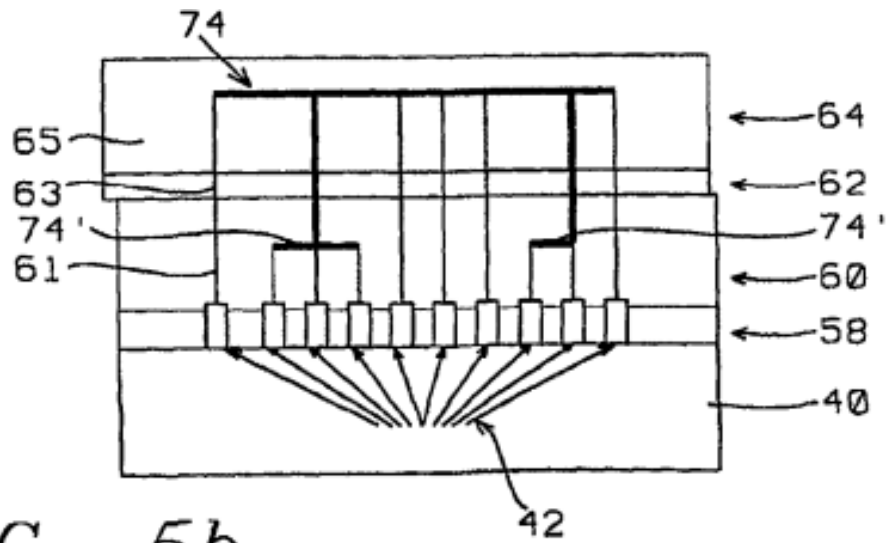


FIG. 5b

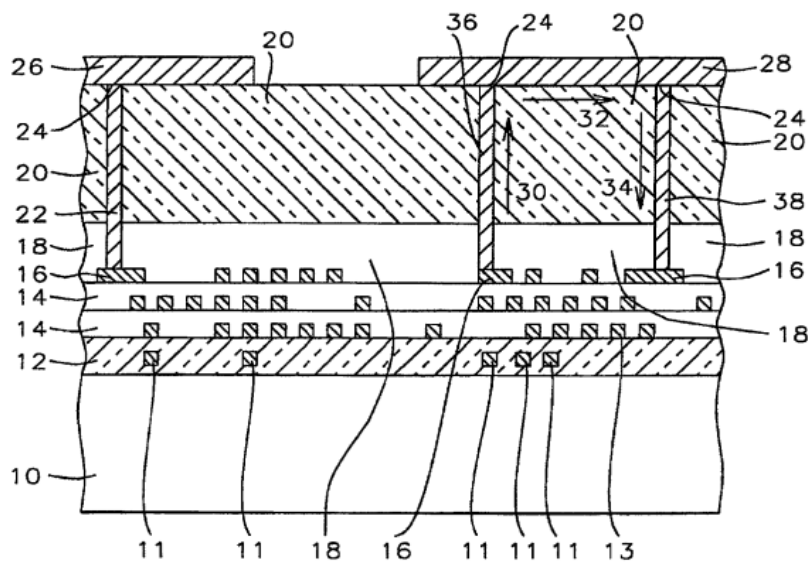


FIG. 6

In oder auf dem Halbleitersubstrat (40 bzw. 10) sind eine oder mehrere interne Schaltungen (42) mit einer oder mehreren aktiven Einrichtungen ausgebildet, bspw. Transistoren auf einem Siliziumsubstrat, vgl. Merkmal 1.1 sowie Abs. [0022] und [0042].

Über dem Halbleitersubstrat ist entsprechend Merkmal 1.2 ein Feinleiter-Metallisierungssystem in einer oder mehreren dünnen Dielektrikumschichten

ausgebildet, vgl. in Fig. 5b die Bezugszeichen 60, 61, 74' bzw. in Fig. 6 Bezugszeichen 11 und 13 (Leiter) sowie 12 und 14 (dünne Dielektrikumschichten) mit Abs. [0023].

Eine Passivierungsschicht (62 bzw. 18) aus bspw. Siliziumnitrid ist über dem Feinleiter-Metallisierungssystem (60 bzw. 13) aufgebracht und schützt die darunter liegenden Bereiche vor Feuchtigkeit und Kontaminationen, vgl. Merkmal 1.3 sowie Abs. [0023].

Oberhalb der Passivierungsschicht (62 bzw. 18) ist gemäß den Merkmalen 1.4, 1.4.1 und 1.4.3 ein dickes, weites Metallisierungssystem in einer oder mehreren dicken Polymerdielektrikumschichten, ausgebildet, die dicker sind als die dünnen Dielektrikumschichten unterhalb der Passivierungsschicht, vgl. in Fig. 5b die Bezugszeichen 64, 65, 74 bzw. in Fig. 6 die Bezugszeichen 22, 24, 26, 28, 36 und 38 (Leiter) sowie 20 (dicke Dielektrikumschicht). Als beispielhaftes Material für die dicken Polymerdielektrikumschichten nennt das Streitpatent in den Abs. [0031] bis [0033] Polyimid oder Benzocyclobuten (BCB).

Entsprechend den Merkmalen 1.4.2 und 1.4.3 ist das dicke, weite Metallisierungssystem mit der einen oder den mehreren internen Schaltungen (42) verbunden, vgl. in Fig. 5b die Vias 61 und 63 bzw. in Fig. 6 die Bezugszeichen 16, 22, 24, 26, 28, 36 und 38 mit Abs. [0026], und es wird als ein Verteilungsnetzwerk für eine Takt- oder Signalspannung genutzt, vgl. in Fig. 5b Bezugszeichen 74 und in Fig. 6 die Pfeile.

Das Merkmal 1.4.5, wonach ein Teil der obersten weiten und dicken Metallleitung des dicken weiten Metallisierungssystems Leitungskontaktstellen auf einer obersten Schicht der dicken Dielektrikumschichten (20) ausbildet, ist lediglich in Fig. 6 dargestellt, vgl. Bezugszeichen 26 und 28 sowie Abs. [0024] bis [0026].

In Fig. 6 erfolgt die Verbindung der Leitungskontaktstellen (26, 28) mit den internen Schaltungen über Vias bzw. Öffnungen (22, 36, 38) in der dicken

Polymerdielektrikumschicht (20) und in der Passivierungsschicht (18), deren unteres Ende über Kontaktstellen (16) auf der oberen dünnen Dielektrikumschicht (14) mit den internen Schaltungen verbunden ist und deren oberes Ende (24) an die jeweiligen Kontaktpads (26, 28) anschließt, vgl. Anspruch 2. Dabei soll nach den Ansprüchen 4 und 5 das dicke, weite Metallisierungssystem dicker als 1 μm und die entsprechende dicke Dielektrikumschicht dicker als 2 μm sein.

Somit trennt die Passivierungsschicht (18) die gesamte Verbindungsstruktur in eine obere Substruktur mit einer bzw. mehreren dicken Polymerschichten und einem darin ausgebildeten dicken, weiten Metallisierungssystem und in eine untere Substruktur mit einer oder mehreren dünnen Dielektrikumschichten und einem darin ausgebildeten Feinleiter-Metallisierungssystem. Dies ermöglicht es laut Streitpatent, die obere Substruktur mit größeren Dimensionen und damit geringerem Widerstand und reduzierten parasitären Kapazitäten im Vergleich zur unteren Substruktur auszubilden, vgl. Abs. [0036].

Anspruch 6 entspricht dem als Verfahren formulierten Anspruch 1, wobei er jedoch im Merkmal 6.4.2, das lediglich auf einen elektrischen Stimulus Bezug nimmt, breiter formuliert ist als das korrespondierende Merkmal 1.4.2 des Anspruchs 1, da sich dieses explizit auf eine Takt- oder Signalspannung bezieht.

4. Zu den Merkmalen der Ansprüche sind folgende Erläuterungen angebracht:

- Der Begriff „post passivation interconnect structure“ bzw. „Postpassivierungsverbindungsstruktur“ in den Ansprüchen bezieht sich darauf, dass ein Teil der beanspruchten Verbindungsstruktur über und folglich nach der Passivierungsschicht ausgebildet wird.
- Nach den Merkmalen 1.2 bzw. 6.2 ist das Feinleiter-Metallisierungssystem in zumindest einer dünnen Dielektrikumschicht ausgebildet, vgl. in Fig. 5b und 6 die Leiter 74' und 13. Daraus folgt, dass das Feinleiter-Metallisierungssystem zumindest eine in einer dünnen Dielektrikumschicht ausgebildete feine Metallisierungsschicht aufweist.

- Gemäß den Merkmalen 1.4, 1.4.2, 1.4.4 und 1.4.5 bzw. 6.4, 6.4.2, 6.4.4 und 6.4.5 ist das dicke, weite Metallisierungssystem in zumindest einer dicken Polymerdielektrikumschicht ausgebildet und wird als ein Verteilungsnetzwerk für eine Takt- oder Signalspannung bzw. einen elektrischen Stimulus genutzt, wobei ein Teil der obersten weiten und dicken Metalleitung des dicken, weiten Metallisierungssystems Leitungskontaktstellen auf einer obersten Schicht der dicken Polymerdielektrikumschichten ausbildet. Entsprechend der Darstellung in Fig. 6 sind diese Merkmale dann erfüllt, wenn das dicke, weite Metallisierungssystem zwei Vias (36, 38) in einer dicken Polymerdielektrikumschicht und eine laterale Verbindung (28) der Vias auf der dicken Polymerdielektrikumschicht aufweist, sofern die laterale Verbindung durch eine weite und dicke Metalleitung mit Leitungskontaktstellen gebildet und als ein Verteilungsnetzwerk für eine Takt- oder Signalspannung bzw. einen elektrischen Stimulus genutzt wird. Daraus folgt aber nicht, dass zwingend die oberste weite und dicke Metalleitung mit der zugehörigen Leitungskontaktstelle für eine Takt- oder Signalspannung bzw. einen elektrischen Stimulus genutzt werden muss, denn nach der Formulierung in den Merkmalen 1.4 bis 1.4.5 bzw. 6.4 bis 6.4.5 können statt des obersten Leiters auch andere, darunter liegende Leiter des dicken, weiten Metallisierungssystems dafür genutzt werden, wie es auch der Darstellung in Fig. 5b entspricht.
- Entsprechend den Ausführungen in Abs. [0035] kann sich auf der obersten weiten und dicken Metalleitung auf der obersten Schicht (20) der dicken Dielektrikumschicht(en) eine weitere Polymerdielektrikumschicht mit Öffnungen zu den Leitungskontaktstellen (26, 28) befinden, in denen Elektroden zur Kontaktierung der Leitungskontaktstellen eingebracht sind. Folglich können auf der obersten Schicht der dicken Dielektrikumschichten und auf der obersten Schicht der weiten und dicken Metalleitung noch eine weitere Polymerdielektrikumschicht und Metallschicht aufgebracht sein.
- In den Merkmalen 1.4.1 bzw. 6.4.1 ist explizit angegeben, dass die dicken Dielektrikumschichten dicker sind als die dünnen Dielektrikumschichten. Im Unterschied dazu fehlt in den Ansprüchen eine entsprechende, explizite Angabe

bezüglich Dicke und Breite der Leiter des dicken, weiten Metallisierungssystem verglichen mit Dicke und Breite der Leiter des Feinleiter-Metallisierungssystems. Jedoch wird das Metallisierungssystem unter der Passivierungsschicht als ein in dünnen Dielektrikumschichten eingebettetes Feinleiter-Metallisierungssystem bezeichnet und dem über der Passivierungsschicht angeordneten Metallisierungssystem gegenübergestellt, das als ein in dicken Dielektrikumschichten eingebettetes dickes, weites Metallisierungssystem bezeichnet ist. Zusätzlich ist in Abs. [0036], Zeilen 15 bis 21 angegeben, dass die Leiter des oberen dicken, weiten Metallisierungssystems größere Dimensionen haben als die Leiter des unteren Feinleiter-Metallisierungssystems. Die entsprechenden Merkmale der Ansprüche 1 und 6 des Streitpatents sind daher so auszulegen, dass die Leiter des Feinleiter-Metallisierungssystems dünner und schmaler sind als die Leiter des dicken, weiten Metallisierungssystems, wobei genaue Angaben zu den Schichtdicken erst in den abhängigen Ansprüchen erfolgen.

- Nach den Merkmalen 1.2 bis 1.4 bzw. 6.2 bis 6.4 ist über dem Halbleitersubstrat und unter der Passivierungsschicht ein Feinleiter-Metallisierungssystem vorhanden und über der Passivierungsschicht ein dickes, weites Metallisierungssystem. Folglich muss zumindest ein Teil der Leiter über bzw. unter der Passivierungsschicht dick und weit bzw. dünn und schmal sein. Insbesondere ist es anspruchsgemäß, wenn lediglich ein Teil der Leiter unterhalb der Passivierungsschicht ein Feinleiter-Metallisierungssystem bildet und lediglich ein Teil der Leiter oberhalb der Passivierungsschicht ein dickes, weites Metallisierungssystem, denn auch dann ist ein Feinleiter-Metallisierungssystem unter der Passivierungsschicht vorhanden und darüber ein dickes, weites Metallisierungssystem.
- Mit der Formulierung in Merkmal 1.4.2 bzw. 6.4.2, wonach das dicke, weite Metallisierungssystem als ein Verteilungsnetzwerk für eine Takt- oder Signalspannung bzw. einen elektrischen Stimulus genutzt wird, kommt aufgrund der Erläuterungen zu den Figuren 3 bis 6, vgl. insbesondere Fig. 5a, Bezugszeichen 74 mit Abs. [0054] und Fig. 6, Bezugszeichen 28 mit Abs. [0036] zum Ausdruck,

dass eine laterale Verteilung erfolgt, wohingegen eine Verteilung ausschließlich in vertikaler Richtung diesem Merkmal nicht genügt.

Die Lösungen nach den unabhängigen Ansprüchen der Hilfsanträge präzisieren die Postpassivierungsverbindungsstruktur bzw. das zugehörige Herstellungsverfahren hinsichtlich der Nutzung der Leitungskontaktstellen und des Vorhandenseins eines Induktors oberhalb bzw. auf der Oberfläche der Passivierungsschicht.

Für die Merkmale der Verfahrensansprüche gelten obige Ausführungen in gleicher Weise.

II.

Die Postpassivierungsverbindungsstrukturen der Ansprüche 1 nach Hauptantrag und nach den Hilfsanträgen 1, 4 und 2 sind nicht patentfähig, da sie dem Fachmann zum Anmeldetag des Streitpatents aus Druckschrift K7 bekannt oder ausgehend von Druckschrift K7 in Verbindung mit Druckschrift K12 nahegelegt waren (Art. II § 6 Abs. 1 Nr. 1 IntPatÜG, Art. 138 Abs. 1 lit. a) EPÜ i. V. m. Art. 54 u. 56 EPÜ).

Die Ansprüche des Hilfsantrags 3neu sind zulässig, die mit ihnen beanspruchten Postpassivierungsstrukturen und Herstellungsverfahren sind gegenüber dem im Verfahren befindlichen Stand der Technik neu (Art. 54 EPÜ) und beruhen diesem gegenüber auch auf einer erfinderischen Tätigkeit des Fachmanns (Art. 56 EPÜ), so dass sie patentfähig sind (Art. 52 EPÜ).

1. Die Postpassivierungsverbindungsstruktur des erteilten Anspruchs 1 ist nicht neu hinsichtlich Druckschrift K7.

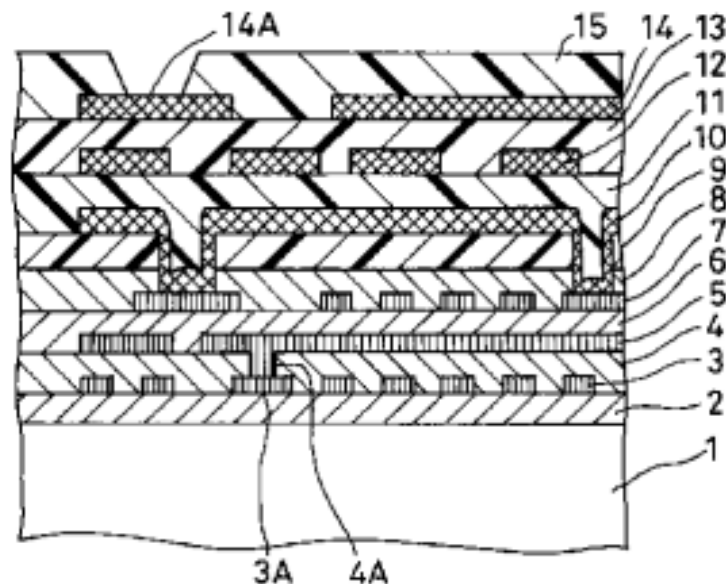
Im Folgenden wird hinsichtlich der Beschreibung von Druckschrift K7 auf die englische Übersetzung K7a Bezug genommen, wobei aber im ersten Satz von Absatz [0011] die Dickenangabe der organischen Isolationsschicht 9 nicht 1 µm,

sondern 11 μm beträgt (die Zahl 11 ist im japanischen Dokument K7 in zwei jeweils einem Schriftzeichen entsprechende Einsen getrennt).

Ähnlich wie das Streitpatent befasst sich auch Druckschrift K7 mit der Bereitstellung eines Halbleiterbauelements, dessen Verbindungsstruktur ein weites (*far distant wiring*) oberes und ein feines (*fine wiring*) unteres Metallisierungssystem aufweist, vgl. Seite 3 der K7a, Abs. [Construction].

Dabei wird zur Verringerung von parasitären Kapazitäten und elektrischem Leiterwiderstand als Material für die Leiter des oberen, weiten Metallisierungssystems Kupfer (Cu) statt Aluminium (Al) eingesetzt und als Intermetalldielektrikum des oberen, weiten Metallisierungssystems ein organischer Isolator, vgl. das Abstract und die Abs. [0001] bis [0008].

Das Halbleiterbauelement wird in Druckschrift K7 anhand der nachfolgenden Fig. 1 mit Bezugszeichenliste und Beschreibung in den Abs. [0010] bis [0012] erläutert.



Demnach weist das in Fig. 1 dargestellte Bauelement ein Siliziumsubstrat (1) mit einer Dielektrikumschicht (2) auf, über der ein in Dielektrikumschichten (4, 6, 8)

angeordnetes Aluminium-Feinleiter-Metallisierungssystem (3, 5, 7) angeordnet ist. Darüber ist ein in organischen Dielektrikumschichten (9, 11, 13) angeordnetes weites Kupfer-Metallisierungssystem (10, 12, 14) ausgebildet. Eine in Fig. 1 nicht dargestellte SiN Passivierungsschicht zwischen dem unteren Aluminium-Feinleiter-Metallisierungssystem und dem oberen, weiten Kupfer-Metallisierungssystem trennt die Metallisierungssysteme voneinander und schützt vor Kupfer-Kontaminationen, vgl. Abs. [0012], letzter Satz: „A P-SiN film may lie between the Al wiring and the Cu wiring to protect the Si chip.“

Gemäß Abs. [0010] haben die Aluminiumleiter des unteren, feinen Metallisierungssystems eine Dicke von bspw. 1 µm und die jeweiligen Intermetalldielektrika auf den Aluminiumleitern eine Dicke von 500 nm, wohingegen nach Abs. [0011] die Kupferleiter (10, 12) des oberen, weiten Metallisierungssystems 5 µm bzw. 4 µm dick sind und die jeweiligen organischen Intermetalldielektrika (9, 11, 13) eine Dicke von 11 µm aufweisen. Die Kupferleiter (10, 12) des oberen, weiten Metallisierungssystems sind somit deutlich dicker als die Aluminiumleiter des unteren, feinen Metallisierungssystems, und auch die organischen Intermetalldielektrika (9, 11, 13) des oberen, weiten Metallisierungssystems sind deutlich dicker als die zwischen den Aluminiumleitern befindlichen Intermetalldielektrika des unteren, feinen Metallisierungssystems.

Entgegen dem Vortrag der Patentinhaberin offenbart Druckschrift K7 auch, dass das obere Kupfer-Metallisierungssystem nicht nur dick, sondern auch weit bzw. breit ist. Denn in der obigen schematischen Figur 1 sind die Leiter des oberen Kupfer-Metallisierungssystems nicht nur mit einer größeren Dicke als die Leiter des unteren Aluminium-Metallisierungssystems dargestellt, sondern auch mit einer dreimal so großen minimalen Breite, vgl. die Leiter mit Bezugszeichen (3) und (12), was auch dem entspricht, wie der Fachmann in Druckschrift K7 die Begriffe „fine wiring“ bzw. „micro wiring“ für das Aluminium-Metallisierungssystem und „far distant wiring“ für das Kupfer-Metallisierungssystem versteht, nämlich als Umschreibung für relativ dünne und schmale Leiter des unteren Aluminium-Metallisierungssystems

einerseits und als Umschreibung für dicke und breite Leiter des oberen Kupfer-Metallisierungssystems andererseits.

Im Einzelnen offenbart Druckschrift K7 in obigen Fundstellen mit den Worten des erteilten Anspruchs 1

1. A post passivation interconnect structure, comprising:
(vgl. Fig. 1 mit SiN-Passivierungsschicht gemäß obigem Satz aus Abs. [0012])
 - 1.1 one or more internal circuits comprising one or more active devices (*transistors*) formed in and on a semiconductor substrate (*silicon substrate 1*);
 - 1.2 a fine line metallization system (*first, second, third layer Al wiring 3, 5, 7*), formed over said semiconductor substrate (*1*) in one or more thin layers of dielectric (*second, third, fourth interlayer insulation film 4, 6, 8*);
 - 1.3 a passivation layer (*SiN*, vgl. Abs. [0012], letzter Satz) over said fine line metallization system (*2, 4, 6*); and
 - 1.4 a thick, wide metallization system (*first, second, third layer Cu wiring 10, 12, 14 i.V.m. Abs. [0010], [0011], [0018] u. [0019]*) formed above said passivation layer (*SiN*), in one or more thick layers of dielectric (*first, second, third organic interlayer film 9, 11, 13*),
 - 1.4.1 wherein said thick layers of dielectric (*9, 11, 13*) are thicker than said thin layers of dielectric (*4, 6, 8*),
 - 1.4.2 wherein said thick, wide metallization system (*10, 12, 14*) is used as a distribution network for a clock or signal voltage (vgl. Abs. [0012]: „*The first layer Cu wiring 10 serves as a signal wiring between functional blocks, for example, and the second and third Cu wirings 12 and 14 serve as a power supply and a ground wiring.*“), and
 - 1.4.3 wherein said thick, wide metallization system (*10, 12, 14*) is connected to said one or more internal circuits
(vgl. Abs. [0010], letzter Satz: „*The Al wirings are used for connection in the functional blocks formed in the silicon substrate 1*“ und

Abs. [0011], zweiter Satz: „A through hole for connecting an upper wiring layer to the third Al wiring 7 at a predetermined position is formed in the first organic interlayer film 9 and the fourth interlayer insulation film 8 and a first layer Cu wiring 10 being the upper wiring layer is formed through the through hole.“),

- 1.4.4 wherein the one or more thick layers of dielectric (9, 11, 13) are thick polymer dielectric layers (*organic interlayer film, epoxy resin / vgl. Abs. [0011]*),
- 1.4.5 a part of the top wide and thick metal line (14) of the thick, wide metallization system (10, 12, 14) forms interconnect pads (*bonding pad 14A*) on a top layer (13) of the thick layers of dielectric (*vgl. Fig. 1*).

Da Druckschrift K7 somit eine Postpassivierungsverbindungsstruktur mit sämtlichen Merkmalen des erteilten Anspruchs 1 offenbart, ist die Postpassivierungsverbindungsstruktur des erteilten Anspruchs 1 nicht neu gegenüber der in Druckschrift K7 beschriebenen Struktur und folglich auch nicht patentfähig.

Für das Verfahren des Anspruchs 6 gelten diese Ausführungen in gleicher Weise.

2. Anspruch 1 des Hilfsantrags 1 stimmt mit dem erteilten Anspruch 1 des Hauptantrags überein und Anspruch 6 des Hilfsantrags 1 ergibt sich aus Anspruch 6 des Hauptantrags, indem in Merkmal 6.4.2 der Begriff „an electrical stimulus“ durch „a clock or signal voltage“ ersetzt wird und insofern die Ansprüche 1 und 6 einander angepasst werden.

Die Ausführungen zu den nebengeordneten Ansprüchen 1 und 6 des Hauptantrags gelten somit in gleicher Weise für die Ansprüche 1 und 6 des Hilfsantrags 1, d. h. Druckschrift K7 offenbart eine Postpassivierungsverbindungsstruktur mit sämtlichen Merkmalen des Anspruchs 1 nach Hilfsantrag 1, die somit ebenfalls wegen fehlender Neuheit hinsichtlich Druckschrift K7 nicht patentfähig ist.

3. Auch die Postpassivierungsverbindungsstruktur des Anspruchs 1 nach Hilfsantrag 4 ist nicht neu hinsichtlich Druckschrift K7.

Anspruch 1 des Hilfsantrags 4 ergibt sich aus Anspruch 1 des Hauptantrags durch Anfügen des folgenden Zusatzmerkmals

1.4.6 and wherein said interconnect pads are used for distribution of said clock or signal voltage.

Diese Nutzung der Leitungskontaktstellen für die Verteilung der Takt- oder Signalspannung entnimmt der Fachmann jedoch der Druckschrift K7.

So betont Druckschrift K7 in den beiden ersten Sätzen von Absatz [0012], dass die Verdrahtung zwischen funktionellen Blöcken zur Verringerung der Verzögerung über die niederohmige Kupferverdrahtung erfolgt und dass die unterste Kupfer-Verbindungsschicht bspw. für die Signalspannung genutzt wird und die beiden oberen der Versorgungs- und Massespannung dienen. Dabei bezieht sich die Bezeichnung „for example“ in obiger Fundstelle offensichtlich auf „signal wiring“ und nicht auf „functional blocks“, weshalb dies dem Fachmann offenbart, dass statt der untersten Kupfer-Verbindungsschicht auch eine der anderen, so bspw. die oberste Kupfer-Verbindungsschicht für die Signalspannung genutzt werden kann.

Zudem erläutert Druckschrift K7 im vorangehenden letzten Satz von Absatz [0011], dass ein Teil der dritten Kupferverdrahtungsebene (14) als Bondpad (14A) ausgebildet ist und zu diesem Zweck ein Teil des darauf befindlichen vierten organischen Films (15) entfernt ist, um das Bondpad freizulegen. Das Bondpad wird somit nicht nur als eine nach außen geführte Leitungskontaktstelle beschrieben, sondern ausdrücklich als Teil der obersten, dritten Kupfermetallisierungsebene, was auch der Darstellung in Fig. 3 entspricht, die das Bondpad als Teil eines langgestreckten Kupferleiters der obersten Kupferverdrahtungsebene zeigt. Dass diese dritte Kupferebene über Vias mit den unteren Metallisierungsebenen

verbunden ist, stellt eine zwingende Notwendigkeit für die Funktionsfähigkeit des in K7 beschriebenen Bauelements dar und ergibt sich bspw. aus dem letzten Satz von Absatz [0007], wonach die Leitungskontaktstellen mit der Verdrahtung innerhalb des Chips und folglich auch mit der Verdrahtung für die Signalspannung verbunden sind („[...] a bonding pad arranged in each chip to wire between the chips and in the chip“).

Demnach entnimmt der Fachmann der Druckschrift K7 unmittelbar und eindeutig eine Postpassivierungsverbindungsstruktur mit sämtlichen Merkmalen des Anspruchs 1 nach Hilfsantrag 4, die daher nicht neu gegenüber der in Druckschrift K7 beschriebenen Struktur und somit auch nicht patentfähig ist.

4. Die Postpassivierungsverbindungsstruktur des Anspruchs 1 nach Hilfsantrag 2 wird dem Fachmann ausgehend von Druckschrift K7 i. V. m. Druckschrift K12 nahegelegt.

Anspruch 1 des Hilfsantrags 2 umfasst die Merkmale des Anspruchs 1 nach Hauptantrag und enthält das folgende angefügte Zusatzmerkmal

1.4.6' and an inductor above said passivation layer.

Eine solche Postpassivierungsverbindungsstruktur ergibt sich für den Fachmann jedoch in naheliegender Weise ausgehend von Druckschrift K7 in Verbindung mit Druckschrift K12.

Denn gemäß Druckschrift K7, Absatz [0014] werden auf dem Halbleiterchip Transistoren, Widerstände und andere Elemente ausgebildet, so dass das Bauelement neben aktiven auch passive Bauelemente wie Kondensatoren und Induktoren aufweist. Ausgehend von K7 ist der Fachmann daher bestrebt, diese Bauelemente hinsichtlich parasitärer Effekte optimal anzuordnen und in diesem Zusammenhang entnimmt er der Druckschrift K12, dass Induktoren bevorzugt mit

möglichst großem Abstand zum Substrat in der Kupfermetallisierung und dem Polyimid-Dielektrikum anzuordnen sind, vgl. deren Kapitel Introduction, weshalb der Fachmann den Induktor in naheliegender Weise oberhalb der Passivierungsschicht in der obersten, dritten Kupfermetallisierungsebene des in Druckschrift K7 beschriebenen Bauelements ausbildet.

Die Postpassivierungsverbindungsstruktur des Anspruchs 1 nach Hilfsantrag 2 wird dem Fachmann daher ausgehend von Druckschrift K7 i. V. m. Druckschrift K12 nahegelegt und ist somit wegen fehlender erfinderischer Tätigkeit nicht patentfähig.

5. Die Ansprüche 1 bis 10 des Hilfsantrags 3neu sind zulässig, beinhalten keine Schutzbereichserweiterung, und die darin beanspruchten Postpassivierungsverbindungsstrukturen bzw. Verfahren sind hinsichtlich des vorgelegten Stands der Technik patentfähig.

5.1 Anspruch 1 des Hilfsantrags 3neu ergibt sich aus dem hinsichtlich der Ursprungsoffenbarung nicht angegriffenen Anspruch 1 des Hauptantrags durch Anfügen des folgenden Zusatzmerkmals

1.4.6“ and an inductor created on the surface of said passivation layer,

und Anspruch 6 ergibt sich aus dem hinsichtlich der Ursprungsoffenbarung nicht angegriffenen unabhängigen Verfahrensanspruch 6 des Hilfsantrags 1 durch Anfügen des folgenden Zusatzmerkmals

6.4.6“ and creating an inductor on the surface of said passivation layer.

5.2 Die Offenbarung des Zusatzmerkmals findet sich in der ursprünglichen Anmeldung (K4) in Absatz [0038] mit Figur 7b sowie im Streitpatent (K1) in Absatz [0041] mit Figur 7b.

Die abhängigen Ansprüche 2 bis 5 und 7 bis 10 sind die angepassten und von der Klägerin hinsichtlich der Zulässigkeit ebenfalls nicht angegriffenen, erteilten Ansprüche 2 bis 5 und 9 bis 12.

5.3 Die Ansprüche 1 und 6 geben dem Fachmann eine hinsichtlich des Induktors klare und ausführbare Lehre an die Hand, den Induktor entsprechend dem in Fig. 7b dargestellten Querschnitt bspw. spiralförmig auf der Oberfläche der Passivierungsschicht auszubilden.

5.4 Zudem wird durch obiges Zusatzmerkmal der Schutzbereich der Ansprüche gegenüber dem der erteilten Ansprüche nicht erweitert, sondern auf eine Postpassivierungsverbindungsstruktur mit einem Induktor bzw. auf ein entsprechendes Herstellungsverfahren eingeschränkt.

5.5 Der vorgelegte Stand der Technik nimmt die Postpassivierungsstruktur des Anspruchs 1 sowie das zugehörige Herstellungsverfahren des Anspruchs 6 nach Hilfsantrag 3neu weder neuheitsschädlich vorweg noch legt er diese dem Fachmann nahe.

5.5.1 Druckschrift K12 lehrt den Fachmann, zur Erreichung eines hohen Gütefaktors Q den Induktor aus Kupfer, in einem Polyimid-Dielektrikum und mit möglichst großem Abstand zum Substrat auszubilden, vgl. deren Seite 1, linke Spalte, letzter Absatz: *„In order to improve the performance of on-chip inductors it is necessary to both isolate them from the substrate, and to provide a low resistivity metal to lower the resistance of the metal traces. The process presented uses a thick layer of polyimide to isolate the inductor from the substrate. This low k dielectric places the inductor further from the substrate reducing eddy currents that degrade Q. Capacitive coupling also is reduced, increasing the self resonance frequency of the structure.”*

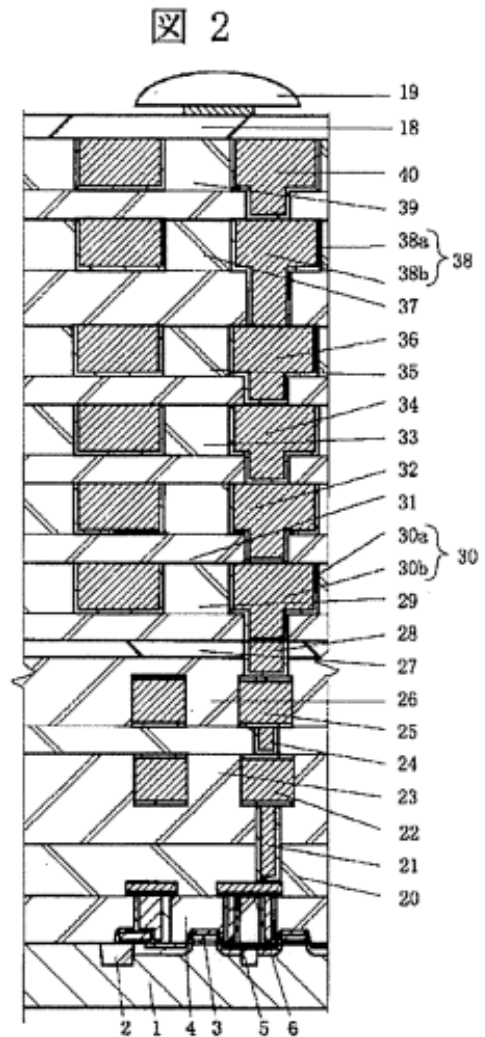
Ausgehend von Druckschrift K7 und in Kenntnis von Druckschrift K12 bildet der Fachmann den Induktor somit entgegen dem Zusatzmerkmal des Hilfsantrags 3 neu nicht auf der Oberfläche der in Absatz [0012] der K7 erwähnten SiN-Passivierungsschicht zwischen dem Aluminium- und dem Kupfermetallisierungssystem aus, sondern in der obersten, dritten Kupfermetallisierung (14), da diese Anordnung aufgrund des maximalen Abstands zum Substrat und der darunter befindlichen organischen Dielektrika den höchsten Gütefaktor bietet.

Das Gleiche gilt für die Kombination der Druckschrift K7 mit einer der übrigen die Ausbildung von Induktoren betreffenden Druckschriften K13 bis K15, da auch nach deren Lehre der Induktor in der jeweiligen obersten Metallisierungsschicht auszubilden ist, vgl. in K13, Spalte 2, Zeilen 26 bis 28: „*Generally, according to the preferred embodiment, inductors are plated over a relatively thick dielectric layer above the top layer of circuit metallization of the electronic device.*“, sowie in K14 und K15 die speziellen Ausbildungen der Induktoren mit einem Ferritkern (8) bzw. in 3D-Strukturierung.

5.5.2 Druckschrift K6 befasst sich ebenso wie das Streitpatent und Druckschrift K7 mit der Bereitstellung eines Halbleiterbauelements, dessen Verbindungsstruktur ein oberes und ein davon durch eine Passivierungsschicht getrenntes unteres Metallisierungssystem aufweist, wobei im Vordergrund steht, zur Verringerung von parasitären Kapazitäten und elektrischem Widerstand der Leiter das wenig temperaturbeständige Benzocyclobenzen (BCB) als Isolator mit niedriger Dielektrizitätskonstante in Kombination mit Kupfer-Leitern einsetzen zu können, vgl. die Abs. [0005], [0006] und [0014] bis [0017] der englischen Übersetzung K6a.

Das Halbleiterbauelement wird in Druckschrift K6 anhand der Fig. 2 mit Bezugszeichenliste und Beschreibung in den Abs. [0026] bis [0042] erläutert. Demnach weist das in Fig. 2 dargestellte Bauelement ein Halbleitersubstrat

(1) mit internen Schaltungen (3) auf, worüber ein erstes in Dielektrikumschichten (20, 23, 26) angeordnetes Feinleiter-Metallisierungssystem (22, 25) und ein in Polymerdielektrikumschichten (29, 31, 33, 35, 37, 39, 18) angeordnetes zweites Metallisierungssystem (30, 32, 34, 36, 38, 40) gebildet sind, die durch eine zwischen den Metallisierungssystemen vorhandene Passivierungsschicht (27) voneinander getrennt sind. Zusätzlich ist auf der obersten Metalleitung eine Elektrode (19) ausgebildet. Die beiden oberen Leitungsebenen (38, 40) des zweiten Metallisierungssystems dienen bspw. der lateralen Verteilung der Versorgungs- und der Taktspannung (vgl. Abs. [0040]: „*Eighth and ninth wiring layers are a power*

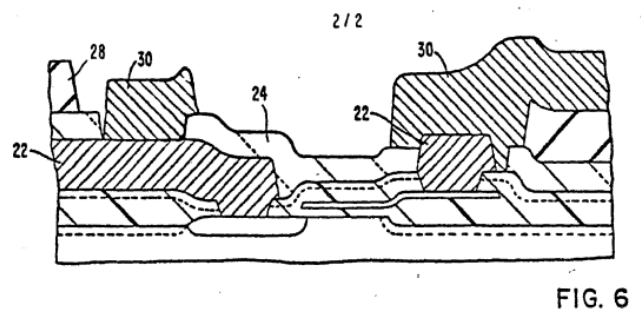
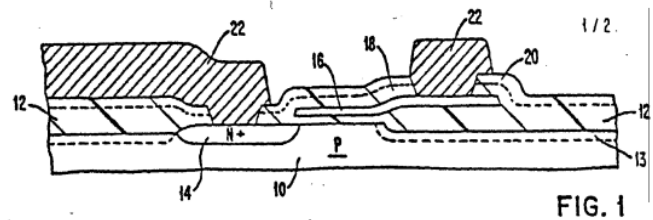


source wiring and a clock wiring which extend all over the device to transmit signals, [...]“).

Da der Fachmann den Induktor auch bei einer Kombination von Druckschrift K6 mit den Druckschriften K12 bis K15 in der obersten Metallisierungsebene (vgl. Bezugszeichen 40 in K6) und nicht auf der Oberfläche der Passivierungsschicht (vgl. Bezugszeichen 27 in K6) ausbildet, sind die Gegenstände der Ansprüche 1 und 6 des Hilfsantrags 3neu auch hinsichtlich der Kombination von Druckschrift K6 mit den Druckschriften K12 bis K15 patentfähig.

5.5.3 Druckschrift K8 offenbart anhand der nachfolgenden Figuren 1 und 6 mit Beschreibung auf Seite 5, Zeile 30 bis Seite 11, Zeile 9 ein Halbleiterbauelement umfassend ein Siliziumsubstrat (10) mit folgender Schichtenfolge:

- interne Schaltungen (gate electrode 16),
- untere isolierende Oxidschichten (recessed field oxide 12 (500 nm dick), thermal oxide layer 18 (250 nm dick), phosphorus doped oxide layer 20 (250 nm dick)),
- eine erste Metallschicht (first metal layer 22 (1200 nm dick)),
- eine SiN-Passivierungsschicht (passivating layer of silicon nitride 24 (700 nm dick)),
- eine zweite Metallschicht (second metal layer 30 (2000 nm dick)) und
- eine isolierende organische Polyimidschicht (polyimide layer 28 (1500 nm dick)).



Die zweite Metallschicht (30) und die Polyimidschicht (28) sind somit deutlich dicker als die erste Metallschicht (22) bzw. die unteren isolierenden Oxidschichten (12, 18, 20).

Da die erste (22) und zweite (30) Metallschicht in vertikaler Richtung durch eine Passivierungsschicht (24) getrennt sind, umfasst das in K8 beschriebene Halbleiterbauelement im Verständnis des Streitpatents eine Postpassivierungsverbindungsstruktur.

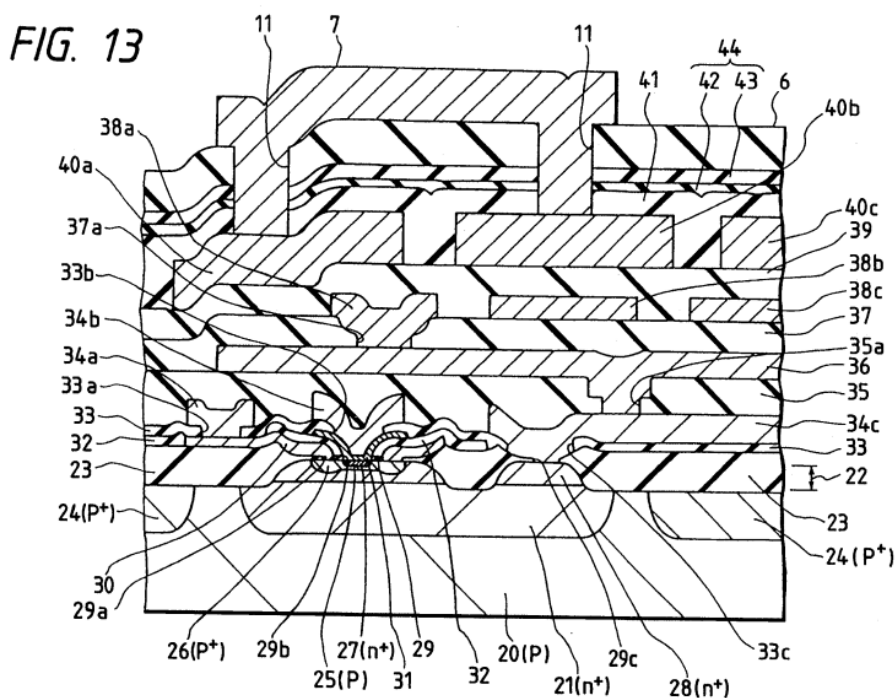
Wie auf Seite 11, Zeilen 4 bis 9 beschrieben ist, wird auf die in Fig. 6 dargestellte Struktur zusätzlich eine in Fig. 6 nicht dargestellte zweite 6 µm (d. h. 6000 nm) dicke Polyimidschicht aufgebracht, in die Vialöcher geätzt werden, die zur Kontaktierung der zweiten Metalleitung (30) mit einer als Kontaktpad ausgebildeten Kontaktmetallisierung gefüllt werden.

Somit offenbart Druckschrift K8 weder einen Induktor noch das Merkmal, dass die Leiter des unteren Metallisierungssystems feiner bzw. schmaler als die Leiter des oberen Metallisierungssystems ausgebildet sind. Druckschrift K8 kann dem Fachmann dieses Merkmal auch nicht nahelegen, denn die erste und die zweite Metallschicht (22, 30) haben zwar unterschiedliche Dicken, jedoch werden sie ansonsten – anders als bspw. in den Druckschriften K6 und K7 – als gleichwertige Schichten beschrieben, weshalb der Fachmann ausgehend von Druckschrift K8 keinen Anlass hat, den unteren Leiter (22) schmaler als den oberen Leiter (30) auszubilden.

Zudem würde der Fachmann gemäß der Lehre der Druckschriften K12 bis K15 einen Induktor auf der Oberfläche der nicht gezeigten Polyimidschicht ausbilden, da auch dort noch eine die Kontaktpads ausbildende Metallisierung aufgebracht wird und ein Induktor durch die dicke Polyimidschicht möglichst gut vom Substrat entkoppelt wäre.

Folglich sind die Postpassivierungsstruktur des Anspruchs 1 und das zugehörige Herstellungsverfahren des Anspruchs 6 nach Hilfsantrag 3neu gegenüber einer Kombination der Druckschrift K8 mit den Druckschriften K12 bis K15 patentfähig.

5.5.4 In Druckschrift K9 wird unter Bezugnahme auf die Figuren 1 und 13 ein Halbleiterbauelement mit einer Passivierungsschicht (*passivation film 44, Si₃N₄ film 42, SiO₂ film 43*) beschrieben. Unter der Passivierungsschicht (44) ist ein Metallisierungssystem mit vier Metallisierungsebenen vorhanden, von denen die unteren drei Ebenen schmale und dünne Leiter aufweisen (*first-layer wires 34a-c, second-layer wire 36, third-layer wires 38a-c*), wohingegen die vierte Metallisierungsebene (*fourth-layer wires 40a-c*) direkt unter der Passivierungsschicht (44) dicke und breite Leiter umfasst (vgl. Fig. 13 und Spalte 6, Zeilen 45 bis 50: „The third inter-layer insulating film 39 is formed thereover with fourth-layer wires 40a to 40c, which are made of an Al film, for example. These wires 40a to 40c are provided for the power supply and made wider and thicker than the underlying wires so that they can supply a high current.“).



Über der Passivierungsschicht befindet sich gemäß obiger Figur ein weiteres Metallisierungssystem (*wire 7*), das die dicken und weiten Leiter der vierten Metallisierungsebene kontaktiert und ausweislich der Fig. 13 einen Leiter umfasst,

der dicker ist als die Leiter der unteren drei Metallisierungsebenen, vgl. Spalte 5, Zeile 38 bis Spalte 6, Zeile 62 und Spalte 9, Zeile 45 bis Spalte 10, Zeile 4.

Im Unterschied zur Postpassivierungsverbindungsstruktur des Anspruchs 1 nach Hilfsantrag 3neu ist die Polymerdielektrikumschicht (6) des oberen dicken Metallisierungssystems (7) gemäß Fig. 13 der K9 nicht dicker als die Dielektrikumschichten (35, 37, 39) des Feinleiter-Metallisierungssystem (34a-c, 36, 38a-c), und die in Druckschrift K9 beschriebene Anordnung umfasst auch keinen Induktor auf der Oberfläche der Passivierungsschicht.

Da es in Druckschrift K9 keinen Hinweis gibt, die obere Polymerdielektrikumschicht (6) entsprechend dem Merkmal 1.4.1 des Anspruchs 1 dicker als die Dielektrikumschichten (35, 37, 39) des unteren Metallisierungssystems auszubilden, kann Druckschrift K9 die Postpassivierungsverbindungsstruktur des Anspruchs 1 nach Hilfsantrag 3neu auch in Kombination mit den Druckschriften K12 bis K15 nicht nahelegen, zumal der Fachmann einen Induktor nicht auf der Passivierungsschicht (44), sondern in der Ebene der obersten Metallisierung, also auf der Oberfläche der Dielektrikumschicht (6) ausbilden wird.

Für das Verfahren des Anspruchs 6 gelten diese Ausführungen in gleicher Weise.

5.5.5 Die Druckschriften K10 bzw. K11 beschreiben in den Figuren 28 bzw. 3.4 Postpassivierungsstrukturen mit unteren, lokalen Aluminium-Metallisierungsschichten, mittleren Kupfer-Metallisierungsschichten und oberen, globalen Kupfer-Metallisierungsschichten. Die Ausbildung eines Induktors auf der Oberfläche einer Passivierungsschicht zwischen der Aluminium- und Kupfermetallisierung ist diesen Dokumenten nicht zu entnehmen.

Da eine Kombination der Druckschriften K10 und K11 mit den Druckschriften K12 bis K15 dem Fachmann lediglich nahelegt, den Induktor in der obersten, globalen Metallisierungsebene auszubilden, sind die Postpassivierungsverbindungsstruktur

und das zugehörige Herstellungsverfahren der Ansprüche 1 bzw. 6 des Hilfsantrags 3neu auch gegenüber einer solchen Zusammenschau patentfähig.

5.5.6 Die Unteransprüche 2 bis 5 und 7 bis 10 beanspruchen nicht platt selbstverständliche Weiterbildungen der mit Anspruch 1 nach Hilfsantrag 3neu beanspruchten Postpassivierungsverbindungsstruktur bzw. des mit Anspruch 6 beanspruchten Herstellungsverfahrens, so dass sie sich Anspruch 1 bzw. Anspruch 6 anschließen können.

6. Als Ergebnis war das europäische Patent 1 199 750 mit Wirkung für das Hoheitsgebiet der Bundesrepublik Deutschland somit dadurch teilweise für nichtig zu erklären, dass die erteilten Ansprüche 1 bis 12 durch die mit Hilfsantrag 3neu eingereichten Ansprüche 1 bis 10 ersetzt werden.

III.

Die Kostenentscheidung beruht auf § 84 Abs. 2 PatG i. V. m. §§ 91 Abs. 1, 100 Abs. 1 ZPO. Die Entscheidung über die vorläufige Vollstreckbarkeit folgt aus § 99 Abs. 1 PatG i. V. m. § 709 Satz 1 und 2 ZPO.

IV.

Rechtsmittelbelehrung

Gegen dieses Urteil ist das Rechtsmittel der Berufung gegeben.

Die Berufung ist innerhalb eines Monats nach Zustellung des in vollständiger Form abgefassten Urteils, spätestens nach Ablauf von fünf Monaten nach Verkündung, durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt oder

Patentanwalt als Bevollmächtigten schriftlich oder in elektronischer Form beim Bundesgerichtshof, Herrenstr. 45 a, 76133 Karlsruhe, einzulegen.

Hartlieb

Dr. Friedrich

Dr. Zebisch

Dr. Himmelmann

Dr. Kapels

Fi