



BUNDESPATENTGERICHT

IM NAMEN DES VOLKES

2 Ni 15/20 (EP)

(AktENZEICHEN)

URTEIL

Verkündet am
14. Oktober 2021

...

In der Patentnichtigkeitssache

...

betreffend das europäische Patent 2 499 640
(DE 60 2010 024 667)

hat der 2. Senat (Nichtigkeitssenat) des Bundespatentgerichts auf Grund der mündlichen Verhandlung vom 14. Oktober 2021 unter Mitwirkung der Vorsitzenden Richterin Hartlieb sowie der Richter Dipl.-Phys. Dr. rer. nat. Friedrich, Dipl.-Phys. Dr. rer. nat. Zebisch, Dr. Himmelmann und Dr.-Ing. Kapels für Recht erkannt:

- I. Das europäische Patent 2 499 640 wird mit Wirkung für das Hoheitsgebiet der Bundesrepublik Deutschland für nichtig erklärt.
- II. Die Kosten des Rechtsstreits trägt die Beklagte.
- III. Das Urteil ist gegen Sicherheitsleistung in Höhe von 120 % des zu vollstreckenden Betrages vorläufig vollstreckbar.

Tatbestand

Die Beklagte ist Inhaberin des auch mit Wirkung für die Bundesrepublik Deutschland am 11. November 2010 in der Verfahrenssprache Englisch angemeldeten, die Priorität US 12/617305 vom 12. November 2009 beanspruchenden, am 13. Mai 2015 unter dem Titel „SYSTEM AND METHOD OF OPERATING A MEMORY DEVICE“ („System und Verfahren für den Betrieb einer Speichervorrichtung“) mit der Patentschrift EP 2 499 640 B1 veröffentlichten

europäischen Patents 2 499 640 (Streitpatent), das am 19. Mai 2011 mit der WO 2011/060 172 A1 offengelegt wurde.

Das Streitpatent wird vom Deutschen Patent- und Markenamt unter der Nummer 60 2010 024 667.1 geführt und umfasst 3 selbständige und 13 auf diese selbständigen Ansprüche direkt oder indirekt rückbezogene Unteransprüche.

Die Klägerin begehrt die Nichtigkeitsklärung des deutschen Teils des Streitpatents in vollem Umfang. Die Beklagte verteidigt das Streitpatent in vollem Umfang und hilfsweise beschränkt mit 9 Hilfsanträgen.

Der erteilte Patentanspruch 1 lautet in der Verfahrenssprache Englisch gemäß der Streitpatentschrift EP 2 499 640 B1 (mit an die Anlage K14 der Klägerin angelegter Merkmalsgliederung):

„1. An apparatus comprising:

- 1.1. a bitcell (102, 202) coupled to a first bit line (108, 208), a second bit line (110, 210),
- 1.2. and a wordline (106, 206) that is responsive to a wordline driver (138, 238);
- 1.3. a sense amplifier (116, 216) coupled to the first bit line (108, 208) and to the second bit line (110, 210);
- 1.4. a timing circuit (232) configured to generate a first signal (101, 201) and a second signal (103, 203);
- 1.5. a loop circuit (114, 214) configured to provide a sense amplifier enable signal (105, 205) to the sense amplifier (116, 216) in response to receiving the first signal (101, 201);
- 1.6. and a wordline enable circuit (112, 212) configured to provide a wordline enable signal (113, 213) to the wordline driver (138, 238) in response to receiving the second signal (103, 203),
- 1.7. wherein the loop circuit (114, 214) is operative to receive the first signal (101, 201) before the wordline enable circuit (112, 212) receives the second signal (103, 203) and is programmable to adjust a delay of the sense amplifier enable signal (105, 205).”

Der erteilte Patentanspruch 1 lautet in der deutschen Übersetzung gemäß der Streitpatentschrift EP 2 499 640 B1 (mit an die Anlage K14 der Klägerin angelehnter Merkmalsgliederung):

„1. Eine Vorrichtung, die Folgendes aufweist:

- 1.1. eine Bitzelle (102, 202), die an eine erste Bitleitung (108, 208), eine zweite Bitleitung (110, 210) und,
- 1.2. eine Wortleitung (106, 206), die auf einen Wortleitungstreiber (138, 238) anspricht, gekoppelt ist;
- 1.3. einen Abfühlverstärker (116, 216), der an die erste Bitleitung (108, 208) und an die zweite Bitleitung (110, 210) gekoppelt ist;
- 1.4. eine Zeitsteuerungs- bzw. Timingschaltung (232), die konfiguriert ist, um ein erstes Signal (101, 201) und ein zweites Signal (103, 203) zu generieren;
- 1.5. eine Schleifenschaltung (114, 214), die konfiguriert ist, um ein Abfühlverstärkeraktivierungssignal (105, 205) an den Abfühlverstärker (116, 216) in Reaktion auf das Empfangen des ersten Signals (101, 201) zu liefern; und
- 1.6. eine Wortleitungsaktivierungsschaltung (112, 212), die konfiguriert ist ein Wortleitungsaktivierungssignal (113, 213) an den Wortleitungstreiber (138, 238) ansprechend auf Empfangen des zweiten Signals (103, 203) zu liefern;
- 1.7. wobei die Schleifenschaltung (114, 214) betreibbar ist zum Empfangen des ersten Signals (101, 201), bevor die Wortleitungsaktivierungsschaltung (112, 212) das zweite Signal (103, 203) empfängt und programmierbar ist, um eine Verzögerung des Abfühlverstärkeraktivierungssignals (105, 205) anzupassen bzw. einzustellen.“

Der erteilte Patentanspruch 9 lautet in der Verfahrenssprache Englisch gemäß der Streitpatentschrift EP 2 499 640 B1 (mit Merkmalsgliederung):

„9. A method comprising:

- 9.1. receiving an input signal (231) at a memory device that includes
 - 9.1.1. a bit cell (102, 202)

- 9.1.2. that is coupled to a wordline (106, 206) that is responsive to a wordline driver (138, 238),
- 9.1.3 and to a sense amplifier (116, 216)
- 9.1.4. via a first bit line (108, 208) and a second bit line (110, 210); and
- 9.2. in response to receiving the input signal (231):
 - 9.2.1. generating a first signal (101, 201) and
 - 9.2.2. a second signal (103, 203) at a timing circuit (232);
- 9.3. sending the first signal (101, 201) to a loop circuit (114, 214) that is coupled to the sense amplifier (116, 216) to initiate an operation of the loop circuit (114, 214); and
- 9.4. sending the second signal (103, 203) to a wordline enable circuit (112, 212) that is coupled to the wordline driver (138, 238) to initiate generation of a wordline signal at the wordline (206),
- 9.5. wherein the first signal (101, 201) is sent before the second signal (103, 203), and
- 9.6. wherein the loop circuit (114, 214) is programmable to adjust a delay of a sense amplifier enable signal (105, 205).”

Der erteilte Patentanspruch 9 lautet in der deutschen Übersetzung gemäß der Streitpatentschrift EP 2 499 640 B1 (mit Merkmalsgliederung):

„9. Ein Verfahren, das Folgendes aufweist:

- 9.1 Empfangen eines Eingangssignals (231) an einer Speichereinrichtung,
 - 9.1.1. die eine Bitzelle (102, 202) beinhaltet,
 - 9.1.2. die an eine Wortleitung (106, 206), welche auf einen Wortleitungstreiber (138, 238) anspricht,
 - 9.1.3. und an einen Abfühiverstärker (116, 216)
 - 9.1.4. über eine erste Bitleitung (108, 208) und eine zweite Bitleitung (110, 210) gekoppelt ist; und
- 9.2. ansprechend auf Empfangen des Eingangssignals (231):
 - 9.2.1. Generieren eines ersten Signals (101, 201) und
 - 9.2.2. eines zweiten Signals (103, 203) an einer Timingschaltung (232);

- 9.3. Senden des ersten Signals (101, 201) an eine Schleifenschaltung (114, 214), die an den Abfühlerverstärker (116, 216) gekoppelt ist, um einen Betrieb der Schleifenschaltung (114, 214) zu initiieren; und
- 9.4. Senden des zweiten Signals (103, 203) an eine Wortleitungsaktivierungsschaltung (112, 212), die an den Wortleitungstreiber (138, 238) gekoppelt ist, um eine Generierung eines Wortleitungssignals an der Wortleitung (206) zu initiieren,
- 9.5. wobei das erste Signal (101, 201) vor dem zweiten Signal (103, 203) gesendet wird, und
- 9.6. wobei die Schleifenschaltung (114, 214) programmierbar ist, um eine Verzögerung eines Abfühlerverstärkeraktivierungssignals (105, 205) anzupassen.“

Der erteilte Patentanspruch 15 lautet in der Verfahrenssprache Englisch gemäß der Streitpatentschrift EP 2 499 640 B1 (mit Merkmalsgliederung):

„15. A computer readable tangible medium

- 15.1. storing instructions executable by a computer, the instructions comprising:
 - 15.1.1. instructions that are executable by the computer
 - 15.1.1.1. to generate an input signal (231) at a memory device
 - 15.1.1.1.1. that includes a bit cell (102, 202)
 - 15.1.1.1.2. that is coupled to a wordline (106, 206) that is responsive to a wordline driver (138, 238),
 - 15.1.1.1.3. and to a sense amplifier (116, 216)
 - 15.1.1.1.4. via a first bit line (108, 208) and a second bit line (110, 210),
 - 15.1.1.2. wherein a timing circuit (232) of the memory device is configured to, in response to receiving the input signal (231),
 - 15.1.1.2.1. generate a first signal (101, 201) and
 - 15.1.1.2.2. a second signal (103, 203),
 - 15.1.1.3. wherein the first signal (101, 201) is sent to a loop circuit (114, 214) that is coupled to the sense amplifier (116, 216) to initiate an operation of the loop circuit (114, 214),

- 15.1.1.4. wherein the second signal (103, 203) is sent to a wordline enable circuit (112, 212) that is coupled to the wordline driver to initiate generation of a wordline signal at the wordline (206),
- 15.1.1.5. wherein the first signal (101, 201) is sent before the second signal (103,203), and
- 15.1.1.6. wherein the loop circuit (114, 214) is programmable to adjust a delay of a sense amplifier enable signal (105, 205).”

Der erteilte Patentanspruch 15 lautet in der deutschen Übersetzung gemäß der Streitpatentschrift EP 2 499 640 B1 (mit Merkmalsgliederung):

„15. Ein computerlesbares, materielles Medium,

- 15.1. auf dem Instruktionen gespeichert sind, die von einem Computer ausgeführt werden können, wobei die Instruktionen Folgendes aufweisen:
 - 15.1.1. Instruktionen, die von dem Computer ausgeführt werden können,
 - 15.1.1.1. um ein Eingangssignal (231) an einer Speichereinrichtung zu generieren,
 - 15.1.1.1.1. die eine Bitzelle (102, 202) aufweist,
 - 15.1.1.1.2 die an eine Wortleitung (106, 206), welche auf einen Wortleitungstreiber (138, 238) anspricht, und
 - 15.1.1.1.3. an einen Abfühlverstärker (116, 216)
 - 15.1.1.1.4. über eine erste Bitleitung (108, 208) und eine zweite Bitleitung (110, 210) gekoppelt ist,
 - 15.1.1.2. wobei eine Zeitsteuerungs- bzw. Timingschaltung (232) der Speichereinrichtung konfiguriert ist, um ansprechend auf Empfangen des Eingangssignals (231)
 - 15.1.1.2.1. ein erstes Signal (101, 201) und
 - 15.1.1.2.2. ein zweites Signal (103, 203) zu generieren,
 - 15.1.1.3. wobei das erste Signal (101, 201) an eine Schleifenschaltung (114, 214) gesendet wird, die an den Abfühlverstärker (116, 216) gekoppelt ist, um einen Betrieb der Schleifenschaltung (114, 214) zu initiieren,

- 15.1.1.4. wobei das zweite Signal (103, 203) an eine Wortleitungsaktivierungsschaltung (112, 212) gesendet wird, die an den Wortleitungstreiber gekoppelt ist, um eine Generierung eines Wortleitungssignals an der Wortleitung (206) zu initiieren,
- 15.1.1.5. wobei das erste Signal (101, 201) vor dem zweiten Signal (103, 203) gesendet wird, und
- 15.1.1.6. wobei die Schleifenschaltung (114, 214) programmierbar ist, um eine Verzögerung eines Abfühiverstärkeraktivierungssignals (105, 205) anzupassen.“

Die Klägerin stützt ihre Klage auf den Nichtigkeitsgrund der mangelnden Patentfähigkeit wegen fehlender Neuheit und den Nichtigkeitsgrund der mangelnden Patentfähigkeit wegen fehlender erfinderischer Tätigkeit.

Zur Stützung ihres Vorbringens hat die Klägerin die folgenden Dokumente genannt:

- K1 EP 2 499 640 B1 (Streitpatentschrift);
- K2 Registerauszug zum Aktenzeichen 60 2010 024 667.1 vom 11. Dezember 2018;
- K3 Prioritätsunterlagen US 12/617,305;
- K4 US 2004/0 202 039 A1;
- K5 US 2008/0 298 142 A1;
- K6 B. S. Amrutur and M. A. Horowitz, „A Replica Technique for Wordline and Sense Control in Low-Power SRAM's“. In: IEEE Journal of Solid-State Circuits, Vol. 33, No. 8, 1998, S. 1208 bis 1219;
- K7 US 2009/0 231 934 A1;
- K8 EP 0 938 097 A2;
- K9 US 4 528 646;
- K10 US 2006/0 200 332 A1;
- K11 US 7 069 522 B1;
- K12 US 2008/0 037 338 A1;
- K13 US 2007/0 002 636 A1;

- K14 Merkmalsgliederung des Patentanspruchs 1 des Streitpatents;
- K15 A. Wang and S. Naffziger (ed.): „Adaptive Techniques for Dynamic Processor Optimization, Theory and Practice“, Springer Verlag, 2008, ISBN: 978-0387-76471-9, S. ix, 134 bis 137;
- K16 Wikipedia-Artikel „Burn-in“ (<https://en.wikipedia.org/wiki/Burn-in>; 2 Seiten) mit Stand vom 14. September 2021, 14:32 Uhr.

Die Klägerin behauptet weiter, auch die Gegenstände der Ansprüche der Hilfsanträge seien nicht patentfähig, da sie gegenüber dem in den Druckschriften K4 bis K8 offenbarten Stand der Technik nicht neu seien und nicht auf erfinderischer Tätigkeit beruhen würden.

Die Klägerin stellt den Antrag,

das europäische Patent EP 2 499 640 mit Wirkung für das Hoheitsgebiet der Bundesrepublik Deutschland für nichtig zu erklären.

Die Beklagte stellt den Antrag,

die Klage abzuweisen

hilfsweise

das europäische Patent EP 2 499 640 unter Klageabweisung im Übrigen dadurch teilweise für nichtig zu erklären, dass seine Patentansprüche die Fassung eines der Hilfsanträge 1, 1a, 2, 2a, 3, 4, 5, 6 und 6a vom 7. Januar 2021 und vom 14. Oktober 2021 in dieser Reihenfolge erhalten.

Die Beklagte erklärt, dass sie die Patentansprüche gemäß Hauptantrag und Hilfsanträgen als jeweils geschlossene Anspruchssätze ansieht, die jeweils insgesamt beansprucht werden.

Sie tritt der Argumentation der Klägerin in allen wesentlichen Punkten entgegen und vertritt die Auffassung, dass die erteilten Ansprüche neu seien und auf einer erfinderischen Tätigkeit beruhen würden. Das Streitpatent sei zumindest in der Fassung eines der Hilfsanträge patentfähig.

Die Klägerin rügt die in der mündlichen Verhandlung am 14. Oktober 2021 überreichten Hilfsanträge 1, 1a, 2, 2a, 4 und 6a als verspätet.

Anspruch 1 des **Hilfsantrags** 1 vom 14. Oktober 2021 hat folgenden Wortlaut (mit eingefügter Gliederung):

1. An apparatus comprising:

- 1.1. a bit cell (102, 202) coupled to a first bit line (108, 208), a second bit line (110, 210),
- 1.2. and a wordline (106, 206) that is responsive to a wordline driver (138, 238);
- 1.3. a sense amplifier (116, 216) coupled to the first bit line (108, 208) and to the second bit line (110, 210);
- 1.4'. a timing circuit (232) configured to generate a first signal (101, 201) and a second signal (103, 203) in response to an input signal (231),
 - 1.4.1. wherein the input signal (231) is a clock signal;
 - 1.4.2. and wherein the first signal is activated prior to the second signal
- 1.5. a loop circuit (114, 214) configured to provide a sense amplifier enable signal (105, 205) to the sense amplifier (116, 216) in response to receiving the first signal (101, 201);
- 1.6. and a wordline enable circuit (112, 212) configured to provide a wordline enable signal (113, 213) to the wordline driver (138, 238) in response to receiving the second signal (103, 203),
- 1.7. wherein the loop circuit (114, 214) is operative to receive the first signal (101, 201) before the wordline enable circuit (112, 212) receives the second signal (103, 203),
 - 1.7.1. whereby the first signal initiates the operation of the loop circuit (114, 214) before the second signal initiates the generation of the wordline enable signal,
 - 1.7.2. wherein the loop circuit (114, 214) is programmable to adjust a delay of the sense amplifier enable signal (105, 205),

- 1.7.3. whereby the sense amplifier enable signal experiences an increased delay responding to the first signal as the supply voltage of a logic circuit portion of the loop circuit decreases in low power applications.

Dabei wurden die unterstrichenen Passagen neu in den Anspruch eingefügt.

Anspruch 1 des **Hilfsantrags 1a** vom 14. Oktober 2021 unterscheidet sich von Anspruch 1 des Hilfsantrags 1 durch die folgenden Merkmale

- 1.7.4. so that a delay of the sense amplifier enable signal (105, 205) may be adjusted to accommodate a delay within the loop circuit (114, 214) due to a supply voltage value,
- 1.7.3.” wherein the delay within the loop circuit (114, 214) is an increased delay as the supply voltage of a logic circuit portion of the loop circuit (114, 214) decreases in low power applications,

die zwischen das Merkmal 1.7.1. und 1.7.2. eingefügt sind. Das Merkmal 1.7.3. des Anspruchs 1 des Hilfsantrags 1 wurde weggelassen, da es durch das Merkmal 1.7.3.“ ersetzt wurde.

Beim Anspruch 1 des **Hilfsantrags 2** vom 14. Oktober 2021 ist das weitere Merkmal

- 1.8. and wherein the wordline driver 238 and the bit cell (202) exist in a memory voltage domain (264), while other components of the system (200) exist in a logic voltage domain (260).

an das Ende des Anspruchs 1 des Hilfsantrags 1 gesetzt.

Beim Anspruch 1 des **Hilfsantrags 2a** vom 14. Oktober 2021 ist das Merkmal 1.8. ohne einleitendes „und“ und mit Bezugszeichen 238 in Klammern gesetzt an das Ende des Anspruchs 1 des Hilfsantrags 1a angefügt, so dass sich die Ansprüche 1 der Hilfsanträge 2a und 2 inhaltlich in derselben Weise voneinander unterscheiden wie die Ansprüche 1 der Hilfsanträge 1a und 1.

Anspruch 1 des **Hilfsantrags 3** vom 7. Januar 2021 geht vom erteilten Anspruch 1 aus. Bei ihm ist an das Ende des Anspruchs 1 das Merkmal

- 1.9. and wherein the loop circuit (114, 214) is further configured to provide a disable signal (245) to the wordline enable circuit to disable the wordline enable signal.

gesetzt.

Anspruch 1 des **Hilfsantrags 4** vom 14. Oktober 2021 enthält sowohl die Merkmale des Anspruchs 1 des Hilfsantrags 1 als auch das neue Merkmal 1.9. des Hilfsantrags 3. Das heißt, das Merkmal 1.9. ist an das Ende des Anspruchs 1 nach Hilfsantrag 1 angefügt.

Im Anspruch 1 des **Hilfsantrags 5** vom 7. Januar 2021 sind ausgehend vom Anspruch 1 des Hilfsantrags 1 vom 14. Oktober 2021 die Merkmale 1 und 1.7.1. bis 1.7.3. wie folgt geändert:

- 1'. An apparatus, having various supply voltages, comprising:

und

- 1.7.1.' whereby the first signal initiates the operation of the loop circuit (114, 214) before the second signal initiates the generation of the wordline enable signal, in order to give the sense amplifier additional time to adjust for a lower operating voltage,
- 1.7.2.' wherein the loop circuit (114, 214) is programmable to adjust a delay maintain a substantially constant delay between activation of a wordline signal by the wordline driver (138, 238) and activation of the sense amplifier enable signal (105, 205),
- 1.7.3.' and wherein the substantially constant delay is substantially independent of a supply voltage of a logic domain.

Anspruch 1 des **Hilfsantrags 6** vom 7. Januar 2021 lautet mit eingefügter Gliederung folgendermaßen:

1.' An apparatus, having various supply voltages, comprising:

- 1.1. a bit cell (102, 202) coupled to a first bit line (108, 208), a second bit line (110, 210),
- 1.2. and a wordline (106, 206) that is responsive to a wordline driver (138, 238);
- 1.3. a sense amplifier (116, 216) coupled to the first bit line (108, 208) and to the second bit line (110, 210);
- 1.4.' a timing circuit (232) configured to generate a first signal (101, 201) and a second signal (103, 203) in response to an input signal (231),
 - 1.4.1. wherein the input signal (231) is a clock signal;
 - 1.4.2. and wherein the first signal is activated prior to the second signal
- 1.5. a loop circuit (114, 214) configured to provide a sense amplifier enable signal (105, 205) to the sense amplifier (116, 216) in response to receiving the first signal (101, 201);
- 1.6. and a wordline enable circuit (112, 212) configured to provide a wordline enable signal (113, 213) to the wordline driver (138, 238) in response to receiving the second signal (103, 203),
- 1.7 wherein the loop circuit (114, 214) is operative to receive the first signal (101, 201) before the wordline enable circuit (112, 212) receives the second signal (103, 203),
 - 1.7.1.' whereby the first signal initiates the operation of the loop circuit (114, 214) before the second signal initiates the generation of the wordline enable signal, in order to give the sense amplifier additional time to adjust for a lower operating voltage.
 - 1.7.2.' wherein the loop circuit (114, 214) is programmable to maintain a substantially constant delay between activation of a wordline signal by the wordline driver (138, 238) and activation of the sense amplifier enable signal (105, 205),

- 1.7.3.' and wherein the substantially constant delay is substantially independent of a supply voltage of a logic domain,
- 1.9. and wherein the loop circuit (114, 214) is further configured to provide a disable signal (245) to the wordline enable circuit to disable the wordline enable signal,
- 1.8. wherein the wordline driver 238 and the bit cell (202) exist in a memory voltage domain (264), while other components of the system (200) exist in a logic voltage domain (260).

Dabei sind wiederum die gegenüber dem erteilten Anspruch 1 eingefügten Passagen unterstrichen.

Anspruch 1 des **Hilfsantrags 6a** vom 14. Oktober 2021 unterscheidet sich von Anspruch 1 des Hilfsantrags 6 vom 7. Januar 2021 dadurch, dass in den Merkmalen 1.7.2.' und 1.7.3.' jeweils das Wort „substantially“ weggelassen wurde, so dass diese beiden Merkmale den folgenden Wortlaut besitzen:

- 1.7.2.^a wherein the loop circuit (114, 214) is programmable to maintain a constant delay between activation of a wordline signal by the wordline driver (138, 238) and activation of the sense amplifier enable signal (105, 205),
- 1.7.3.^a and wherein the constant delay is independent of a supply voltage of a logic domain,

Zum Wortlaut der nebengeordneten Ansprüche der Hilfsanträge und der Unteransprüche aller Anträge wird wie auch wegen der weiteren Einzelheiten auf den Akteninhalt verwiesen.

Entscheidungsgründe

Die Klage, mit der der Nichtigkeitsgrund der fehlenden Patentfähigkeit nach Art. II § 6 Abs. 1 Satz 1 Nr. 1 IntPatÜG, Art. 138 Abs. 1 lit. a) EPÜ i. V. m. Art. 54 und 56 EPÜ wegen fehlender Neuheit und fehlender erfinderischer Tätigkeit geltend gemacht wird, ist zulässig.

Die Klage ist auch begründet. Das Streitpatent ist für nichtig zu erklären, weil es weder in der erteilten Fassung nach Hauptantrag noch in der Fassung eines der Hilfsanträge Bestand hat.

I.

Die in der mündlichen Verhandlung am 14. Oktober 2021 eingereichten Hilfsanträge 1, 1a, 2, 2a, 4 und 6a waren trotz Rüge der Klägerin nach § 83 Abs. 4 Satz 1 PatG nicht als verspätet zurückzuweisen.

Damit ist über die Verteidigung des Streitpatents nach den Hilfsanträgen 1, 1a, 2, 2a, 4 und 6a in der Sache zu entscheiden.

Gemäß § 83 Abs. 4 Satz 1 PatG kann das Patentgericht zwar eine Verteidigung des Beklagten mit einer geänderten Fassung des Patents zurückweisen und bei seiner Entscheidung unberücksichtigt lassen. Hierfür ist es aber stets erforderlich, dass dieser Vortrag tatsächliche oder rechtliche Fragen aufkommen lässt, die in der mündlichen Verhandlung nicht oder nur mit unverhältnismäßigem Aufwand zu klären sind (vgl. Begründung zum Entwurf eines Gesetzes zur Vereinfachung und Modernisierung des Patentrechts, BIPMZ 2009, 307, 315). Kann das an sich verspätete Vorbringen dagegen noch ohne weiteres in die mündliche Verhandlung einbezogen werden, ohne dass es zu einer Verfahrensverzögerung kommt, liegen die Voraussetzungen für eine Zurückweisung nach § 83 Abs. 4 PatG nicht vor.

So liegt der Fall hier, weil das Streitpatent auch in den beschränkt verteidigten Anspruchsfassungen nach sämtlichen Hilfsanträgen für nichtig zu erklären ist, und die Berücksichtigung dieser Hilfsanträge auch zu keiner Verzögerung des Rechtsstreits geführt hat (vgl. *Keukenschrijver*, Patentnichtigkeitsverfahren, 7. Aufl. 2020, Rn. 223 mit umfangreichen Nachweisen zur Rechtsprechung des BPatG).

II.

Das Streitpatent ist für nichtig zu erklären, weil die in Druckschrift K6 offenbarte Vorrichtung die mit den Ansprüchen 1 aller Anträge beanspruchten Vorrichtungen neuheitsschädlich vorwegnimmt (Art. 54 EPÜ), so dass sie nicht patentfähig sind (Art. 52 EPÜ i.V.m. Art. II § 6 Abs. 1 Satz 1 Nr. 1 IntPatÜG und Art. 138 Abs. 1 lit. a) EPÜ).

1. Das Streitpatent bezieht sich auf den Betrieb einer Speichervorrichtung (vgl. Abs. [0001] der Streitpatentschrift K1).

Gemäß der Beschreibung des Streitpatents haben Technologiefortschritte zu immer kleineren und leistungsfähigeren Computern geführt. Dies hat beispielsweise zu einer Reihe von tragbaren, nicht leitungsgebundenen Computern geführt, wie Mobiltelefonen, PDAs und Pager, die klein und leicht sind, so dass sie von Benutzern leicht mitgenommen werden können. Mobiltelefone können Telefonie und Datenpakete über drahtlose Netzwerke übertragen. Außerdem enthalten viele Mobiltelefone andere Funktionen. Zum Beispiel können Mobiltelefone auch eine digitale Photo- oder Videokamera, einen digitalen Rekorder oder ein Wiedergabegerät für Audioaufzeichnungen enthalten. Auch können solche Mobiltelefone Programmanweisungen ausführen, einschließlich Softwareanwendungen wie einen Web-Browser, der benutzt werden kann, um Zugang zum Internet zu erlangen. Diese Mobiltelefone können somit umfangreiche Rechenfähigkeiten aufweisen.

Eine Verringerung des Stromverbrauchs der tragbaren Rechner ermöglicht eine längere Betriebszeit zwischen dem Wiederaufladen oder Tausch ihrer Batterien. Eine Verringerung der Betriebsspannung der elektronischen Bauteile resultiert üblicherweise in einem geringeren Stromverbrauch, jedoch arbeiten einige der elektronischen Bauteile bei einer geringeren Versorgungsspannung mit einer geringeren Geschwindigkeit.

Diese geringere Geschwindigkeit kann einen Einfluss auf die Funktionsfähigkeit bestimmter Schaltkreise in dem elektronischen Gerät haben. Beispielsweise lesen manche Speicherbausteine wie SRAMs (static random access memory) die in ihren Speicherzellen gespeicherten Datenwerte, indem ein Paar von Bitleitungen, das mit einer Speicherzelle verbunden ist, voraufgeladen wird, und dann eine der Bitleitungen abhängig vom gespeicherten Datenwert entladen wird. Ein meist als Leseverstärker bezeichneter Abfühlerverstärker, der mit den Bitleitungen verbunden ist, vergleicht die Spannungen auf den Bitleitungen und erzeugt eine Ausgabe, die den Datenwert in der Speicherzelle anzeigt. Der Abfühlerverstärker wird zwischen zwei gegenläufigen Erfordernissen betrieben. Zum einen muss er lange genug warten, damit die Spannung zwischen den beiden Bitleitungen groß genug ist, um für den Datenwert ein zuverlässiges Ergebnis zu erhalten. Zum anderen muss aber jede unnötige Verzögerung vermieden werden, um nicht unnötig Strom zu verbrauchen. Eine Stromersparnis, die durch eine Absenkung der Versorgungsspannung erreicht wird, kann zumindest teilweise wieder zunichte gemacht werden, wenn auf Grund einer verzögerten Wartezeit die Spannung zwischen den Bitleitungen unnötig ansteigt (*vgl. Abs. [0002] bis [0004] der Streitpatentschrift K1*).

Die Funktionsweise eines SRAMs (Static Random Access Memory) auf die sich die Erfindung bezieht, wird im Folgenden genauer dargestellt.

Ein SRAM ist ein flüchtiger Speicher, der im Standby-Betrieb, also dann, wenn weder ein Wert ausgelesen noch ein Wert eingespeichert wird, extrem wenig Strom verbraucht.

Die Aufladung bzw. Entladung der Bitleitungen erfolgt auf Grund der endlichen Leitwerte der Transistoren nicht instantan, sondern über einen bestimmten Zeitraum. Es bildet sich somit eine Spannung zwischen den beiden Bitleitungen aus, die von einem Abfühlerverstärker, der zwischen die beiden Bitleitungen \overline{BL} und BL geschaltet ist, verstärkt und in eine digitale 0 oder 1 an seinem Ausgang umgewandelt wird. Da die Spannung zwischen den beiden Bitleitungen sowohl bei einer 0 als auch bei einer 1 auftritt, nur mit unterschiedlichem Vorzeichen, kann eine zu kleine Spannung, wie sie zwischen den beiden Bitleitungen auftritt, wenn der Abfühlerverstärker zu früh eingeschaltet wird, nicht fehlinterpretiert werden. Sie kann aber als ungültig, bzw. noch nicht lesbar, erkannt werden.

2. Eine Aufgabe gibt das Streitpatent nicht explizit an, doch besteht diese vor diesem Hintergrund objektiv darin, eine Speichervorrichtung und ein Verfahren zum Betrieb einer SRAM-Speichervorrichtung anzugeben, die es ermöglichen, die Speichervorrichtung innerhalb eines Bereichs von Betriebsspannungen mit einem möglichst optimal geringen Stromverbrauch zu betreiben (*vgl. Sp. 2, Z. 5 und 6 der Streitpatentschrift K1*).

3. Diese Aufgabe wird nach Angabe des Streitpatents durch die Gegenstände der erteilten selbständigen Ansprüche 1 und 15 und das Verfahren des erteilten nebengeordneten Anspruchs 9 gelöst sowie durch die Gegenstände und Verfahren der selbständigen Ansprüche der Hilfsanträge.

Die Erfindung des Streitpatents liegt in einer Weiterbildung einer Speichervorrichtung, wie sie beispielhaft in der folgenden Fig. 2 gezeigt wird. Die dort gezeigte Speichervorrichtung besteht aus einer Anzahl von Speicherzellen, in denen jeweils ein Bit eines Datums gespeichert wird, weshalb sie im Streitpatent als Bitzelle („*bit cell*“ 202) bezeichnet wird. Wie bei SRAMs üblich, sind die Speicherzellen mit zwei (zueinander inversen) Bitleitungen (BL , BLB) und einer Wortleitung (WL) verbunden. Die Spannung auf der Wortleitung wird mittels eines Wortleitungstreibers („*WL Driver*“ 238) erzeugt (Merkmale 1.1 und 1.2).

Zwischen die beiden Bitleitungen ist ein Abfühlverstärker („sense amplifier“ 204) geschaltet (Merkmal 1.3). Die Vorrichtung weist zudem eine Zeitsteuerungsschaltung („timing circuit“ 232) auf, die zwei Signale (201, 203) generiert (Merkmal 1.4), eine Schleifenschaltung („loop circuit“ 214), die auf das erste (201) der beiden Signale der Zeitsteuerschaltung anspricht und ein Aktivierungssignal (205) an den Abfühlverstärker (204) ausgibt, und eine Wortleitungsaktivierungsschaltung („wordline enable circuit“ 212), die auf das zweite der beiden Signale (203) anspricht und ein Aktivierungssignal (213) an den Wortleitungstreiber (238) ausgibt.

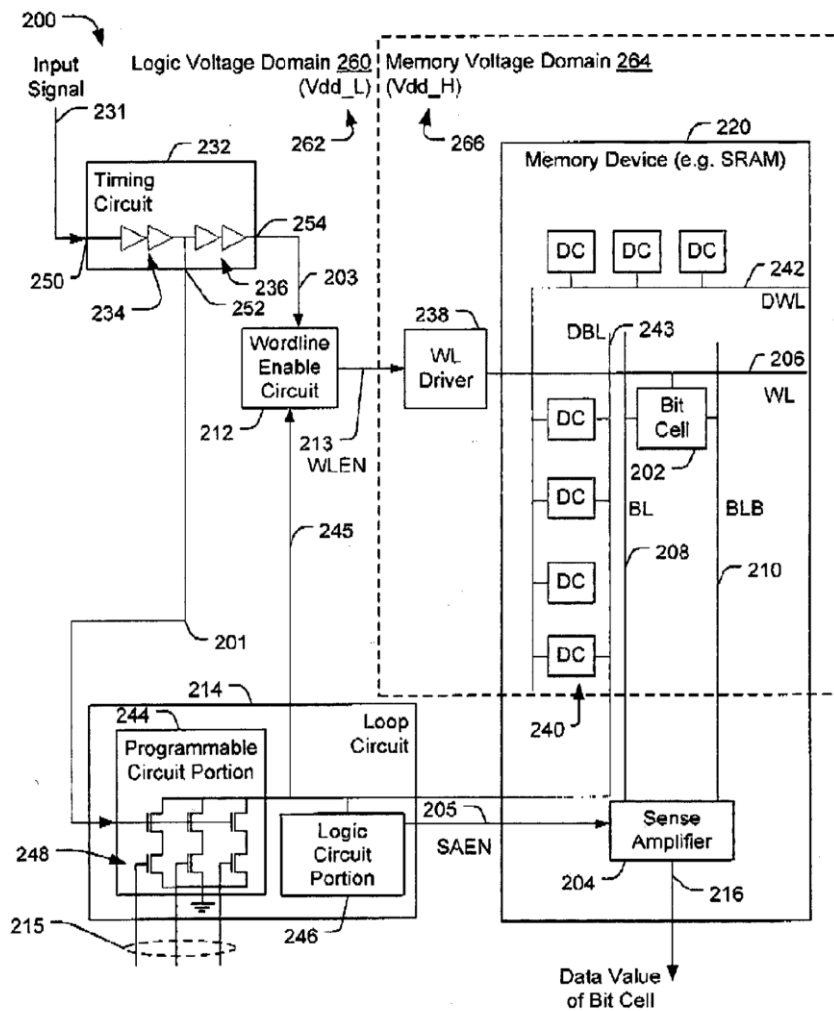


FIG. 2

Die Schleifenschaltung (214) ist so betreibbar und wird in Fig. 2 auch so betrieben, dass sie das erste Signal (201) erhält, bevor die Wortleitungsaktivierungsschaltung (212) das zweite Signal (203) erhält.

Dem Wortlaut des Anspruchs 1 nach bedeutet dies, dass zumindest die Möglichkeit bestehen muss, dass das erste Signal (201) vor dem zweiten Signal (203) bei seinem jeweils vorbestimmten Empfänger ankommen kann (Merkmal 1.7). Dies ist zunächst entgegen dem Erwarteten, denn bei einem SRAM müssen, wie zuvor beschrieben, zunächst mit Hilfe der Wortleitung die Transistoren der Speicherzelle zu den beiden Bitleitungen durchgeschaltet werden, damit diese auf ihr jeweiliges Potential gebracht werden. Erst dann, wenn die Spannung zwischen den beiden Bitleitungen groß genug ist, wird der Abfühlerverstärker zum Auslesen aktiviert.

Um letzteres zu ermöglichen, weist die Schleifenschaltung eine Verzögerung auf, die die Reihenfolge und den zeitlichen Ablauf der Signale an die Wortleitungsaktivierungsschaltung (212) und den Abfühlerverstärker (204) herstellt und programmierbar ist, um diese Verzögerung an den Betrieb mit unterschiedlichen Versorgungsspannungen anzupassen (Merkmal 1.7). Als Beispiel für den programmierbaren Teil (244) der Verzögerung in der Schleifenschaltung (214) wird in Fig. 2 des Streitpatents ein Aufbau gezeigt, bei dem mit einer programmierbaren Anzahl von Stromquellen (*discharge elements* 248) eine Dummybitleitung (DBL) entladen wird (*vgl. Abs. [0026], [0027]*). Dies bedeutet auch, dass die Verzögerung nicht kontinuierlich eingestellt werden kann, sondern in Stufen, die dadurch entstehen, dass eine weitere Stromquelle (248) an- bzw. abgeschaltet wird.

Einen beispielhaften Ablauf der Signalfolge zeigt das Streitpatent in ihrer hier wiedergegebenen Fig. 3, die von der Patentinhaberin als entscheidender Punkt der Erfindung angesehen wird. Sie und die zugehörige Beschreibung zeigen, dass das erste Signal zum Zeitpunkt t_2 an der Schleifenschaltung ankommt und in der Schleifenschaltung eine Verzögerung des Eingangssignals erfolgt, die aus zwei Bestandteilen besteht. Der erste Bestandteil (*Supply voltage-dependent delay* 306) ist der, der durch den Logikschaltungsanteil der Schleifenschaltung entsteht. Dieser ist abhängig von der Versorgungsspannung der Logikschaltung und bei einer geringeren Versorgungsspannung länger als bei einer hohen Versorgungsspannung (*vgl. Abs. [0032] der Streitpatentschrift*). Auf diesen Anteil hat der Benutzer der Schaltung keinen Einfluss.

Der zweite Anteil ist ein programmierbarer Anteil (*Programmable delay 304*), auf den der Benutzer der Schaltung somit durch die Programmierung einen Einfluss hat. Er wird so gewählt, dass die Gesamtverzögerung (*Delay of SAEN 302*) einen konstanten Wert hat, nämlich $t_4 - t_2$. Dieser Wert ist strenggenommen keine Konstante, sondern u.a. vom Aufbau der Speicherzellen und von deren Versorgungsspannung abhängig.

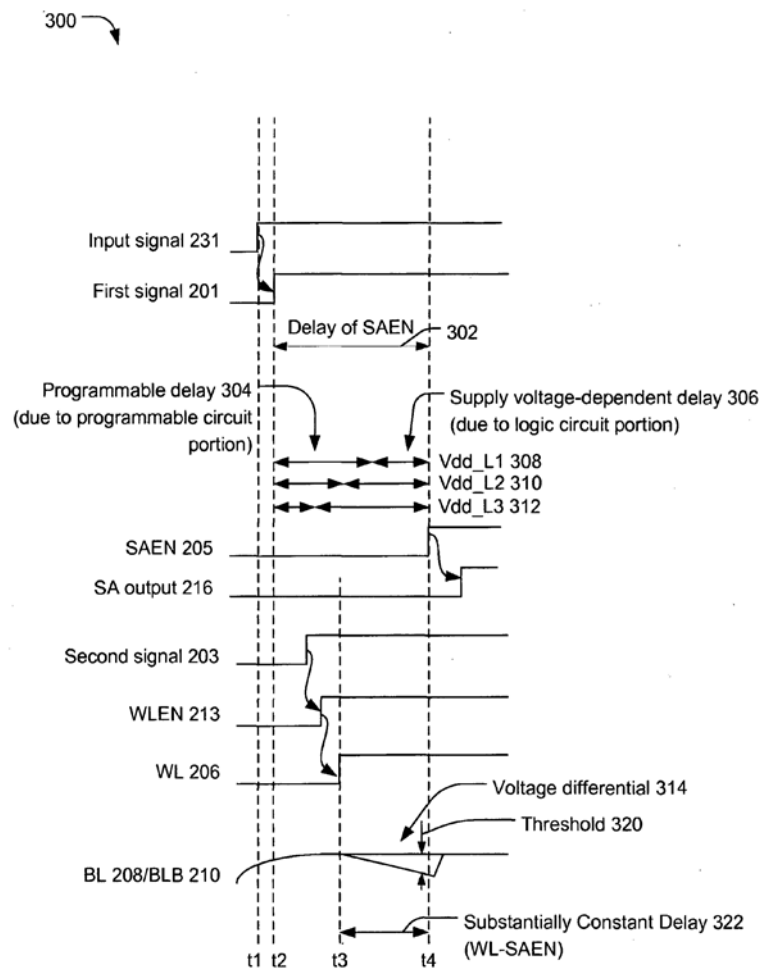


FIG. 3

Würde das erste Signal die Schleifenschaltung (214) erst erreichen, wenn auch das zweite Signal die Wortleitungsaktivierungsschaltung (212) erreicht (*siehe „Second Signal 203 in Fig. 3*), so wäre zwar auch eine Anpassung des Zeitpunkts der Aktivierung des Abfühlverstärkers möglich, so sicher in den in Figur 3 gezeigten ersten beiden Fällen mit einer Versorgungsspannung V_{dd_L1} und V_{dd_L2} , doch nicht mehr in Fällen, bei denen die Versorgungsspannung des Logikteils V_{dd_L3}

oder kleiner ist (vgl. Abs. [0032] der Streitpatentschrift K1). Das frühere Ankommen des ersten Signals bereits zum Zeitpunkt t_2 vor dem Ankommen des zweiten Signals ermöglicht es somit, dass die Gesamtverzögerung auch für sehr niedrige Versorgungsspannungswerte des Logikteils noch an die durch den Speicherteil und dessen Versorgungsspannung vorgegebene Verzögerung angepasst werden kann (siehe den Fall *Vdd_L3 312 in Fig. 3*). Es wird somit der Spannungsbereich, in dem der Zeitpunkt der Aktivierung des Abfühlverstärkers angepasst werden kann, durch das frühere Ankommen des ersten Signals an der Schleifenschaltung gegenüber einem gleichzeitigen Ankommen beider Signale erweitert. Diese Erweiterung wird durch eine Verringerung der Lesegeschwindigkeit bei hohen Spannungen, für die eine Anpassung auch bei gleichzeitigem Ankommen beider Signale möglich gewesen wäre, erkaufft.

Allerdings gibt Anspruch 1 gemäß seinem Wortlaut nicht an, dass das erste Signal die Schleifenschaltung tatsächlich erreicht, bevor das zweite Signal die Wortleitungsaktivierungsschaltung erreicht, denn die Zeitsteuerschaltung („*timing circuit*“) wird lediglich durch ihren Namen und das Merkmal, dass sie dazu ausgelegt ist, ein erstes und ein zweites Signal zu erzeugen, charakterisiert (Merkmal 1.4). Dies beinhaltet nicht, dass das erste Signal vor dem zweiten Signal erzeugt wird, sondern beinhaltet letztendlich nur, dass zwei Signale erzeugt werden, die im zeitlichen Zusammenhang miteinander stehen, also zeitlich nicht unabhängig sind.

Auch wird im Merkmal 1.7 nicht beansprucht, dass das erste Signal die Schleifenschaltung erreicht, bevor das zweite Signal die Wortleitungsaktivierungsschaltung erreicht. Sondern es wird lediglich beansprucht, dass die Schleifenschaltung in der Lage ist („*is operative*“), mit dieser Situation umzugehen.

4. Der hier zuständige Fachmann ist als berufserfahrener Ingenieur der Elektrotechnik oder hardwareorientierter Informatiker mit Fachhochschul- oder Hochschulabschluss und guten Kenntnissen auf dem Gebiet der Konstruktion und Funktionsweise von Halbleiterspeichern zur Informationsspeicherung zu definieren, der mit der Entwicklung von SRAM-Speichervorrichtungen betraut ist.

5. Die Gegenstände der Ansprüche 1 aller Anträge sind gegenüber der von **Druckschrift K6 (B.S. Amratur und M.A. Horowitz)** vermittelten Lehre nicht neu. Damit kann dahingestellt bleiben, ob die mit den Ansprüchen der Hilfsanträge beanspruchten Gegenstände und Verfahren ursprünglich offenbart sind. Da die Beklagte die Anspruchssätze als geschlossene Anspruchssätze beansprucht, kann ebenso dahingestellt bleiben, ob die Gegenstände und Verfahren der weiteren Ansprüche ebenfalls von den im Verfahren befindlichen Druckschriften neuheitsschädlich vorweggenommen werden, auch wenn dies für das Verfahren des jeweils nebengeordneten Verfahrensanspruchs auf Grund der an ein Verfahren im Wortlaut angepassten ansonsten aber gleichen Merkmale ohne weiteres ersichtlich ist. Auch ist es unerheblich, dass auch Druckschrift K5, auf die in der mündlichen Verhandlung nicht mehr näher eingegangen wurde, die mit den Ansprüchen 1 aller Anträge beanspruchten Gegenstände neuheitsschädlich vorwegnimmt.

Die **Druckschrift K6** offenbart eine Speicherschaltung für einen SRAM, bei der der zeitliche Verlauf der Signale an unterschiedliche Betriebsbedingungen angepasst wird. Dazu werden, wie auch im Streitpatent in der Fig. 2 gezeigt, ebenfalls Dummyspeicherzellen mit Dummybitleitungen und Dummywortleitungen eingesetzt (vgl. das Abstract: *„With the migration toward low supply voltages in low-power SRAM designs, threshold and supply voltage fluctuations will begin to have larger impacts on the speed and power specifications of SRAM’s. We present techniques based on replica circuits which minimize the effect of operating conditions’ variability on the speed and power. Replica memory cells and bitlines are used to create a reference signal whose delay tracks that of the bitlines. This signal is used to generate the sense clock with minimal slack time and control wordline pulsewidths to limit bitline swings.“*). Dabei offenbart der Artikel eine Ausführungsform, die auch programmierbar ist. Diese ist die mit „current-ratio-based replica structure“ bezeichnete Ausführungsform, die im Abschnitt IV. erklärt und deren Gesamtaufbau in der hier wiedergegebenen Fig. 10 gezeigt wird. Auffallend an dieser Ausführungsform ist, dass sie in allen wesentlichen Punkten gleich zur in Fig. 2 des Streitpatents offenbarten Ausführungsform der Erfindung ist.

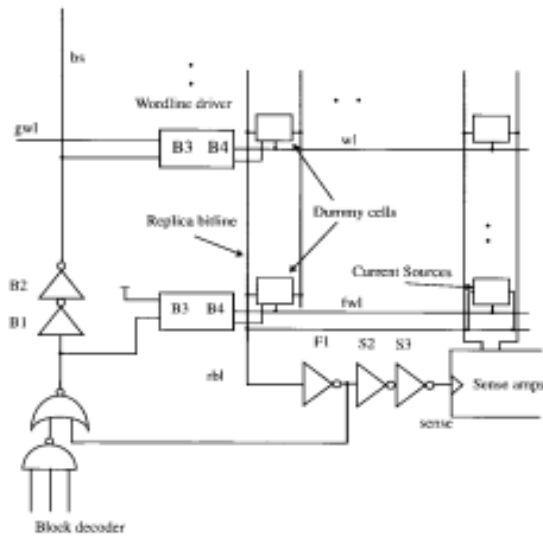


Fig. 10. Control circuits for current-ratio-based replica structure.

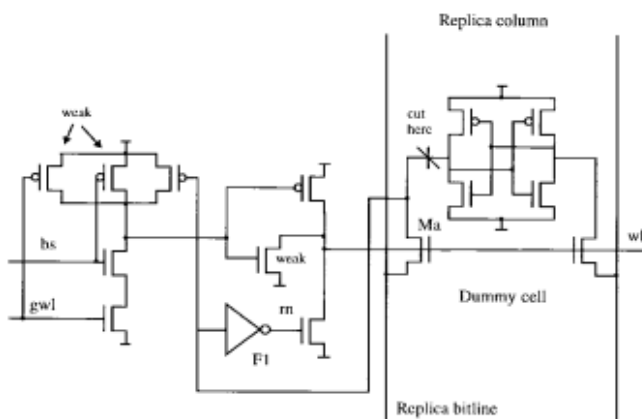
Als Signaleingang für die Zeitsignale wird ein NOR-Glied verwendet, das eines seiner Signale von einem NAND-Glied erhält, das als Ausgang eines Blockdecoders wirkt. Dieser Blockdecoder ist üblicherweise selbst getaktet, so dass an seinem Ausgang ein Taktsignal zur Verfügung steht. Druckschrift K6 gibt aber an, dass an Stelle des Blockdecoders auch ein Taktsignal zur Ansteuerung verwendet

werden kann (vgl. S. 1208, rechte Sp., 2. Abs.: „Fundamentally, the clock path needs to match the data path to ensure fast and low-power operation. The data path starts from the local block select and/or global wordline, and goes through the wordline driver, memory cell, and bitline to the input of the sense amps. The clock path often starts from the local block select or some clock phase, and goes through a buffer chain to generate the sense clock.“).

Nach dem NOR-Glied geht das Signal zu einer Verzweigung, wo zwei Signale entstehen, ein erstes, das in der Fig. 10 rechts abzweigt und unverzögert bleibt und ein zweites, das durch zwei Inverter (*B1*, *B2*) verzögert wird. Diese Verzweigung mit den zwei Invertern (*B1*, *B2*) und das NOR-Glied vor der Verzweigung stellen eine Zeitsteuerungsschaltung dar, die ein erstes und ein zweites Signal generiert, wobei das erste Signal vor dem zweiten Signal aktiviert wird. Das Streitpatent K1 zeigt in Fig. 2 als Zeitsteuerungsschaltung (232) eine aus 4 Invertern bestehende Schaltung, bei der nach zwei Invertern das erste Signal abgezweigt wird, während genau wie in Druckschrift K6 das zweite Signal durch zwei weitere Inverter verzögert wird. Die Funktionsweise der Zeitsteuerungsschaltung in Druckschrift K6 ist somit identisch zum Ausführungsbeispiel des Streitpatents.

Das zweite Signal läuft in Druckschrift K6 zu einer mit „B3 B4“ und als „Wordline driver“, also Wortleitungstreiber, bezeichneten Schaltung. Ein Beispiel, wie diese Schaltung ausgebildet sein kann, zeigt die im Folgenden wiedergegebene Fig. 9.

Diese Figur zeigt eine aus drei Bestandteilen bestehende Schaltung. Einem linken Teil, der aus fünf Transistoren besteht, einem mittleren Teil, der aus drei Transistoren und einem Inverter besteht und einem rechten Teil, der mit „Replica column“ bezeichnet ist und nicht zur Schaltung „B3 B4“ gehört (siehe hierzu Fig. 10).



Der linke Teil der Schaltung stellt ein NAND-Glied dar, das als Eingang das zweite Signal (*bs*) und ein weiteres Signal (*gwl*) hat. Bei diesem Teil handelt es sich somit um eine Wortleitungsaktivierungsschaltung, die durch das zweite Signal (*bs*) aktiviert wird, sofern die

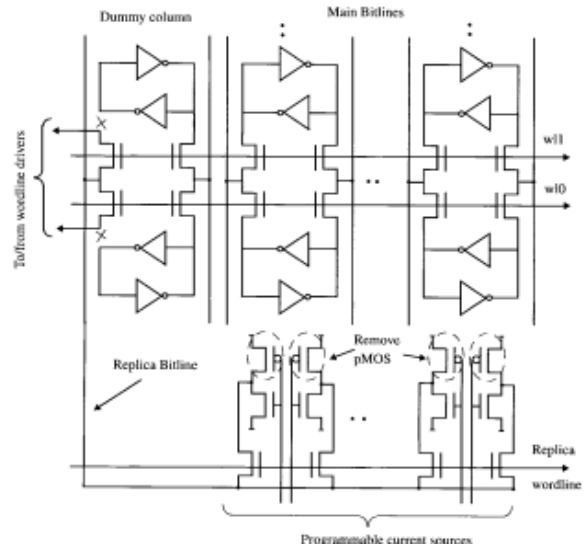
Fig. 9. Skewed wordline driver.

Schaltung durch das Signal (*gwl*), das von außen, vom Adressdecoder stammt (siehe Fig. 20), ausgewählt ist. Das NAND-Gatter, das in Fig. 6 mit „B3“ bezeichnet wird, ist durch einen weiteren Transistor (rechter oberer Transistor) erweitert, auf dessen Sinn später eingegangen wird. Das Streitpatent macht keine Angaben, wie die Wortleitungsaktivierungsschaltung ausgebildet ist.

Der mittlere Teil der Schaltung ist ein invertierender Treiber (obere zwei Transistoren) und treibt die Wortleitung (*wl*). Bei ihm handelt es sich demnach um den Wortleitungstreiber. Auch der Inverter, der in Fig. 6 mit „B4“ bezeichnet wird, ist erweitert, nämlich durch einen weiteren Transistor, der auf einen Inverter (*F1*) anspricht. Auf den Sinn dieser Erweiterung wird ebenfalls erst später eingegangen. Das Streitpatent macht ebenfalls keine Angaben, wie der Wortleitungstreiber ausgebildet ist.

Das erste, unverzögerte Signal läuft in Fig. 10 der Druckschrift 6 zur Schleifenschaltung, und dort über einen immer ausgewählten - das Auswahlsignal (*gwl*) ist fest mit der Versorgungsspannung verbunden - Wortleitungstreiber zur Replica-Wortleitung, die eine Verzögerungsschaltung aktiviert, welche in der hier wiedergegebenen Fig. 8 dargestellt ist.

Zur Verzögerung wird eine Dummy-Bitleitung („*Replica Bitline*“) entladen, an die auch Dummyspeicherzellen („*dummy cell*“) angeschlossen sind. Da die Verhältnisse für diese Bitleitung die gleichen sind wie auch bei allen anderen Bitleitungen, kann mit dieser Bitleitung gemessen werden, wie sich die einzelnen Bauteile bei unterschiedlichen



Bedingungen verhalten und welche Zeiten sich für die Entladung der Bitleitungen ergeben. Da der Abfühlerverstärker nur einen Bruchteil der Betriebsspannung als Signal benötigt, wird auch nur ein Bruchteil der Entladung für eine Erkennung des Speicherinhaltes benötigt. Dieser Bruchteil muss für die „*Replica Bitline*“ (*rb*) und die nachfolgende Logikschaltung eingestellt werden. Während dies im ersten Beispiel (*capacitance ratioing*) dadurch geschieht, dass die *Replica Bitline* gegenüber den anderen Bitleitungen verkürzt wird, so dass nur eine Teilbitleitung entladen werden muss (vgl. S. 1210, linke Sp.: „*The replica delay stage is made up of a memory cell connected to a dummy bitline whose capacitance is set to be a fraction of the main bitline capacitance.*“), geschieht dies im zweiten Beispiel mit einer kompletten Bitleitung, die aber mit Hilfe mehrerer als Stromquellen wirkender Dummyspeicherzellen entladen wird (siehe Fig. 8 i.V.m. S. 1213, linke Sp. 2. Abs.: „*An extra row and column containing replica memory cells can be used to provide local resetting timing information for the wordline drivers. The extra row contains memory cells whose pMOS devices are eliminated to act as current sources, with currents equal to that of an accessed memory cell (Fig. 8). All of their outputs are tied together, and they simultaneously discharge the replica bitline. This enables a multiple of memory cell current to discharge the replica bitline. The current sources are activated by the replica wordline, which is turned on during each access of the block. The replica bitline is identical in structure to the main bitlines, with dummy memory cells providing the same amount of drain parasitic loading as the regular cells. By connecting current sources to the replica bitline, the replica bitline slew rate can be made to be n times that of the main bitline slew rate, achieving the same effect as bitline capacitance ratioing described earlier.*“).

Wie viele dieser Stromquellen wirken, kann programmiert werden („programmable current sources“), so dass die Entladungszeit und damit auch die Verzögerungszeit programmiert werden können.

Diese Programmiermöglichkeit ist identisch zur Programmiermöglichkeit des Ausführungsbeispiels aus Fig. 2 des Streitpatents. Auch dort wird eine Dummybitline (DBL) mit Hilfe von Stromquellen entladen. Diese Stromquellen sind wie die Stromquellen in Fig. 8 der Druckschrift K6 ausgebildet, d.h. es gibt jeweils einen mit der Dummybitline (DBL im Streitpatent K1 bzw. Replica Bitline in der Druckschrift K6) verbundenen ersten Transistor (oben in Fig. 2 der Streitpatentschrift bzw. unten in Fig. 8 der Druckschrift K6), der von dem ersten Signal (direkt in Fig. 2 des Streitpatents bzw. von der durch das erste Signal getriebenen Replikawortleitung) angesteuert wird, und einen mit dem Erdpotential verbundenen, mit dem ersten Transistor in Reihe geschalteten zweiten Transistor (unten in Fig. 2 der Streitpatentschrift bzw. oben in Fig. 8 der Druckschrift K6), der zur Programmierung mit einer Leitung von außen angesteuert wird (siehe jeweils die nach unten führenden Leitungen).

Die Replikabitline ist zudem sowohl in der Druckschrift K6 als auch in Fig. 2 des Streitpatents mit einer Logikschaltung verbunden, die in Druckschrift K6 aus dem Verstärker (F1) und den nachfolgenden Invertern (S1, S2) gebildet wird und an ihrem Ausgang das Abfühlverstärkeraktivierungssignal ausgibt. Das Streitpatent offenbart nicht, wie die in ihm verwendete, ebenfalls als Eingang mit der Dummybitline (DBL) verbundene und an ihrem Ausgang das Leseverstärkeraktivierungssignal ausgebende Logikschaltung (Logic Circuit Portion 246) aufgebaut ist.

Druckschrift K6 beschreibt zwei Rückkopplungen der Schleifenschaltung auf den Signalverlauf. Die erste erfolgt aus der Logikschaltung nach dem Verstärker (F1) auf das am Eingang liegende NOR-Glied zurück und deaktiviert auf diesem Weg das Eingangssignal.

Die zweite Rückkopplung ist wiederum aus Fig. 9 ersichtlich. Sie verläuft von der Replicabitline über den Transistor (M_a) einer Dummymemoryzelle zum Verstärker ($F1$) des Wortleitungstreibers und zum zusätzlichen Transistor der Wortleitungsaktivierungsschaltung. Ihr Sinn ist es, die Wortleitungsaktivierungsschaltung und den Wortleitungstreiber zu deaktivieren (vgl. S. 1213, rechte Sp.: „*The local wordline drivers are skewed to speed up the rising transition, and they are reset by the replica bitline as shown in Fig. 9. The replica bitline signal is forwarded into the wordline driver through the dummy cell access transistor M_a . This occurs only in the activated row since the access transistor of the dummy cell is controlled by the row wordline wl , minimizing the impact of the extra loading of on the replica bitline.*“).

Auch die in Fig. 2 des Streitpatents offenbarte Ausführungsform der Erfindung besitzt eine Rückkopplung (245), die von der Dummybitline (DBL) zur Wortleitungsaktivierungsschaltung (212) führt und diese deaktiviert.

5.1. Im Einzelnen offenbart Druckschrift K6 in Übereinstimmung mit dem Wortlaut des erteilten Anspruchs 1

1. eine Vorrichtung (siehe Fig. 8 bis 10), die Folgendes aufweist:

1.1. eine Bitzelle (siehe die Bitzellen im Memory Block in Fig. 8 und 10), die an eine erste Bitleitung, eine zweite Bitleitung (*Main Bitlines* in Fig. 8) und,

1.2. eine Wortleitung (wl), die auf einen Wortleitungstreiber (*Treiberteil* in Fig. 9) anspricht, gekoppelt ist;

1.3. einen Abfühlverstärker (*sense amps* in Fig. 10), der an die erste Bitleitung und an die zweite Bitleitung (*Main Bitlines*) gekoppelt ist;

1.4. eine Zeitsteuerungs- bzw. Timingschaltung (*NOR-Glied und Inverter B1 und B2* in Fig. 10), die konfiguriert ist, um ein erstes Signal (*rechts abzweigende Leitung zur Schaltung B3 B4*) und ein zweites Signal (*bs auf der Leitung nach Inverter B2* in Fig. 10) zu generieren;

1.5. eine Schleifenschaltung (*Schaltung B3 B4, mit Replica Wortleitung fwl, Replica Bitline mit Dummy Cells, Current Sources, Inverter F1, S2, S3 in Fig. 10*), die konfiguriert ist, um ein Abfühleraktivierungssignal (*Signal „sense“ nach dem Inverter S3 in Fig. 10*) an den Abfühlerverstärker (*Sense amps*) in Reaktion auf das Empfangen des ersten Signals (*Signal auf nach dem NOR-Glied rechts abzweigender Leitung in Fig. 10*) zu liefern; und

1.6. eine Wortleitungsaktivierungsschaltung (*linker Schaltungsteil B3 in Fig. 9*), die konfiguriert ist ein Wortleitungsaktivierungssignal (*Ausgangssignal der NAND-Schaltung auf der Leitung oberhalb der unteren beiden Transistoren im linken Schaltungsteil B3 der Fig. 9*) an den Wortleitungstreiber (*mittlerer Teil B4 der Schaltung in Fig. 9*) in Reaktion auf das Empfangen des zweiten Signals (*bs*) zu liefern;

1.7. wobei die Schleifenschaltung betreibbar ist zum Empfangen des ersten Signals (*Signal auf rechts abzweigender Leitung*), bevor die Wortleitungsaktivierungsschaltung (*linker Teil B3 in Fig. 9*) das zweite Signal (*bs*) empfängt (*Die Schleifenschaltung wird so betrieben, was zeigt, dass sie auch so betreibbar ist*) und programmierbar ist (*siehe die programmierbaren Stromquellen in Fig. 8*), um eine Verzögerung des Abfühleraktivierungssignals (*sense in Fig. 10*) anzupassen bzw. einzustellen (*vgl. den Abschnitt „Clock Matching“ und S. 1208, rechte Sp., 2. Abs.: „Fundamentally, the clock path needs to match the data path to ensure fast and low-power operation. The data path starts from the local block select and/or global wordline, and goes through the wordline driver, memory cell, and bitline to the input of the sense amps. The clock path often starts from the local block select or some clock phase, and goes through a buffer chain to generate the sense clock.“*).

Da der Gegenstand des erteilten Anspruchs 1 und damit nach dem geltenden Hauptantrag keine weiteren Merkmale aufweist, ist er demnach nicht neu (Art. 54 EPÜ) und damit nicht patentfähig (Art. 52 Abs. 1 EPÜ)

5.2. Anspruch 1 des **Hilfsantrags 1** unterscheidet sich in drei Punkten vom erteilten Anspruch 1. Der erste Unterschied betrifft das Merkmal 1.4, das durch folgende Merkmale ersetzt ist:

1.4'. a timing circuit (232) configured to generate a first signal (101, 201) and a second signal (103, 203) in response to an input signal (231),

1.4.1. wherein the input signal (231) is a clock signal;

1.4.2. and wherein the first signal is activated prior to the second signal.

Auf Deutsch bedeutet dies, dass die Zeitsteuerungs- bzw. Timingschaltung, die konfiguriert ist, um ein erstes Signal und ein zweites Signal zu generieren, auf ein Eingangssignal anspricht, das ein Taktsignal ist und dass das erste Signal vor dem zweiten Signal erzeugt wird. Letzteres ist, wie bereits mehrfach ausgeführt, bei der in Fig. 10 der Druckschrift K6 gezeigten Schaltung der Fall, denn das zweite Signal (*bs*) wird gegenüber dem ersten Signal durch die beiden Inverter (*B1 und B2*) verzögert.

Das Eingangssignal in Fig. 10 stammt von einem Blockdecoder. Dieser Blockdecoder ist üblicherweise selbst getaktet, weshalb sein Ausgang auch ein Taktsignal darstellt, so dass es eines separaten Taktsignals nicht bedarf. Jedoch gibt Druckschrift K6 als Alternative auch ein Taktsignal an (*vgl. den bereits zitierten Abschnitt auf S. 1208, rechte Sp., 2. Abs.: „... from the local block select or some clock phase...“ oder siehe Fig. 1b*). Damit ist auch dieses Merkmal in Druckschrift 6 bereits offenbart.

Der zweite Unterschied besteht im Merkmal

1.7.1. whereby the first signal initiates the operation of the loop circuit (114, 214) before the second signal initiates the generation of the wordline enable signal,

das auf Deutsch übersetzt aussagt, dass die Schleifenschaltung aktiviert wird, bevor das Wortleitungsaktivierungssignal aktiviert wird. Dies ist, wie bereits mehrfach dargestellt, bei der Schaltung aus Fig. 10 der Druckschrift K6 der Fall, da das zweite Signal (*bs*) durch die zwei Inverter (*B1, B2*) gegenüber dem ersten Signal verzögert wird.

Der dritte Unterschied besteht im Merkmal

1.7.3. whereby the sense amplifier enable signal experiences an increased delay responding to the first signal as the supply voltage of a logic circuit portion of the loop circuit decreases in low power applications,

das auf Deutsch aussagt, dass das Abfühlerverstärkeraktivierungssignal eine erhöhte Verzögerung in Antwort auf das erste Signal hin erfährt, wenn die Versorgungsspannung des logischen Schaltungsteils in Niedrigleistungsanwendungen verringert ist. Dieses Merkmal ist zunächst auslegungsbedürftig, denn das Streitpatent zeigt in Fig. 3 deutlich, dass es gerade der Sinn der Anmeldung ist, dass die Verzögerung des ersten Signals, bis es die Schleifenschaltung als Abfühlerverstärkeraktivierungssignal wieder verlässt, unabhängig von der Versorgungsspannung des logischen Schaltungsteils sein soll. Mit einer niedrigeren Versorgungsspannung verlängert sich jedoch die dort mit „Supply voltage-dependent delay“ bezeichnete Verzögerung (306) auf Grund der längeren Laufzeiten der Signale in den Halbleiterbauelementen bei niedrigeren Betriebsspannungen. Mit der Verzögerung im Merkmal 1.7.3. muss demnach diese Verzögerung gemeint sein.

Dieses Merkmal ist damit aber auch bei der Schaltung in Druckschrift K6 bereits gegeben, denn es handelt sich bei ihm um eine physikalische Gesetzmäßigkeit, die folglich auch für die Schaltung K6 gilt.

Insgesamt weist damit die Schaltung aus Druckschrift K6 alle Merkmale des Anspruchs 1 nach Hilfsantrag 1 auf, weshalb der Gegenstand des Anspruchs 1 nach Hilfsantrag 1 ebenfalls nicht neu (Art. 54 EPÜ) und damit auch nicht patentfähig ist (Art. 52 Abs. 1 EPÜ).

5.3. Anspruch 1 des **Hilfsantrags 1a** unterscheidet sich vom Anspruch 1 des Hilfsantrags 1 dadurch, dass mit den neuen Merkmalen 1.7.3.“ und 1.7.4. versucht wird, das auslegungsbedürftige Merkmal 1.7.3. zu verdeutlichen.

Inhaltlich ist somit Anspruch 1 des Hilfsantrags 1a gegenüber Anspruch 1 des Hilfsantrags 1 unverändert, sofern man von der im Vorhergehenden dargestellten Auslegung des Merkmals 1.7.3. ausgeht. Damit ist der Gegenstand des Anspruchs 1 des Hilfsantrags 1a genau wie der Gegenstand des Anspruchs 1 des Hilfsantrags 1 zu beurteilen, d.h. er ist nicht neu (Art. 54 EPÜ) und damit nicht patentfähig (Art. 52 Abs. 1 EPÜ).

5.4. Anspruch 1 des **Hilfsantrags 2** und Anspruch 1 des **Hilfsantrags 2a** enthalten zusätzlich zu den Merkmalen des Anspruchs 1 des Hilfsantrags 1 bzw. des Anspruchs 1 des Hilfsantrags 1a das weitere Merkmal

1.8. and wherein the wordline driver 238 and the bit cell (202) exist in a memory voltage domain (264), while other components of the system (200) exist in a logic voltage domain (260),

was somit beansprucht, dass der Wortleitungstreiber und die Bitzelle in einer Speicherspannungsdomäne existieren, während andere Komponenten des Systems in einer Logikspannungsdomäne existieren. Dieses Merkmal beansprucht nicht, dass die beiden Spannungen Speicherspannung und Logikspannung unterschiedlich sind, was dazu führt, dass eine abstrakte Abgrenzung in zwei Domänen gemacht wird. Eine solche abstrakte Abgrenzung ist selbstverständlich auch in der Schaltung aus Fig. 10 der Druckschrift K6 möglich, weshalb auch die Gegenstände der Ansprüche 1 der Hilfsanträge 2 und 2a mangels Neuheit (Art. 54 EPÜ) nicht patentfähig sind (Art. 52 Abs. 1 EPÜ).

Doch selbst wenn man annehmen würde, dass diese Formulierung auch beinhaltet, dass die beiden Spannungen unterschiedlich sind, so ergäbe sich kein patentfähiger Gegenstand, denn die Druckschriften K13 und K15 legen jeweils dieses Merkmal für den Fachmann bereits nahe. So beschreibt Druckschrift K13 in Zusammenhang mit den Fig. 1 und 2 in den Abs. [0018] und [0021], dass der Speicherteil bei einer anderen, nämlich höheren Spannung als der Logikspannungsteil betrieben wird, wobei die hier wiedergegebene Fig. 2 zeigt, dass die Bitzellen (*Memory Array 24*) und die Wortleitungstreiber zumindest auch bei der Speicherspannung (V_M)

betrieben werden, während andere Bestandteile so der Kontrollsignalgenerator (*Control Signal Generator 28*) und der Taktgenerator (*Clock Gater 26*) bei der Logikspannung (V_L) betrieben werden. Generell werden die Logikschaltungsanteile bei der Logikspannung (V_L) und die Speicherschaltungsanteile bei der Speicherspannung (V_M) betrieben, wie Fig. 1 zeigt. Der Grund, warum eine

Aufspaltung der Schaltung in zwei Spannungsdomänen mit unterschiedlichen Versorgungsspannungen erfolgt, ist, dass mit einer Absenkung der Betriebsspannung eine geringere Leistung benötigt wird, was aber im Speicherteil nicht soweit möglich ist wie im Logikteil, da im Speicherteil die Zuverlässigkeit

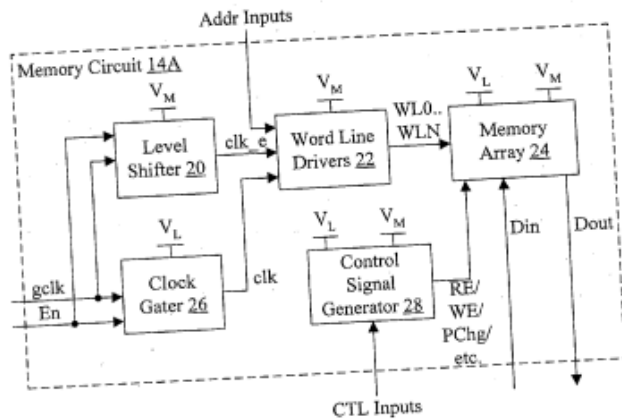


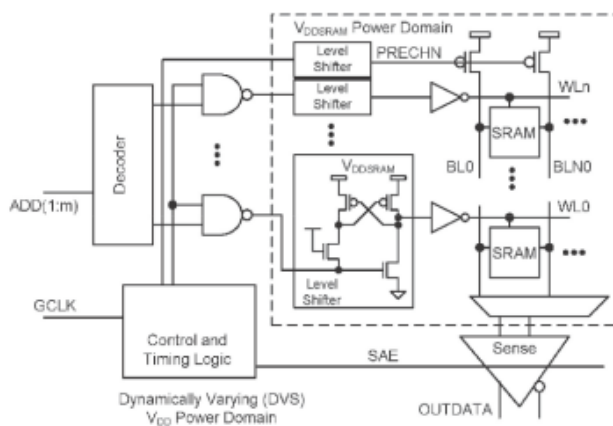
Fig. 2

des Speichers nicht mehr gegeben ist, wenn die Betriebsspannung unter einen bestimmten Wert sinkt (vgl. Abs. [0005] und [0006]: „Power consumption in an integrated circuit is related to the supply voltage provided to the integrated circuit. For example, many digital logic circuits represent a binary one and a binary zero as the supply voltage and ground voltage, respectively (or vice versa). As digital logic evaluates during operation, signals frequently transition fully from one voltage to the other. Thus, the power consumed in an integrated circuit is dependent on the magnitude of the supply voltage relative to the ground voltage. Reducing the supply voltage generally leads to reduced power consumption. However, there are limits to the amount by which the supply voltage may be reduced. One limit to the reduction of supply voltage that is experienced in integrated circuits that integrate memories (such as SRAM) is related to the robustness of the memory. As supply voltage decreases below a certain voltage, the ability to reliably read and write the memory decreases. The reduced reliability may have several sources. ...”).

Das Lehrbuch K15 offenbart ebenfalls eine Aufteilung eines SRAM-Chips in zwei Spannungsdomänen mit unterschiedlichen Versorgungsspannungen (siehe Fig. 6.7 auf S. 136 und Fig. 6.8 auf S. 137).

Die Aufteilung ist dabei in der hier wiedergegebenen Fig. 6.8 (b) ähnlich wie im Streitpatent durchgeführt. Die Speicherzellen (SRAM) und die Wortleitungstreiber (siehe die Inverter) befinden sich in einer Speicherspannungsdomäne, die mit einer Spannung V_{DDSRAM} betrieben wird, während sich die Logikschaltungsteile in einer Logikspannungsdomäne befinden, die mit V_{DD} betrieben wird.

Auch Druckschrift K15 gibt den Grund für die Aufteilung in zwei Domänen damit an, dass der Speicherteil bei einer zu geringen Spannung nicht mehr zuverlässig



arbeitet (vgl. S. 134, Abschnitt 6.3: „As mentioned in the introduction, some circuits may limit operation at low V_{DD} . Microprocessors and SOC ICs include numerous memories, usually implemented with six transistor SRAM cells. In future devices, it is expected that memory, and SRAM in particular, will

dominate IC area [13]. Unfortunately, SRAM has diminishing read stability [14] as manufacturing processes are scaled down in size and transistor level variations increase [15]. Lower V_{DD} profoundly reduces SRAM read stability, making it a primary limiting circuit when applying DVS.”).

Druckschrift K6 beschreibt bereits den Betrieb des Speichers bei unterschiedlichen Spannungen (vgl. das Abstract: „...Both the RAM’s were measured to operate over a wide range of supply voltages, with the latter dissipating 3.6 mW at 150 MHz at 1 V and 5.2 μW at 980 kHz at 0.4 V.), wobei der Betrieb bei einer niedrigeren Spannung zu einem geringeren Energieverbrauch führt. Den Energieverbrauch möglichst gering zu halten ist das Thema des Artikels (vgl. den Titel: „A Replica Technique for Wordline and Sense Control in Low-Power SRAM’s” und den ersten Abs. des Abschnitts „1. Introduction“: „LOW-POWER circuit designers have been continually pushing down supply voltages to minimize the energy consumption of chips for portable applications [1]–[3]. The same trend has also applied to low-power SRAM’s in the past few years [4]–[6].

While the supply voltages are scaling down at a rapid rate, to control subthreshold leakage, the threshold voltages have not scaled down as fast, which has resulted in a corresponding reduction of the gate overdrive for the transistors. ...“).

Ausgehend von der Absicht des Fachmanns, möglichst wenig Energie zu verbrauchen, wird der Fachmann somit die Betriebsspannung der in der Druckschrift K6 offenbarten Schaltung immer weiter absenken. Wie er aus den Druckschriften K13 und K15 erfährt und letztendlich auch in Druckschrift K6 bereits offenbart, ist dies bei den Speicherzellen nur in einem sehr beschränkten Umfang möglich, da sie ansonsten ihre Zuverlässigkeit verlieren. Die Druckschriften K13 und K15 zeigen nun einen Weg auf, mit dem der Energieverbrauch der Schaltung weiter verringert werden kann, nämlich indem die Schaltung in zwei Domänen, eine Speicherspannungsdomäne und eine Logikspannungsdomäne aufgeteilt wird, wobei die Logikspannungsdomäne mit einer geringeren Spannung betrieben wird als die Speicherspannungsdomäne. Auf diese Weise kann die Spannung der Logikspannungsdomäne weiter abgesenkt werden, so dass zumindest in ihr nochmals weniger Energie verbraucht wird. Der Fachmann wird diese Lehre auch auf die Schaltung in Druckschrift K6 übertragen und sie auch dort in eine Logikspannungsdomäne und eine Speicherspannungsdomäne aufteilen und die Betriebsspannung der Logikspannungsdomäne weiter absenken als dies für die Bitzellen und damit die Speicherspannungsdomäne für einen zuverlässigen Betrieb möglich ist. So kommt er in naheliegender Weise zu einer Vorrichtung, bei der eine Aufteilung gemäß Merkmal 1.8 erfolgt und zusätzlich die Speicherspannungsdomäne bei einer anderen Spannung betrieben wird als die Logikspannungsdomäne.

5.5. Anspruch 1 des **Hilfsantrags 3** geht vom erteilten Anspruch 1 aus. Bei ihm wird zusätzlich mit dem Merkmal

1.9. and wherein the loop circuit (114, 214) is further configured to provide a disable signal (245) to the wordline enable circuit to disable the wordline enable signal,

beansprucht, dass die Schleifenschaltung so konfiguriert ist, dass sie der Wortleitungsaktivierungsschaltung ein Deaktivierungssignal zur Verfügung stellt, um das Wortleitungsaktivierungssignal zu deaktivieren. Auch in Druckschrift K6 stellt die Schleifenschaltung der Wortleitungsaktivierungsschaltung ein solches Signal zur Verfügung. Wie bereits ausgeführt, ist dieses Signal in der Fig. 9 ersichtlich. Es ist das Signal, das von der Replicabiline über den Transistor (M_a), der noch zur Schleifenschaltung gehört, zum oberen rechten Transistor des erweiterten NAND-Gatters, also des linken Teils ($B3$) der in Fig. 9 gezeigten Schaltung verläuft. Wie bereits ausgeführt, deaktiviert dieses Signal die Schaltung. Damit weist die Schaltung aus Druckschrift K6 alle Merkmale des Anspruchs 1 des Hilfsantrags 3 auf, weswegen der Gegenstand des Anspruchs 1 des Hilfsantrags 3 ebenfalls nicht neu (Art. 54 EPÜ) und damit nicht patentfähig ist (Art. 52 Abs. 1 EPÜ).

5.6. Da Anspruch 1 des **Hilfsantrags 4** sowohl die Merkmale des Anspruchs 1 des Hilfsantrags 1 als auch das neue Merkmal 1.9. des Hilfsantrags 3 enthält und das Merkmal 1.9. in Druckschrift K6, wie gerade gezeigt, bereits gegeben ist, ist der Gegenstand dieses Anspruchs wie Anspruch 1 des Hilfsantrags 1 zu beurteilen. Das heißt, sein Gegenstand ist ebenfalls nicht neu (Art. 54 EPÜ) und damit nicht patentfähig (Art. 52 Abs. 1 EPÜ).

5.7. Im Anspruch 1 des **Hilfsantrags 5** sind ausgehend vom Anspruch 1 des Hilfsantrags 1 zwei Änderungen erfolgt. Die erste Änderung ist die Angabe, dass eine Vorrichtung beansprucht wird, die verschiedene Betriebsspannungen hat („having various supply voltages“). Dieses Merkmal ist sehr breit, denn es bleibt offen, wie viele Betriebsspannungen sie hat und ob diese gleichzeitig oder nacheinander vorliegen. Einmal davon abgesehen, dass dieses Merkmal ursprünglich nicht in seiner vollen Breite offenbart ist, ist es für die Schaltung in Fig. 10 der Druckschrift K6 gegeben, denn diese Schaltung wird nacheinander bei verschiedenen Betriebsspannungen betrieben, so beispielsweise 1.0 V, 0,75 V, 0,5 V, 0,45 V und 0,4 V (*siehe Table V*), weshalb dieses zusätzliche Merkmal die Neuheit nicht begründen kann.

Zudem wurden die Merkmale 1.7.1. bis 1.7.3. wie folgt geändert,

1.7.1.' whereby the first signal initiates the operation of the loop circuit (114, 214) before the second signal initiates the generation of the wordline enable signal, in order to give the sense amplifier additional time to adjust for a lower operating voltage,

1.7.2.' wherein the loop circuit (114, 214) is programmable to maintain a substantially constant delay between activation of a wordline signal by the wordline driver (138, 238) and activation of the sense amplifier enable signal (105, 205),

1.7.3.' and wherein the substantially constant delay is substantially independent of a supply voltage of a logic domain,

so dass nun beansprucht wird (Merkmal 1.7.1.'), dass das erste Signal die Schleifenschaltung die Arbeit aufnehmen lässt, bevor das zweite Signal ein Wortleitungsaktivierungssignal erzeugt, um dem Abfühlerverstärker Zeit zu geben, um sich an eine niedrigere Arbeitsspannung anzupassen. Dies ist auch bei der Schaltung in Druckschrift K6 der Fall, denn dort ist die Zeitsteuerungsschaltung wie beim Ausführungsbeispiel in Fig. 2 des Streitpatents ausgeführt, so dass, wie bereits mehrfach ausgeführt, das erste Signal (*Signal auf der rechts abzweigenden Leitung in Fig. 10*) die Schleifenschaltung (*deren Beginn ist der Eingang zur Schaltung B3 im untersten Block B3 B4*) die Arbeit aufnehmen lässt, bevor das zweite Signal (*bs*) die Erzeugung eines Wortleitungsaktivierungssignals anstößt. Dadurch erhält der Abfühlerverstärker, wie beim Ausführungsbeispiel des Streitpatents auch, die Verzögerungszeit von zwei Invertern (*B1, B2*) mehr Zeit, um die er an eine Arbeitsspannung angepasst werden kann.

Weiter wird beansprucht (Merkmal 1.7.2.'), dass die Schleifenschaltung programmierbar ist, um eine im Wesentlichen konstante Verzögerung zwischen der Aktivierung eines Wortleitungssignals durch den Wortleitungstreiber und der Aktivierung des Abfühlerverstärkeraktivierungssignals zu erhalten. Letzteres ist das Ziel des Timings der einzelnen Bestandteile in einem SRAM, auch im Fall der Druckschrift K6 (*vgl. die bereits zitierte Stelle auf S. 1208, rechte Sp., 2. Abs.*).

Jedoch spielt dies letztendlich keine Rolle, denn es wird lediglich beansprucht, dass die Schleifenschaltung so programmierbar ist, nicht, dass sie so programmiert wird. Eine derartige Programmierbarkeit steht außer Frage, denn es handelt sich bei dem programmierbaren Teil der Schleifenschaltung in Druckschrift K6 (*Replicabilität mit programmierbaren Spannungsquellen in Fig. 8*) um den gleichen programmierbaren Teil wie im Ausführungsbeispiel der Fig. 2 des Streitpatents, so dass schon aus diesem Grund davon auszugehen ist, dass der programmierbare Teil der Schaltung aus Druckschrift K6 dieses Merkmal wie das Ausführungsbeispiel des Streitpatents aufweist.

Zudem wird beansprucht (Merkmal 1.7.3.‘), dass die im Wesentlichen konstante Verzögerung im Wesentlichen unabhängig von einer Versorgungsspannung einer logischen Domäne ist. Dies ist ein Merkmal, das den Anspruch auf Grund seiner Ungenauigkeit in keiner Weise beschränkt. So ist die Verzögerung nur „im Wesentlichen“ konstant. Dies lässt offen, in welchem Umfang die Verzögerung sich dennoch ändern darf. Genauso bleibt offen, inwieweit eine Abhängigkeit von einer Versorgungsspannung bestehen darf, wenn die Verzögerung nur „im Wesentlichen“ unabhängig von einer Versorgungsspannung ist. Weiter wird von der Versorgungsspannung einer logischen Domäne gesprochen. Die logische Domäne ist aber nicht weiter definiert und muss nicht einmal ein Bestandteil der beanspruchten Vorrichtung sein, so dass sich für die meisten denkbaren logischen Domänen die Frage stellt, warum überhaupt eine Abhängigkeit von deren Versorgungsspannung bestehen sollte.

Damit weist die Vorrichtung aus Druckschrift K6 auch alle Merkmale des Anspruchs 1 des Hilfsantrags 5 auf, so dass dessen Gegenstand mangels Neuheit (Art. 54 EPÜ) nicht patentfähig ist (Art. 52 Abs. 1 EPÜ).

Doch selbst für den Fall, dass das in den Hilfsantrag 5 eingefügte neue Merkmal 1.7.3.‘ dahingehend interpretiert würde, dass unter der Versorgungsspannung der logischen Domäne die Versorgungsspannung des Logikteils der Vorrichtung zu verstehen ist, würde das Merkmal zu keinem patentfähigen Gegenstand führen, denn beim Timing des Abfühlerverstärkers ist dem Fachmann bekannt, dass dieser

zum „richtigen“ Zeitpunkt eingeschaltet werden muss, also zu einem Zeitpunkt, zu dem der Spannungsunterschied zwischen den beiden komplementären Bitleitungen groß genug ist, damit der Abfühlerverstärker das Signal erkennen kann, aber möglichst klein, um möglichst wenig Energie zu verbrauchen. Dieser Zeitpunkt ist aber nahezu („im Wesentlichen“) unabhängig von der Versorgungsspannung des Logikteils der Schaltung, sondern hängt von der Versorgungsspannung des Speicherteils der Schaltung ab. Damit wird der Fachmann das Timing der SRAM-Speicherschaltung so einstellen, dass das Abfühlerverstärkeraktivierungssignal gegenüber dem ersten Signal um einen konstanten Wert verzögert wird, unabhängig davon, mit welcher Versorgungsspannung der Logikteil der Schaltung betrieben wird.

5.8. Anspruch 1 des **Hilfsantrags 6** fasst nochmals die in den Ansprüchen 1 der vorausgehenden Hilfsanträge 1, 2, 3 und 5 getroffenen Änderungen in einem Anspruch zusammen. Wie die Ausführungen zu deren Ansprüchen 1 zeigen, ist auch der Gegenstand des Anspruchs 1 des Hilfsantrags 6 durch die Lehre der Druckschrift K6 neuheitsschädlich vorweggenommen (Art. 54 EPÜ), so dass er nicht patentfähig ist (Art. 52 EPÜ).

5.9. Beim Anspruch 1 des **Hilfsantrags 6a** sind gegenüber dem Anspruch 1 des Hilfsantrags 6 in den Merkmalen 1.7.2.' und 1.7.3.' jeweils die Formulierungen „im Wesentlichen“ weggelassen, so dass die Merkmale jetzt die folgende Formulierung besitzen:

1.7.2.^a wherein the loop circuit (114, 214) is programmable to maintain a constant delay between activation of a wordline signal by the wordline driver (138, 238) and activation of the sense amplifier enable signal (105, 205),

1.7.3.^a and wherein the constant delay is independent of a supply voltage of a logic domain.

Das Merkmal 1.7.3.^a wirkt dabei nach wie vor nicht beschränkend, da nach wie vor die logische Domäne und damit auch die Versorgungsspannung der logischen Domäne nicht definiert ist.

Auch für das Merkmal 1.7.2.^a gilt weiterhin, dass das Merkmal bei der in der Druckschrift K6 offenbarten Schaltung vorhanden sein muss, da der in Druckschrift K6 offenbarte programmierbare Teil der Schleifenschaltung identisch zu dem programmierbaren Teil der Schleifenschaltung im Ausführungsbeispiel der Fig. 2 des Streitpatents ist und somit die gleichen Einstellmöglichkeiten aufweisen muss wie der des Ausführungsbeispiels des Streitpatents.

Dabei benötigt der Ausdruck „constant delay“ im Merkmal 1.7.2.^a eine Interpretation. So handelt es sich bei dieser Verzögerung tatsächlich nicht um eine vollständig konstante Verzögerung, da die Verzögerung gemäß der Lehre des Streitpatents nicht kontinuierlich verändert und damit auf jeden beliebigen Wert eingestellt werden kann, sondern durch das Ein- bzw. Ausschalten von Stromquellen stufenweise verändert wird. Sie hängt von der ganzzahligen Anzahl der wirksamen Stromquellen ab. Dies bedeutet, dass die Verzögerung auf Grund der nur stufenweisen Einstellmöglichkeit nur insoweit konstant gehalten werden kann, als die eingestellte Stufe der Verzögerung möglichst nahe an den idealen Wert der Verzögerung herankommt. Dies bedeutet auch, dass in den ursprünglichen Unterlagen der Ausdruck „im Wesentlichen konstante Verzögerung“ nicht nur gewählt wurde, um das Merkmal zu verbreitern, sondern zumindest auch deshalb gewählt wurde, um zu verdeutlichen, dass eine echte konstante Verzögerung gemäß der Lehre des Streitpatents nicht möglich ist.

III.

Die Kostenentscheidung beruht auf § 84 Abs. 2 Satz 1 und Satz 2 Halbsatz 1 PatG i. V. m. § 91 Abs. 1 Satz 1 ZPO.

Die Entscheidung über die vorläufige Vollstreckbarkeit beruht auf § 99 Abs. 1 PatG i. V. m. § 709 Satz 1 und Satz 2 ZPO.

IV.

Rechtsmittelbelehrung

Gegen dieses Urteil ist das Rechtsmittel der Berufung gemäß § 110 PatG statthaft.

Die Berufung ist innerhalb eines Monats nach Zustellung des in vollständiger Form abgefassten Urteils spätestens nach Ablauf von fünf Monaten nach Verkündung durch einen in der Bundesrepublik Deutschland zugelassenen Rechtsanwalt oder Patentanwalt schriftlich beim Bundesgerichtshof, Herrenstraße 45a, 76133 Karlsruhe, einzulegen.

Die Berufungsschrift muss

- die Bezeichnung des Urteils, gegen das die Berufung gerichtet ist, sowie
- die Erklärung, dass gegen dieses Urteil Berufung eingelegt werde,

enthalten. Mit der Berufungsschrift soll eine Ausfertigung oder beglaubigte Abschrift des angefochtenen Urteils vorgelegt werden.

Auf die Möglichkeit, die Berufung nach § 125a PatG in Verbindung mit § 2 der Verordnung über den elektronischen Rechtsverkehr beim Bundesgerichtshof und Bundespatentgericht (BGH/BPatGERVV) auf elektronischem Weg beim Bundesgerichtshof einzulegen, wird hingewiesen (www.bundesgerichtshof.de/erv.html).

Hartlieb

Dr. Friedrich

Dr. Zebisch

Dr. Himmelmann

Dr. Kapels