



BUNDESPATENTGERICHT

17 W (pat) 48/19

(Aktenzeichen)

BESCHLUSS

In der Beschwerdesache

betreffend die Patentanmeldung 11 2005 003 880.7

...

hat der 17. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts am 22. Februar 2022 unter Mitwirkung des Vorsitzenden Richters Dipl.-Phys. Dr. Morawek, des Richters Dipl.-Ing. Baumgardt, der Richterin Akintche und des Richters Dipl.-Phys. Dr. Städele

beschlossen:

Auf die Beschwerde der Anmelderin wird der Beschluss der Prüfungsstelle für Klasse G 06 F des Deutschen Patent- und Markenamts vom 6. August 2019 aufgehoben und die Sache zur weiteren Prüfung und Entscheidung an das Deutsche Patent- und Markenamt zurückverwiesen.

Gründe

I.

Die vorliegende Patentanmeldung entstand im Prüfungsverfahren durch Teilung aus der Stammanmeldung 11 2005 002 364.8 und trägt die Bezeichnung:

„Heterogene Prozessoren mit gemeinsamen Cache“.

Die Stammanmeldung ist eine PCT-Anmeldung in nationaler Phase, welche als WO 2006 / 055 477 A1 in Englisch und als DE 11 2005 002 364 T5 in deutscher Übersetzung veröffentlicht wurde. Ihr PCT-Anmeldetag ist der 10. November 2005, und sie nimmt die Priorität einer US-Voranmeldung vom 19. November 2004 in Anspruch.

Die vorliegende, aus der Teilung hervorgegangene Anmeldung wurde durch Beschluss der Prüfungsstelle für Klasse G 06 F des Deutschen Patent- und Markenamts in der Anhörung vom 6. August 2019 mit der Begründung zurückgewiesen, dass der Gegenstand des Patentanspruchs 1 des (damaligen) Hauptantrags unzulässig erweitert worden sei, und der Patentanspruch 1 des (damaligen) Hilfsantrags nicht patentfähig sei, weil er mit Rücksicht auf den aus Druckschrift **D1** (Suh, T. et al.: Supporting cache coherence in heterogeneous multiprocessor systems – siehe Zurückweisungsbeschluss) bekannten Stand der Technik in Verbindung mit dem exemplarisch dokumentierten Grundlagenwissen des Durchschnittsfachmanns nicht auf einer erfinderischen Tätigkeit beruhe.

Gegen diesen Beschluss ist die Beschwerde der Anmelderin gerichtet.

Mit ihrer Beschwerdebegründung vom 1. Februar 2021 hatte die Anmelderin einen neuen Hauptantrag und einen neuen Hilfsantrag eingereicht. Der Senat hat mit Zwischenbescheid vom 13. Juli 2021 festgestellt, dass keiner dieser neuen Patent-

ansprüche der ursprünglichen Offenbarung entspricht. Mit Eingabe vom 12. November 2021 hat die Anmelderin eine überarbeitete Fassung ihrer Anträge vorgelegt und die ursprüngliche Offenbarung der geltenden Merkmale erläutert.

Die Anmelderin stellt nunmehr sinngemäß den Antrag (siehe Eingabe vom 12. November 2021, Seite 10/11):

- a) ein Patent auf den Hauptantrag zu erteilen;
- b) hilfsweise, ein Patent auf den Hilfsantrag zu erteilen;
- c) sollte beides nicht möglich sein, die Anmeldung zur weiteren Prüfung ans Deutsche Patent- und Markenamt zurückzuverweisen,
- d) und andernfalls die Durchführung einer mündlichen Verhandlung.

Der einzige Patentanspruch des neuen **Hauptantrags** lautet, hier mit einer neuen Gliederung (welche sich in der Nummerierung an die alte Gliederung anlehnt) und einer klarstellenden Ergänzung („architektonischen“) in Merkmal **HXb**:

- H1** Ein Multiprozessorsystem, umfassend:
- H2** einen Hauptspeicher (14);
- H3** einen Speicherbus (16); und
- H4** einen Multiprozessor (12), der mit dem Hauptspeicher (14) durch den Speicherbus (16) gekoppelt ist,

- H5** wobei der Multiprozessor (12) einen gemeinsamen Cache (18) und mehrere Prozessorkerne (20) enthält, die den Cache (18) gemeinsam benutzen,
- H6a** wobei die Prozessorkerne (20) architektonisch unterschiedliche Prozessorkerne enthalten;
- H6b** wobei die mehreren Prozessorkerne (20) Prozessorkerne eines ersten architektonischen Typs und Prozessorkerne eines zweiten architektonischen Typs enthalten, und
- HXa** wobei der gemeinsame Cache (18) ein Mehrportcache mit je einem Port für jeden architektonischen Typ der Prozessorkerne ist, und
- HXb** wobei die Prozessorkerne des ersten architektonischen Typs konfiguriert sind, sich mit einem ersten Port des gemeinsamen Caches (18) zu verbinden, und wobei die Prozessorkerne des zweiten architektonischen Typs konfiguriert sind, sich mit einem zweiten Port des gemeinsamen Caches zu verbinden; und
- H7** wobei wenigstens einer der Prozessorkerne (20) konfiguriert ist, Daten in den gemeinsamen Cache (18) zu schreiben
- H8** und einen anderen Prozessorkern der Prozessorkerne (20) darüber zu verständigen, dass die Daten bereit sind,
- H9** und wobei der andere Prozessorkern konfiguriert ist, die Daten als Antwort darauf aus dem gemeinsamen Cache (18) zu lesen.

Der einzige Patentanspruch des neuen **Hilfsantrags** lautet, hier mit einer neuen Gliederung (welche sich in der Nummerierung an die alte Gliederung anlehnt) und der Korrektur eines falschen Bezugszeichens („der zweite Cache (80)“) in Merkmal **I6**:

- I1** System, umfassend
- I3** einen Multiprozessor (12) mit einem oder mehreren architektonisch unterschiedlichen Prozessorkernen (22, 24) und einem ersten Cache (18);
- I2** einen Allzweckprozessor (76) mit einer Vielzahl von Kernen (78) und einem zweiten Cache (80),
- I2a** der von zwei oder mehr der Vielzahl von Kernen (78) des Allzweckprozessors (76) gemeinsam zu nutzen ist
- I2b** und auch mit den architektonisch unterschiedlichen Prozessorkernen (22, 24) des Multiprozessors (12) gemeinsam zu nutzen ist; und
- I4** eine Bridge (74),
- I5** die den ersten Cache (18) mit dem zweiten Cache (80) koppelt,
- I6** wobei der erste Cache (18) und der zweite Cache (~~18~~ 80) kohärent zu halten sind;
- I7** wobei die Prozessorkerne (22, 24) des Multiprozessors (12) konfiguriert sind, auf den ersten Cache (18) über ein erstes Protokoll zuzugreifen

- I8** und wobei die Bridge (74) implementiert ist,
- I82** der Vielzahl von Kernen (78) zu ermöglichen, den ersten Cache (18) mit einem zweiten Protokoll zu referenzieren,
- I81** das sich von dem ersten Protokoll unterscheidet.

Hinsichtlich der im Prüfungsverfahren entgegengehaltenen Druckschriften **D1**, **D2** und **D3** sowie **G4** bis **G10** wird auf den Zurückweisungsbeschluss der Prüfungsstelle vom 6. August 2019 verwiesen.

Vom Senat wurden ferner noch folgende, der Anmelderin aus Parallel-Verfahren bekannte Druckschriften als Stand der Technik eingeführt:

- D11** US 2001 / 42 189 A1 (= **D1** der Stammanmeldung)
- D12** US 5 875 470 A (= **D5** der Stammanmeldung)
- D13** US 5 898 892 A (aus der PCT-Recherche)

Im Beschwerdeverfahren zur Stammanmeldung (17 W (pat) 47/19) hatte der Senat außerdem noch nachbenannt (hier bisher nicht im Verfahren):

- D17** EP 1 029 281 B1 (siehe insbes. Figur 9 und
Abs. [0048] bis [0052])

II.

Die Beschwerde ist rechtzeitig eingegangen und auch sonst zulässig. Sie hat insoweit Erfolg, als der Haupt- und Hilfsantrag in der jetzt geltenden Fassung an das Deutsche Patent- und Markenamt zurückzuverweisen sind, weil dieses noch nicht in der Sache selbst entschieden hat (§ 79 Abs. 3 Satz 1 Nr. 1 PatG).

1. Die vorliegende Anmeldung betrifft die effiziente Nutzung von Cache-Speicher für ein Multiprozessor-System mit mehreren architektonisch unterschiedlichen („heterogenen“) Prozessorkernen (siehe die deutsche Übersetzung der PCT-Stammanmeldung, veröffentlicht als **DE 11 2005 002 364 T5**, Zusammenfassung / Abs. [0017] – weil signifikante Unterschiede der Übersetzungsschrift zur zugrundeliegenden PCT-Anmeldung bisher nicht erkennbar waren, beziehen sich alle folgenden Zitate auf diese, referenziert in Kurzform als „**DE-T5**“). Solche architektonisch unterschiedliche Prozessorkerne können z.B. Netzwerkprozessorkerne (NPU-Kerne), Grafikmaschinenkerne und/oder mindestens ein Zentralprozessorkern (CPU-Kern) sein (**DE-T5** Abs. [0010], [0011]).

In der Anmeldung wird ausgeführt, dass Spezialprozessoren häufig außerhalb der Cache-Hierarchie des Allzweckprozessors untergebracht seien. Die Bewegung von Daten zwischen Allzweckprozessor und Spezialprozessor erfordere dann einen Schreib- und einen Lesevorgang im (relativ langsamen) Hauptspeicher (**DE-T5** Abs. [0002], [0003]).

Zur Verbesserung schlägt die Anmeldung zunächst einen gemeinsamen Cache für den Zentralprozessorkern und die Spezialprozessorkerne vor (**DE-T5** Abs. [0009]; Fig. 1 bis 3) und macht Vorschläge zur Architektur und zur Ansteuerung. Im Weiteren wird auch der Einsatz mehrerer Caches und einer Brückenschaltung („Bridge“) zur Koppelung der Caches vorgeschlagen (**DE-T5** Abs. [0022] bis [0026]; Figur 4).

Als **Fachmann**, der mit der Aufgabe betraut wird, für Mehrprozessor-Systeme den Datenaustausch durch Verbesserungen bei der Cache-Anbindung zu beschleunigen, sieht der Senat einen Informatiker oder Elektrotechniker mit Hochschulabschluss an, der mehrjährige Erfahrung in der Entwicklung von Multiprozessor-Systemen, welche Cache bzw. „Shared Cache“ in unterschiedlich komplexen Systemen und Konstellationen einsetzen, aufweist.

2. In diesem Kontext betreffen die beiden geltenden Patentansprüche nach Haupt- und Hilfsantrag jedoch unterschiedliche speziellere Anordnungen:

2.1 Der einzige Patentanspruch des **Hauptantrags** ist zunächst mit den Merkmalen **H1** bis **H5** auf ein Multiprozessorsystem mit einem Multiprozessor (12) gerichtet, der mit einem Hauptspeicher (14) durch einen Speicherbus (16) gekoppelt ist. Der Multiprozessor (12) enthält mehrere Prozessorkerne (20) und einen gemeinsamen Cache (18), der von den mehreren Prozessorkernen (20) gemeinsam benutzt wird.

Gemäß den Merkmalen **H6a** und **H6b** sollen „die Prozessorkerne (20) architektonisch unterschiedliche Prozessorkerne enthalten“, und zwar noch konkreter „Prozessorkerne eines ersten architektonischen Typs und Prozessorkerne eines zweiten architektonischen Typs“. Generell ist dem Fachmann bewusst, dass architektonisch unterschiedliche Prozessorkerne möglicherweise eine unterschiedliche Arbeitsweise haben, insbesondere auch im Hinblick auf eine Cache-Anbindung.

Gegenüber der vorher geltenden Anspruchsfassung kommen jetzt (basierend auf dem Ausführungsbeispiel der Figur 2) die Merkmale **HXa** und **HXb** hinzu, dass der gemeinsame Cache (18) ein Mehrportcache ist, mit je einem Port für jeden architektonischen Typ der Prozessorkerne; und dass die Prozessorkerne des ersten architektonischen Typs sich mit einem ersten Port des gemeinsamen Caches verbinden, und die Prozessorkerne des zweiten architektonischen Typs sich mit einem zweiten Port des gemeinsamen Caches verbinden. D.h. dass der Mehrportcache

für bestimmte architektonische Typen von Prozessorkernen definierte unterschiedliche Ports aufweist.

Mit den Merkmalen **H7**, **H8** und **H9** wird eine spezielle Verwendung des gemeinsamen Caches (18) beansprucht: Wenigstens einer der Prozessorkerne (20) soll konfiguriert sein, Daten in den gemeinsamen Cache (18) zu schreiben und einen anderen der Prozessorkerne (20) zu verständigen, dass die Daten bereit sind; daraufhin ruft dieser andere Prozessorkern die Daten direkt aus dem gemeinsamen Cache ab. D.h. hier soll der gemeinsame Cache zum unmittelbaren Datenaustausch zwischen Prozessorkernen unter Umgehung des (langsamen) Hauptspeichers dienen.

2.2 Hingegen betrifft der einzige Patentanspruch des Hilfsantrags ein Ausführungsbeispiel im Kontext der Figur 4: Hier ist ein System beansprucht, das einerseits entsprechend dem Merkmal **I3** einen Multiprozessor (12) mit einem oder mehreren architektonisch unterschiedlichen Prozessorkernen (22, 24) und einem eigenen ersten Cache (18) aufweist, und das andererseits entsprechend den Merkmalen **I2** und **I2a** einen Allzweckprozessor (76) mit einer Vielzahl von Kernen (78) und einem eigenen zweiten Cache (80) aufweist, der von zwei oder mehr der Vielzahl von Kernen (78) des Allzweckprozessors (76) gemeinsam genutzt werden kann.

Gemäß Merkmal **I2b** soll der zweite Cache (80) des Allzweckprozessors (76) zusätzlich auch gemeinsam mit den architektonisch unterschiedlichen Prozessorkernen (22, 24) des Multiprozessors (12) zu nutzen sein. Dazu ist eine „Bridge (74)“ vorgesehen, welche den ersten Cache (18) mit dem zweiten Cache (80) koppelt (Merkmale **I4**, **I5**), wobei die beiden genannten Caches (18) und (80) kohärent zu halten sind (Merkmal **I6**).

Die beanspruchte Lehre gemäß Hilfsantrag sieht jetzt vor, dass von den Prozessorkernen des Multiprozessors (12) auf den ersten Cache (18) über ein „erstes“ (Cache-) Protokoll zugegriffen wird (Merkmal **I7**); ferner soll die „Bridge (74)“ der

Merkmale **I4 / I5** es der Vielzahl von Prozessor-Kernen (78) des Allzweckprozessors (76) ermöglichen, den ersten Cache (18) des Multiprozessors (12) mit einem „zweiten“ (Cache-) Protokoll anzusprechen, welches sich von dem zuvor genannten „ersten“ (Cache-) Protokoll der Prozessorkerne des Multiprozessors (12) unterscheidet (Merkmal **I8, I82, I81**). D.h. die Kerne (78) des Allzweckprozessors (76) einerseits, und die Kerne des Multiprozessors (12) andererseits können für den Zugriff auf den Cache des Multiprozessors (12) unterschiedliche Cache-Protokolle verwenden, wobei die Bridge (74) das von den Kernen (78) des Allzweckprozessors (76) verwendete „zweite“ Cache-Protokoll in geeigneter Weise umsetzt (übersetzt).

3. Die Lehre der (einzigen) Patentansprüche 1 nach Haupt- und Hilfsantrag überschreitet den Rahmen der ursprünglichen Offenbarung nicht.

3.1 Als „ursprüngliche Offenbarung“ sind die englischsprachigen PCT-Anmeldeunterlagen der Stammanmeldung anzusehen, wie sie als WO 2006 / 055 477 A1 veröffentlicht wurden (vgl. Busse / Keukenschrijver, PatG, 9. Auflage (2020), § 34 Rdnr. 192 – Fußnote 565 mit Verweis auf EPA T 605/93). Die deutsche Übersetzung gemäß DE 11 2005 002 364 T5 kann herangezogen werden, soweit keine Diskrepanzen bestehen. Eine nachträgliche Korrektur von Übersetzungsfehlern ist im Patenterteilungsverfahren jederzeit zulässig (vgl. Schulte, PatG, 11. Auflage (2022), § 35a Rdnr. 21).

3.2 Die Merkmale des Patentanspruchs 1 nach Hauptantrag sind ursprünglich als zur Erfindung gehörig offenbart.

Sämtliche Merkmale können sich grundsätzlich auf die ursprünglichen Patentansprüche 9, 12 und 18 der Stammanmeldung stützen (siehe **DE-T5**).

Zwar sind diese ursprünglichen Patentansprüche zurückbezogen auf den ursprünglichen Patentanspruch 1, welcher als wesentliches Merkmal enthielt, dass „die

Prozessorkerne und der Cache auf einem einzigen integrierten Chip integriert sind“. Dieses Merkmal wurde im geltenden Patentanspruch 1 weggelassen.

Dagegen bestehen jedoch keine Bedenken. Denn „den mit der Anmeldung ursprünglich formulierten Patentansprüchen kommt im Rahmen des Erteilungsverfahrens keine eine weitergehende Offenbarung in der Beschreibung einschränkende Bedeutung zu“ (BGH GRUR 2005, 1023 – *Einkaufswagen I*); und in Abs. [0017] der **DE-T5** sind auch Alternativen zur Integration auf einem einzigen Chip angegeben.

Im Detail lassen sich die Merkmale **H1** bis **H5** dem Abs. [0009] der **DE-T5** entnehmen, die Merkmale **H6a** und **H6b** dem Abs. [0010]. Die Merkmale **HXa** und **HXb** ergeben sich aus Abs. [0019] und Figur 2. Zu den Merkmalen **H7**, **H8** und **H9** kann auf Abs. [0014] verwiesen werden.

3.3 Auch die Merkmale des Patentanspruchs 1 nach Hilfsantrag sind ursprünglich als zur Erfindung gehörig offenbart.

Sie basieren grundsätzlich auf den ursprünglichen Patentansprüchen 19 bis 28 der Stammanmeldung (siehe **DE-T5**) und insbesondere auf dem Ausführungsbeispiel gemäß Figur 4.

Im Detail ergeben sich die Merkmale **I1**, **I3**, **I2** und **I2a** aus Abs. [0022] der **DE-T5**, wobei der Aufbau des Multiprozessors (12) nach Merkmal **I3** etwa in Abs. [0013] näher beschrieben ist. Die gemeinsame Nutzung des Caches (80) auch von den Prozessoren des Multiprozessors gemäß Merkmal **I2b** findet sich in Abs. [0023] erster Satz. Auch die Brücke (74) gemäß den Merkmalen **I4** und **I5** geht aus Abs. [0023] hervor; zur Kohärenz gemäß Merkmal **I6** siehe Abs. [0022] letzter Satz.

Der Zugriff auf den Cache (18) über zwei unterschiedliche Cache-Protokolle gemäß den Merkmalen **I7** und **I82** i.V.m. **I8** und **I81** ist in Abs. [0023] näher beschrieben, wobei das beispielhaft genannte IXA-Protokoll dem anspruchsgemäßen „ersten

Protokoll“ und der genannte IA-Cache-Zugriff dem anspruchsgemäßen „zweiten Protokoll“ entspricht. Gegen die Verallgemeinerung bestehen keine Einwände, vgl. auch Abs. [0023] zweiter Satz „daß andere Prozessortypen ... verschiedene Protokolle für den Zugriff auf den gemeinsamen Cache 18 einsetzen. In einer Beispielimplementierung ...“.

4. Das Patentamt hat noch nicht in der Sache selbst entschieden.

Die Prüfungsstelle hat am 6. August 2019 fünf aufeinanderfolgende Anhörungen durchgeführt und darin die Stammanmeldung 11 2005 002 364.8 sowie vier Teilanmeldungen aus der Stammanmeldung mit den Aktenzeichen 11 2005 003 877.7, 11 2005 003 878.5, 11 2005 003 879.3 und 11 2005 003 880.7 (letztere ist die hier vorliegende Anmeldung) jeweils durch Beschluss zurückgewiesen.

Die von der Prüfungsstelle zurückgewiesenen Patentansprüche betrafen alle in der ein oder anderen Form das Ausführungsbeispiel der Figur 4 der Anmeldung mit zwei Gruppen von Prozessorkernen, jeweils einem gemeinsam genutzten Cache, und einer Brücke zur Koppelung der beiden Caches.

Weder war bisher ein Mehrportcache Gegenstand des Prüfungsverfahrens, insbesondere nicht mit je einem Port für einen bestimmten architektonischen Typ der Prozessorkerne (Merkmale **HXa** / **HXb** des Hauptantrags); noch war einer der zurückgewiesenen Patentansprüche darauf gerichtet, dass ein und derselbe Cache von Prozessoren des Multiprozessors mit einem ersten Cache-Protokoll angesprochen wird, von Prozessoren des Allzweckprozessors aber über ein zweites, anderes Cache-Protokoll, wobei die Brücke (74) eingerichtet sein soll, letzteres zu ermöglichen (Merkmale **I7**, **I8**, **I82** und **I81** des Hilfsantrags).

Eine Recherche hinsichtlich dieser zusätzlichen Aspekte und eine Beurteilung durch die Prüfungsstelle des Deutschen Patent- und Markenamts steht noch aus.

5. Die Anmeldung war daher an das Deutsche Patent- und Markenamt zurückzuverweisen (vgl. Busse / Keukenschrijver, PatG, 9. Auflage (2020), § 79 Rn 56, Rn 64 ff.).

Weil die Frage, in welchem Umfang ggf. eine Patenterteilung für das neue Patentbegehren möglich ist, bisher noch nicht Gegenstand eines Prüfungsverfahrens war, ist eine Sach-Entscheidung durch den Senat nicht als verfahrensökonomisch anzusehen, welche der Anmelderin außerdem eine Verfahrensinstanz nehmen würde.

6. Eine mündliche Verhandlung war für den Fall einer Zurückverweisung nicht beantragt und wurde vom Senat auch nicht für sachdienlich gehalten (§ 78 PatG).

Rechtsmittelbelehrung

Gegen diesen Beschluss steht den am Beschwerdeverfahren Beteiligten das Rechtsmittel der Rechtsbeschwerde zu. Da der Senat die Rechtsbeschwerde nicht zugelassen hat, ist sie nur statthaft, wenn gerügt wird, dass

1. das beschließende Gericht nicht vorschriftsmäßig besetzt war,
2. bei dem Beschluss ein Richter mitgewirkt hat, der von der Ausübung des Richteramtes kraft Gesetzes ausgeschlossen oder wegen Besorgnis der Befangenheit mit Erfolg abgelehnt war,
3. einem Beteiligten das rechtliche Gehör versagt war,
4. ein Beteiligter im Verfahren nicht nach Vorschrift des Gesetzes vertreten war, sofern er nicht der Führung des Verfahrens ausdrücklich oder stillschweigend zugestimmt hat,
5. der Beschluss aufgrund einer mündlichen Verhandlung ergangen ist, bei der die Vorschriften über die Öffentlichkeit des Verfahrens verletzt worden sind, oder
6. der Beschluss nicht mit Gründen versehen ist.

Die Rechtsbeschwerde ist innerhalb eines Monats nach Zustellung des Beschlusses beim Bundesgerichtshof, Herrenstr. 45 a, 76133 Karlsruhe, durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten schriftlich einzulegen.

Dr. Morawek

Baumgardt

Akintche

Dr. Städele

Pa