



BUNDESPATENTGERICHT

IM NAMEN DES VOLKES

URTEIL

2 Ni 23/22 (EP)
verbunden mit
2 Ni 30/22 (EP)

Verkündet am
07. März 2024

(Aktenzeichen)

In Patentnichtigkeitssache

...

betreffend das europäische Patent EP 2 454 735

(DE 60 2010 066 109)

hat der 2. Senat (Nichtigkeitssenat) des Bundespatentgerichts auf Grund der mündlichen Verhandlung vom 7. März 2024 unter Mitwirkung der Vorsitzenden Richterin Hartlieb sowie der Richter Dipl.-Phys. Dr. rer. nat. Friedrich, Dipl.-Phys. Dr. rer. nat. Zebisch, Dr. Himmelmann und Dr.-Ing. Kapels für Recht erkannt:

- I. Das europäische Patent EP 2 454 735 wird mit Wirkung für das Hoheitsgebiet der Bundesrepublik Deutschland in vollem Umfang für nichtig erklärt.
- II. Die Kosten des Rechtsstreits trägt die Beklagte.
- III. Das Urteil ist gegen Sicherheitsleistung in Höhe von 120 % des zu vollstreckenden Betrages vorläufig vollstreckbar.

Tatbestand

Die Beklagte ist Inhaberin des auch mit Wirkung für die Bundesrepublik Deutschland erteilten und am 1. Juli 2010 in der Verfahrenssprache Englisch international angemeldeten europäischen Patents EP 2 454 735, das die Bezeichnung „SYSTEM AND METHOD UTILIZING DISTRIBUTED BYTE-WISE BUFFERS ON A MEMORY MODULE“ („SYSTEM UND VERFAHREN MIT VERTEILTEN BYTE-WEISEN PUFFERN AUF EINEM SPEICHERMODUL“) trägt und die Prioritäten US 504131 vom 16. Juli 2009 und US 761179 vom 15. April 2010 in Anspruch nimmt. Es wird vom Deutschen Patent- und Markenamt unter der Nummer DE 60 2010 066 109.1 geführt. Der Veröffentlichungstag der mit der EP 2 454 735 B1 (Streitpatentschrift) publizierten Patenterteilung ist der 9. Dezember 2020.

Das Streitpatent umfasst den unabhängigen Vorrichtungsanspruch 1, den unabhängigen Verfahrensanspruch 13 und die abhängigen Ansprüche 2 bis 12 sowie 14 bis 15.

Die Klägerinnen begehren die Nichtigkeitsklärung des deutschen Teils des Streitpatents in vollem Umfang. Die Beklagte verteidigt das Streitpatent unbeschränkt und hilfsweise beschränkt mit 14 Hilfsanträgen.

Die Klägerinnen stützen ihre Klage auf den Nichtigkeitsgrund der mangelnden Patentfähigkeit mit Blick auf fehlende Neuheit und fehlende erfinderische Tätigkeit und den Nichtigkeitsgrund der fehlenden ursprünglichen Offenbarung.

Zur Stützung ihres Vorbringens hat die Klägerin 1 die folgenden Dokumente genannt:

- NK1 Verletzungsklageschrift der Beklagten gegen die M..., Inc. (USA) und die M...(Deutschland) GmbH, M..., an das LG D.....vom 31. März 2022;
- NK2 EP 2 454 735 B1 (Streitpatentschrift);
- NK3 WO 2011/008580 A1;
- NK4 US 12/504,131;
- NK5 US 12/761,179;
- NK6 DPMA, Registerauszug zum Aktenzeichen 60 2010 066 109.1, Stand am 31. August 2022 (letzte Aktualisierung in DPMAregister am 5. Januar 2022);
- NK7 LG M... I (7. Zivilkammer), Endurteil vom 31. Januar 2019 – 7 O 10137/17;
- NK8 DE 20 2010 018 501 U1;
- NK9 DPMA (20 2010 018 501.7), Beschluss vom 28. Mai 2019;
- NK10 JEDEC Solid State Technology Association, JEDEC Standard JESD79- 2B, „DDR2 SDRAM Specification“;
- NK11 US 2006/0277355 A1;
- NK12 US 7,024,518 B2;
- NK13 US 2009/0248969 A1;
- NK14a Merkmalsgliederung der Ansprüche 1–15 des Streitpatents – Englisch;

- NK14b Merkmalsgliederung des Anspruchs 1 – deutsche Übersetzung;
- NK15 Wikipedia „Data buffer“, last edited on 24 June 2009, at 20:26 (UTC);
- NK16 Wikipedia „Power-on self-test“,
https://en.wikipedia.org/w/index.php?title=Power-on_self-test&oldid=301955093;
- NK17 Wikipedia „Serial presence detect“,
https://en.wikipedia.org/w/index.php?title=Serial_presence_detect&oldid=302285905.

Zur Stützung ihres Vorbringens hat die Klägerin 2 die folgenden Dokumente genannt:

- QE 1 Verletzungsklageschrift der Beklagten u. a. gegen G...Limited (Irland), G...GmbH, Hamburg, und G...LLC (USA) an das LG D..... vom 26. Juli 2022;
- QE 2 Nichtigkeitsklageschrift der Klägerinnen 3 und 4 (2 Ni 30/22 (EP)) vom 28. Oktober 2022 an das BPatG;
- QE 3 Gegenüberstellung des Anspruchs 1 in erteilter Fassung mit Anspruch 1 der Ursprungsanmeldung, WO 2011/008580 A1 (NK3);
- QE 4 US 7,464,225 B2.

Zur Stützung ihres Vorbringens haben die Klägerinnen 3 und 4 die folgenden Dokumente genannt:

- SP1 EP 2 454 735 B1 (Streitpatentschrift);
- SP2 WO 2011/008580 A1;
- SP3 US 12/504,131;
- SP4 US 12/761,179;
- SP5 DPMA, Registerauszug zum Aktenzeichen 60 2010 066 109.1, Stand am 28. Oktober 2022 (letzte Aktualisierung in DPMAregister am 15. Oktober 2022);
- SP6 Verletzungsklageschrift der Beklagten gegen die Klägerinnen 3 und 4 an das LG D.....vom 3. Juni 2022;
- SP6a Schriftsatz der Beklagten an das LG D... ... vom 1. Juni 2023;
- SP6b Merkmalsgliederung EP 2 454 735 (Streitpatent), Anspruch 1;

- SP7 Merkmalsgliederung des Patentanspruchs 1 des Streitpatents in deutscher Sprache und in der erteilten englischsprachigen Fassung.
- ZP1 US 2006/0277355 A1;
- ZP2 Bruce Jacob et al., „Memory Systems. Cache, DRAM, Disk“, Elsevier Inc. 2008, ISBN: 978-0-12-379751-3, Seiten 315-352, 377-456;
- ZP3 JEDEC STANDARD JESD79F Double Data Rate (DDR) SDRAM, Februar 2008, JEDEC Solid State Technology Association;
- ZP4 U. Tietze, Ch. Schenk, „Halbleiter-Schaltungstechnik“, 6. Auflage, ISBN: 3-540-12488-8, Springer-Verlag, 1983, Seite 634-637;
- ZP5 Harold S. Stone, „Microcomputer Interfacing“, Addison-Wesley Publishing Company, Inc., 1982, ISBN-0-201-07403-6, Seiten 126-160;
- ZP6 Paul Horowitz / Winfield Hill, „The Art of Electronics“, 2. Auflage, Cambridge University Press, 1989, ISBN 0 521 37095 7 hardback, Seite 471-490;
- ZP7 US 7,024,518 B2;
- ZP8 JEDEC STANDARD JESD79-2A DDR2 SDRAM SPECIFICATION, Januar 2004, JEDEC Solid State Technology Association;
- ZP9 US 2009/0248969 A1;
- ZP10 = ZP4;
- ZP11 US 7,532,537 B2;
- ZP12 WO 2008/063251 A2.

Die Klägerinnen stellen den Antrag,

das europäische Patent EP 2 454 735 mit Wirkung für das Hoheitsgebiet der Bundesrepublik Deutschland in vollem Umfang für nichtig zu erklären.

Die Beklagte stellt zuletzt den Antrag,

die Klagen abzuweisen

hilfsweise

das europäische Patent EP 2 454 735 unter Klageabweisung im Übrigen mit Wirkung für das Hoheitsgebiet der Bundesrepublik Deutschland insoweit für nichtig zu erklären, als seine Ansprüche über die Fassung eines der Hilfsanträge 1 bis 11 jeweils vom 3. Juli 2023, des Hilfsantrages 12 vom 12. Februar 2024 und der Hilfsanträge 13 und 14 jeweils vom 7. März 2024

– in dieser Reihenfolge – hinausgehen.

Die Beklagte erklärt in der mündlichen Verhandlung vom 7. März 2024, dass sie die Patentansprüche gemäß Hauptantrag und Hilfsanträgen jeweils als geschlossenen Anspruchssatz ansieht, der insgesamt beansprucht wird.

Die Beklagte überreicht in der mündlichen Verhandlung vom 7. März 2024 dem Senat die Hilfsanträge 13 und 14 und den Klägerinnen Kopien dieser Hilfsanträge.

Die Klägerin 1 rügt in der mündlichen Verhandlung vom 7. März 2024 die Hilfsanträge 13 und 14 der Beklagten als verspätet.

Die Beklagte tritt der Argumentation der Klägerinnen in allen wesentlichen Punkten entgegen und vertritt die Auffassung, dass die erteilten Ansprüche neu seien, auf einer erfinderischen Tätigkeit beruhen würden und ursprünglich offenbart seien. Das Streitpatent sei jedenfalls in der Fassung eines der Hilfsanträge patentfähig.

Der erteilte Patentanspruch 1 lautet in der Verfahrenssprache Englisch gemäß EP 2 454 735 B1 (mit Merkmalsgliederung des Senats):

1. A memory module (402, 402') operable in a computer system with a memory controller (420),
 - 1.1 the computer system including a set of control signal lines (440, 440') and first number of data signal lines (450, 450') between the memory module (402, 402') and the memory controller,
 - 1.1.1 the first number of data signal lines (450, 450') including a second number of sets of data signal lines (450, 450'),
 - 1.1.2 each set of data signal lines (450, 450') for conducting an 8-bit section of each data signal between the memory module (402, 402') and the memory controller,

- 1.2 the memory module (402, 402') comprising:
 - 1.2.1 a module board (410, 410') configured to be coupled to the memory controller (420) via the set of control signal lines (440, 440') and the first number of data signal lines (450, 450'),
 - 1.2.2 the module board (410, 410') being mountable in a module slot of the computer system and having an edge connector comprising a plurality of electrical contacts which are positioned on an edge of the module board (410, 410') and are positioned to be releasably coupled to corresponding contacts of a computer system socket;
 - 1.2.3 a plurality of memory devices (412, 412') coupled to the module board (410, 410') and arranged in multiple ranks,
 - 1.2.3.1 each rank of the multiple ranks having a bit width equal to a bit width of the memory module (402, 402');
 - 1.2.4 a module controller (430, 430') coupled to the module board (410, 410') and configured
 - 1.2.4.1 to receive input control signals for a read or write operation from the memory controller (420) via the set of control signal lines (440, 440') and
 - 1.2.4.2 to output first module control signals based on the input control signals,
 - 1.2.4.3 the read or write operation being targeted at a specific one of the multiple ranks;
 - 1.2.5 and second number of load-reducing circuits (416, 416') coupled to the module board (410, 410') and configured to receive the first module control signals,
 - 1.2.5.1 each respective one of the second number of load-reducing circuits (416, 416') being coupled to a respective set of the second number of sets of data signal lines (450, 450') and
 - 1.2.5.2 to at least one respective memory device (412, 412') in each of the multiple ranks,
 - 1.2.5.3 the second number of load-reducing circuits (416, 416') being disposed on the module board (410, 410') at respective positions corresponding to respective sets of the second number of sets of data signal lines (450, 450'); and

- 1.2.5.4 wherein the each respective one of the load-reducing circuits (416, 416') includes data paths and logic (502) controlling the data paths in response to the first module control signals
- 1.2.5.4.1 so that the second number of load-reducing circuits (416, 416') actively drive a data signal corresponding to the read or write operation between the specific one of the multiple ranks on the memory module (402, 402') and the memory controller, and
- 1.2.5.4.2 wherein the first module control signals indicate a direction of data flow.

Der erteilte Patentanspruch 1 lautet in der Verfahrenssprache Deutsch gemäß EP 2 454 735 B1 (mit Merkmalsgliederung des Senats):

- 1. Speichermodul (402, 402'), das in einem Computersystem mit einem Speichercontroller (420) betrieben werden kann, wobei
 - 1.1 das Computersystem einen Satz von Steuersignalleitungen (440, 440') und eine erste Anzahl von Datensignalleitungen (450, 450') zwischen dem Speichermodul (402, 402') und dem Speichercontroller einschließt, wobei
 - 1.1.1 die erste Anzahl von Datensignalleitungen (450, 450') eine zweite Anzahl von Sätzen von Datensignalleitungen (450, 450') einschließt,
 - 1.1.2 jeder Satz von Datensignalleitungen (450, 450') zum Leiten eines 8-Bit-Abschnitts von jedem Datensignal zwischen dem Speichermodul (402, 402') und dem Speichercontroller, wobei
 - 1.2 das Speichermodul (402, 402') Folgendes aufweist:
 - 1.2.1 eine Modul-Leiterplatte (410, 410'), die dazu konfiguriert ist, mit dem Speichercontroller (420) über den Satz von Steuersignalleitungen (440, 440') und die erste Anzahl von Datensignalleitungen (450, 450') gekoppelt zu sein, wobei
 - 1.2.2 die Modul-Leiterplatte (410, 410') in einem Modulschlitz des Computersystems anbringbar ist und einen Randstecker hat, der eine Vielzahl von elektrischen Kontakten aufweist, die an einem Rand der Modul-Leiterplatte (410, 410') positioniert sind und dazu positioniert sind, lösbar mit korrespondierenden Kontakten eines Computersystemsockels gekoppelt zu werden;

- 1.2.3 eine Vielzahl von Speichervorrichtungen (412, 412'), die mit der Modul-Leiterplatte (410, 410') gekoppelt sind und in mehreren Reihen angeordnet sind, wobei
 - 1.2.3.1 jede Reihe von den mehreren Reihen eine Bitbreite hat, die gleich groß wie eine Bitbreite des Speichermoduls (402, 402') ist;
- 1.2.4 einen Modulcontroller (430, 430'), der mit der Modul-Leiterplatte (410, 410') gekoppelt ist und dazu konfiguriert ist,
 - 1.2.4.1 Eingangssteuersignale für eine Lese- oder Schreiboperation von dem Speichercontroller (420) über den Satz von Steuersignalleitungen (440, 440') zu empfangen und
 - 1.2.4.2 erste Modulsteuersignale auf der Basis der Eingangssteuersignale auszugeben,
 - 1.2.4.3 wobei die Lese- oder Schreiboperation auf eine bestimmte von den mehreren Reihen abgezielt ist;
- 1.2.5 und eine zweite Anzahl von lastreduzierenden Schaltungen (416, 416'), die mit der Modul-Leiterplatte (410, 410') gekoppelt sind und dazu konfiguriert sind, die ersten Modulsteuersignale zu empfangen, wobei
 - 1.2.5.1 jede jeweilige eine von der zweiten Anzahl von lastreduzierenden Schaltungen (416, 416') mit einem jeweiligen Satz von der zweiten Anzahl von Sätzen von Datensignalleitungen (450, 450') und
 - 1.2.5.2 mit wenigstens einer jeweiligen Speichervorrichtung (412, 412') in jeder von den mehreren Reihen gekoppelt ist, wobei
 - 1.2.5.3 die zweite Anzahl von lastreduzierenden Schaltungen (416, 416') auf der Modul-Leiterplatte (410, 410') an jeweiligen Positionen angeordnet ist, die jeweiligen Sätzen von der zweiten Anzahl von Sätzen von Datensignalleitungen (450, 450') entsprechen; und
 - 1.2.5.4 wobei die jede jeweilige eine von den lastreduzierenden Schaltungen (416, 416') Datenpfade und eine Logik (502) zum Steuern der Datenpfade in Reaktion auf die ersten Modulsteuersignale einschließt,
 - 1.2.5.4.1 so dass die zweite Anzahl von lastreduzierenden Schaltungen (416, 416') aktiv ein Datensignal, das der Lese- oder Schreiboperation entspricht, zwischen der bestimmten einen von den mehreren Reihen auf dem Speichermodul (402, 402') und dem Speichercontroller treibt,

und

1.2.5.4.2 wobei die ersten Modulsteuersignale eine Richtung eines Datenflusses angeben.

Der erteilte Patentanspruch 13 lautet in der Verfahrenssprache Englisch gemäß EP 2 454 735 B1 (mit Merkmalsgliederung des Senats):

13. A method of operating a memory module (402, 402') coupled to a memory controller (420)
 - 13.1 via a plurality of signal lines, including a set of control signal lines (440, 440') and first number of data signal lines (450, 450') between the memory module (402, 402') and the memory controller,
 - 13.1.1 the first number of data signal lines (450, 450') including a second number of sets of data signal lines (450, 450'),
 - 13.1.2 each set of data signal lines (450, 450') for conducting an 8-bit section of each data signal between the memory module (402, 402') and the memory controller,
 - 13.2 the memory module (402, 402') comprising
 - 13.2.3 a plurality of memory devices (412, 412') arranged in multiple ranks,
 - 13.2.3.1 each rank of the multiple ranks having a bit width equal to a bit width of the memory module (402, 402'),
 - 13.2.4 a module controller (430, 430'),
 - 13.2.5 and a second number of load-reducing circuits (416, 416'), the method comprising:
 - 13.2.4.1 receiving at the module controller (430, 430') input control signals for a read or write operation from the memory controller (420) via the set of control signal lines (440, 440');
 - 13.2.4.2 generating at the module controller (430, 430') first module control signals based on the input control signals,
 - 13.2.4.3 the read or write operation being targeted at a specific one of the multiple ranks;
 - 13.2.5' receiving at the second number of load-reducing circuits (416, 416') the first module control signals,
 - 13.2.5.3 wherein to second number of load-reducing circuits (416, 416') is

distributed across the memory module (402, 402') at respective positions corresponding to respective sets of the second number of sets of data signal lines (450, 450'),

13.2.5.1 each respective one of the second number of load-reducing circuits (416, 416') being coupled to a respective set of the second number of sets of data signal lines (450, 450') and

13.2.5.2 to at least one respective memory device (412, 412') in each of the multiple ranks,

13.2.5.4 and wherein the each respective one of the load-reducing circuits (416, 416') includes data paths and logic (502) controlling the data paths in response to the first module control signals

13.2.5.4.1 so that the second number of load-reducing circuits (416, 416') actively drive a data signal corresponding to the read or write operation between the specific one of the multiple ranks on the memory module (402, 402') and the memory controller, and

13.2.5.4.2 wherein the first module control signals indicate a direction of data flow.

Der erteilte Patentanspruch 13 lautet in der Verfahrenssprache Deutsch gemäß EP 2 454 735 B1 (mit Merkmalsgliederung des Senats):

13. Verfahren zum Betreiben eines Speichermoduls (402, 402'), das mit einem Speichercontroller (420)

13.1 über eine Vielzahl von Signalleitungen gekoppelt ist, die einen Satz von Steuersignalleitungen (440, 440') und eine erste Anzahl von Datensignalleitungen (450, 450') zwischen dem Speichermodul (402, 402') und dem Speichercontroller einschließen,

13.1.1 wobei die erste Anzahl von Datensignalleitungen (450, 450') eine zweite Anzahl von Sätzen von Datensignalleitungen (450, 450') einschließt,

13.1.2 jeder Satz von Datensignalleitungen (450, 450') zum Leiten eines 8-Bit-Abschnitts von jedem Datensignal zwischen dem Speichermodul (402, 402') und dem Speichercontroller,

13.2 wobei das Speichermodul (402, 402')

- 13.2.3 eine Vielzahl von Speichervorrichtungen (412, 412'), die in mehreren Reihen angeordnet sind, wobei
 - 13.2.3.1 jede Reihe von den mehreren Reihen eine Bitbreite hat, die gleich groß wie eine Bitbreite des Speichermoduls (402, 402') ist,
- 13.2.4 einen Modulcontroller (430, 430')
- 13.2.5 und eine zweite Anzahl von lastreduzierenden Schaltungen (416, 416') aufweist, wobei das Verfahren die folgenden Schritte umfasst:
 - 13.2.4.1 Empfangen, an dem Modulcontroller (430, 430'), von Eingangsteuersignalen für eine Lese- oder Schreiboperation von dem Speichercontroller (420) über den Satz von Steuersignalleitungen (440, 440');
 - 13.2.4.2 Erzeugen, an dem Modulcontroller (430, 430'), von ersten Modulsteuersignalen auf der Basis der Eingangsteuersignale,
 - 13.2.4.3 wobei die Lese- oder Schreiboperation auf eine bestimmte von den mehreren Reihen abgezielt ist;
- 13.2.5' Empfangen, an der zweiten Anzahl von lastreduzierenden Schaltungen (416, 416'), der ersten Modulsteuersignale,
 - 13.2.5.3 wobei die zweite Anzahl von lastreduzierenden Schaltungen (416, 416') quer über das Speichermodul (402, 402') an jeweiligen Positionen verteilt ist, die jeweiligen Sätzen von der zweiten Anzahl von Sätzen von Datensignalleitungen (450, 450') entsprechen,
 - 13.2.5.1 wobei jede jeweilige eine von der zweiten Anzahl von lastreduzierenden Schaltungen (416, 416') mit einem jeweiligen Satz von der zweiten Anzahl von Sätzen von Datensignalleitungen (450, 450') und
 - 13.2.5.2 mit mindestens einer jeweiligen Speichervorrichtung (412, 412') in jeder von den mehreren Reihen gekoppelt ist,
 - 13.2.5.4 und wobei jede jeweilige eine von den lastreduzierenden Schaltungen (416, 416') Datenpfade und eine Logik (502) einschließt, die die Datenpfade in Reaktion auf die ersten Modulsteuersignale so steuert,
 - 13.2.5.4.1 dass die zweite Anzahl von lastreduzierenden Schaltungen (416, 416') aktiv ein Datensignal, das der Lese- oder Schreiboperation entspricht, zwischen der bestimmten einen von den mehreren Reihen auf dem Speichermodul (402, 402') und dem Speichercontroller treibt, und

13.2.5.4.2 wobei die ersten Modulsteuersignale eine Richtung eines Datenflusses angeben.

Der Anspruch 1 des Hilfsantrags 1 vom 3. Juli 2023 ergibt sich aus dem erteilten Anspruch 1 (Hauptantrag), indem die folgenden Merkmale geändert bzw. aufgenommen wurden (Änderungen sind unter- bzw. durchgestrichen):

1.3^{HA1} wherein, when the memory controller (420) executes a read or write operation, the read or write operation is targeted at a specific one of the multiple ranks of the memory module (402, 402');

[...]

1.2.4.1^{HA1} to receive input control signals for a the read or write operation from the memory controller (420) via the set of control signal lines (440, 440') and

[...]

1.2.4.3^{HA1} the read or write operation being targeted at a the specific one of the multiple ranks;

[...]

1.2.5.2^{HA1} to at least one respective memory device (412, 412') in each of the multiple ranks via a respective set of module data lines (452, 452'),

[...]

1.2.6^{HA1} wherein each module data line (452, 452') of the respective set of module data lines (452, 452') is connected to a respective memory device (412, 412') in each of the multiple ranks, such that each data signal line (450, 450') of the respective set of the second number of sets of data signal lines (450, 450') and a corresponding module data line (452, 452') of the respective set of module data lines (452, 452') carry data from the memory controller (420) through the respective load-reducing circuit (416, 416') to the respective memory device (412, 412') in each of the multiple ranks;

Der Anspruch 1 des Hilfsantrags 2 vom 3. Juli 2023 enthält neben sämtlichen Merkmalen des Anspruchs 1 von Hilfsantrag 1 noch die folgenden zusätzlichen Merkmale:

1.2.4.1.1^{HA2} wherein the input control signals comprise chip-select signals for selecting the specific one of the multiple ranks;

1.2.4.1.2^{HA2} the module controller (430, 430') is further configured to register the input control signals including the chip-select signals, and to transmit registered control signals including registered chip-select signals to the plurality of memory devices (412, 412') via registered control lines (442, 442') to activate the specific one of the multiple ranks to perform the read or write operation;

Der Anspruch 1 des Hilfsantrags 3 vom 3. Juli 2023 ergibt sich aus dem erteilten Anspruch 1 (Hauptantrag), indem einige Merkmale des Anspruchs 1 des Hilfsantrags 1 (Merkmale 1.3^{HA1}, 1.2.4.1^{HA1} und 1.2.4.3^{HA1}), sowie die folgenden weiteren Merkmale aufgenommen wurden (Änderungen sind unter- bzw. durchgestrichen):

1.2.4.1.1^{HA3} wherein the input control signals comprise column address signals for accessing a particular column in the specific one of the multiple ranks;

1.2.4.1.2^{HA3} the module controller (430, 430') is further configured to register the input control signals including the column address signals, and to transmit registered control signals including registered column address signals to the plurality of memory devices (412, 412') via registered control lines (442, 442') to access the particular column in the specific one of the multiple ranks;

[...]

1.2.7^{HA3} and wherein the memory module (402, 402') is further configured to control operation of the second number of load-reducing circuits (416, 416') by using a column address strobe, CAS, latency,

1.2.7.1^{HA3} wherein the CAS latency is a delay time which elapses between the moment the memory controller (420) informs the memory module (402, 402') to access the particular column in the specific one of the multiple ranks and the moment the data for or from the particular column is on output pins of the specific one of the multiple ranks.

Der Anspruch 1 des Hilfsantrags 4 vom 3. Juli 2023 ergibt sich aus dem Anspruch 1 des Hilfsantrags 3, indem die Merkmale 1.2.5.2^{HA1} und 1.2.6^{HA1} des Hilfsantrags 1 aufgenommen wurden.

Der Anspruch 1 des Hilfsantrags 5 vom 3. Juli 2023 ergibt sich aus dem Anspruch 1 des Hilfsantrags 2, indem das folgende Merkmal 1.2.5.5^{HA5} aufgenommen wurde:

1.2.5.5^{HA5} wherein the each respective load-reducing circuit (416, 416') presents a reduced load such that, during a write operation, the memory controller (420) sees a single memory device load from the memory module (402, 402') on each of the first number of data signal lines (450, 450')

Der Anspruch 1 des Hilfsantrags 6 vom 3. Juli 2023 ergibt sich aus dem Anspruch 1 des Hilfsantrags 2, indem das folgende Merkmal 1.2.4.4^{HA6} aufgenommen wurde:

1.2.4.4^{HA6} wherein the module controller (430, 430') is further configured to output the first module control signals to the second number of load-reducing circuits (416, 416') in accordance with a column address strobe, CAS, latency parameter, and to control the timing of the data signals corresponding to the read or write operation in the second number of load-reducing circuits (416, 416') in accordance with the CAS latency parameter

Der Anspruch 1 des Hilfsantrags 7 vom 3. Juli 2023 ergibt sich aus dem Anspruch 1 des Hilfsantrags 1, indem das Merkmal 1.2.5.5^{HA5} des Hilfsantrags 5 und das Merkmal 1.2.4.4^{HA6} des Hilfsantrags 6 aufgenommen wurden.

Der Anspruch 1 des Hilfsantrags 8 vom 3. Juli 2023 ergibt sich aus dem erteilten Anspruch 1 (Hauptantrag), indem einige Merkmale des Anspruchs 1 des Hilfsantrags 1 (Merkmale 1.3^{HA1}, 1.2.4.1^{HA1} und 1.2.4.3^{HA1}), einige Merkmale des Anspruchs 1 des Hilfsantrags 2 (Merkmale 1.2.4.1.1^{HA2} und 1.2.4.1.2^{HA2}), sowie das Merkmal 1.2.5.5^{HA5} des Hilfsantrags 5 und das Merkmal 1.2.4.4^{HA6} des Hilfsantrags 6 aufgenommen wurden.

Der Anspruch 1 des Hilfsantrags 9 vom 3. Juli 2023 ergibt sich aus dem Anspruch 1 des Hilfsantrags 5, indem das Merkmal 1.2.4.4^{HA6} des Hilfsantrags 6, sowie die folgenden weiteren Merkmale aufgenommen wurden:

- 1.2.7^{HA9} wherein the memory module (402, 402') is one of a plurality of memory modules (402, 402'), each of the plurality of memory modules (402, 402') is coupled to the memory controller (420) via the set of control signal lines (440, 440') and the first number of data signal lines (450, 450');
- 1.2.7.1^{HA9} wherein when the memory controller (420) executes read or write operations, each specific operation is targeted to a specific memory module (402, 402') of the plurality of memory modules, and
- 1.2.7.2^{HA9} wherein the load-reducing circuits (416) on the memory module (402, 402') are disabled when data is driven between the memory controller and another memory module (402, 402') of the plurality of memory modules (402, 402').

Der Anspruch 1 des Hilfsantrags 10 vom 3. Juli 2023 ergibt sich aus dem erteilten Anspruch 1 (Hauptantrag), indem einige Merkmale des Anspruchs 1 des Hilfsantrags 1 (Merkmale 1.3^{HA1}, 1.2.4.1^{HA1} und 1.2.4.3^{HA1}), sowie das Merkmal 1.2.5.5^{HA5} des Hilfsantrags 5 und das Merkmal 1.2.4.4^{HA6} des Hilfsantrags 6 aufgenommen wurden. Somit entspricht der Anspruch 1 des Hilfsantrags 10 dem Anspruch 1 des Hilfsantrag 8 unter Streichung der Merkmale 1.2.4.1.1^{HA2} und 1.2.4.1.2^{HA2}.

Der Anspruch 1 des Hilfsantrags 11 vom 3. Juli 2023 ergibt sich aus dem Anspruch 1 des Hilfsantrags 2, indem die folgenden Merkmale aufgenommen wurden (Änderungen sind unter- bzw. durchgestrichen):

- 1.2.5.4^{HA11} wherein the each respective one of the load-reducing circuits (416, 416') includes respective data paths and respective logic (502) controlling the data paths in response to the first module control signals
[...]
- 1.2.5.4.3^{HA11} wherein the respective data paths include respective read data paths and respective write data paths,

- 1.2.5.4.3.1^{HA11} the respective read data paths including first buffers (508) and second buffers (509),
- 1.2.5.4.3.2^{HA11} the respective write data paths including third buffers (503) and fourth buffers (504),
- 1.2.5.4.4^{HA11} wherein the respective logic (502) is configurable to control at least the second buffers (509) and the fourth buffers (504), and wherein at least the second buffers (509) and the fourth buffers (504) are tristate buffers;
- 1.2.5.6^{HA11} wherein the each respective load-reducing circuit (416, 416') is further configurable to,
- 1.2.5.6.1^{HA11} in the case of the read or write operation being a read operation, receive through the first buffers (508) a first data signal for the read operation from the at least one respective memory device (412, 412') in the specific one of the multiple ranks, and to drive a second data signal for the read operation through the second buffers (509) to the memory controller, and,
- 1.2.5.6.2^{HA11} in the case of the read or write operation being a write operation, receive a third data signal for the write operation from the memory controller through the third buffers (503), and to drive a fourth data signal through the fourth buffers (504) to the at least one respective memory device (412, 412') in the specific one of the multiple ranks.

Der Anspruch 1 des Hilfsantrags 12 vom 12. Februar 2024 ergibt sich aus dem Anspruch 1 des Hilfsantrags 11, indem die Merkmale 1.2.5.4.3.1^{HA11} und 1.2.5.4.3.2^{HA11} durch die folgenden Merkmale ersetzt wurden:

- 1.2.5.4.3.1^{HA12} each of the respective read data paths including a first buffer (508), a second buffer (509), and a first signal path between the first buffer (508) and the second buffer (509),
- 1.2.5.4.3.2^{HA12} each of the respective write data paths including a third buffer (503), a fourth buffer (504), and a second signal path between the third buffer (503) and the fourth buffer (504),
- 1.2.5.4.3.3^{HA12} wherein the first signal path and the second signal path do not

intersect;

Der Anspruch 1 des Hilfsantrags 13 vom 7. März 2024 ergibt sich aus dem erteilten Anspruch 1 (Hauptantrag), indem einige Merkmale des Anspruchs 1 des Hilfsantrags 1 (Merkmale 1.3^{HA1}, 1.2.4.1^{HA1} und 1.2.4.3^{HA1}), einige Merkmale des Anspruchs 1 des Hilfsantrags 2 (Merkmale 1.2.4.1.1^{HA2} und 1.2.4.1.2^{HA2}), sowie das Merkmal 1.2.5.5^{HA5} des Hilfsantrags 5 aufgenommen wurden. Somit entspricht der Anspruch 1 des Hilfsantrags 13 dem Anspruch 1 des Hilfsantrags 8 unter Streichung des Merkmals 1.2.4.4^{HA6}.

Der Anspruch 1 des Hilfsantrags 14 vom 7. März 2024 ergibt sich aus dem erteilten Anspruch 1 (Hauptantrag), indem das Merkmal 1.2.5.5^{HA5} des Hilfsantrags 5 ohne die Bezugszeichen (416, 416') aufgenommen wurde.

Wegen der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

Entscheidungsgründe

Die Klagen, mit denen der Nichtigkeitsgrund der fehlenden Patentfähigkeit nach Art. II § 6 Abs. 1 Satz 1 Nr. 1 IntPatÜG, Art. 138 Abs. 1 lit. a) EPÜ i. V. m. Art. 52, 54 und 56 EPÜ und der Nichtigkeitsgrund der unzureichenden Offenbarung nach Art. II § 6 Abs. 1 Satz 1 Nr. 2 IntPatÜG, Art. 138 Abs. 1 lit. b) EPÜ i. V. m. Art. 83 EPÜ geltend gemacht werden, sind gemäß § 81 PatG zulässig.

Die Klagen sind auch begründet. Das Streitpatent ist für nichtig zu erklären, weil es weder in der erteilten Fassung nach Hauptantrag noch in der Fassung eines der Hilfsanträge Bestand hat.

I.

Die Hilfsanträge 13 und 14 der Beklagten jeweils vom 7. März 2024 waren trotz Rüge der Klägerin 1 nicht als verspätet nach § 83 Abs. 4 Satz 1 PatG zurückzuweisen.

Damit ist über die Verteidigung des Streitpatents auch im Hinblick auf die Hilfsanträge 13 und 14 jeweils vom 7. März 2024 in der Sache zu entscheiden.

Gemäß § 83 Abs. 4 Satz 1 PatG kann das Patentgericht zwar eine Verteidigung des Beklagten mit einer geänderten Fassung des Patents zurückweisen und bei seiner Entscheidung unberücksichtigt lassen. Hierfür ist es aber stets erforderlich, dass dieser Vortrag tatsächliche oder rechtliche Fragen aufkommen lässt, die in der mündlichen Verhandlung nicht oder nur mit unverhältnismäßigem Aufwand zu klären sind (vgl. Begründung zum Entwurf eines Gesetzes zur Vereinfachung und Modernisierung des Patentrechts, BIPMZ 2009, 307, 315). Kann das an sich verspätete Vorbringen dagegen noch ohne Weiteres in die mündliche Verhandlung einbezogen werden, ohne dass es zu einer Verfahrensverzögerung kommt, liegen die Voraussetzungen für eine Zurückweisung nach § 83 Abs. 4 PatG nicht vor (vgl. *Keukenschrijver*, Patentnichtigkeitsverfahren, 7. Aufl. 2021, Rn. 223 mit umfangreichen Nachweisen zur Rechtsprechung des BPatG in Fn. 125).

So liegt der Fall hier, weil die Berücksichtigung der Hilfsanträge 13 und 14 der Beklagten jeweils vom 7. März 2024 zu keiner Verzögerung des Rechtsstreits geführt haben.

Hinzu tritt, dass nach der Rechtsprechung des Senats die Voraussetzungen für eine Zurückweisung dann nicht vorliegen, wenn – wie hier – die geänderte Anspruchsfassung insoweit nicht zur Bestandsfähigkeit des Patents führt (vgl. *Keukenschrijver*, a. a. O., Rn. 223 mit Nachweisen zur Rechtsprechung des BPatG in Fn. 127).

II.

1. Das Streitpatent betrifft Speichersubsysteme von Computersystemen und insbesondere Systeme, Vorrichtungen und Verfahren zum Verbessern der Leistung und der Speicherkapazität von Speichersubsystemen oder Speicherkarten, insbesondere Speicherkarten, die DIMMS („*dual in-line memory modules*“) enthalten (vgl. Abs. [0002] der Streitpatentschrift (NK 2)).

Speicherplatinen umfassen typischerweise ein oder mehrere Speichermodule, jedes mit einer Vielzahl von Speichervorrichtungen (wie etwa DRAMs oder SDRAMs) in einer Konfiguration in Zeilen, Spalten und Bänken, die eine Gesamtspeicherkapazität für das Speichermodul bereitstellen. Die Speichervorrichtungen eines Speichermoduls sind als Reihen („*ranks*“) oder Speicherreihen („*rows of memory*“) angeordnet, wobei jede Speicherreihe eine Bitbreite aufweist. Beispielsweise wird ein Speichermodul, bei dem jede Reihe des Speichermoduls 64 Bit breit ist, als eine „x64“- oder „64“-Organisation beschrieben. Die Anzahl von Speichervorrichtungen eines Speichermoduls kann erhöht werden, indem die Anzahl von Speichervorrichtungen pro Rang erhöht wird oder indem die Anzahl von Rängen erhöht wird (vgl. NK 2, Abs. [0003] bis [0005]).

Während des Betriebs werden die Ränge eines Speichermoduls durch Steuersignale, die von dem Prozessor empfangen werden, ausgewählt oder aktiviert. Solche Steuersignale umfassen Rank-Select-Signale, auch Chip-Select-Signale genannt. Die meisten Computer- und Serversysteme unterstützen eine begrenzte Anzahl von Rängen pro Speichermodul, welches die Speicherdichte, die in jedes Speichermodul eingebaut werden kann, begrenzt. Der Speicherplatz in einem elektronischen System ist durch den physikalisch adressierbaren Raum begrenzt, der durch die Anzahl der Adressbits oder durch die Anzahl der ausgewählten Chips definiert ist. Sobald der Speicherplatz für ein elektronisches System definiert ist, ist es nicht möglich, den Speicherplatz ohne eine umfangreiche Konstruktionsänderung zu modifizieren. Dies gilt insbesondere für den Fall, dass ein Speicherraum von einem Konsortium wie dem Joint Electron Device Engineering Council (JEDEC) definiert wird. Ein Problem entsteht, wenn die

Anwendung eines Benutzers einen größeren adressierbaren Speicherplatz erfordert als der Speicherplatz, den das aktuelle elektronische System unterstützen soll (vgl. NK 2, Absätze [0006] und [0007]).

Eine zunehmende Speicherdichte führt zu einer höheren Verlustleistung, einer langsameren Betriebsgeschwindigkeit und höheren Kosten. Auch kann die physikalische Größe des Speichermoduls die Dichte des Moduls begrenzen (vgl. NK 2, Abs. [0011] bis [0013]).

Das Streitpatent beschreibt in den Figuren 1A bis 2D Speichersubsysteme nach dem Stand der Technik.

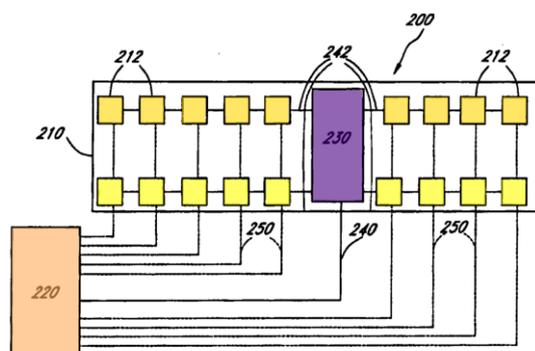


FIG. 2A
(Prior Art)

Figur 2A des Streitpatents mit
Illustrationen des Senats

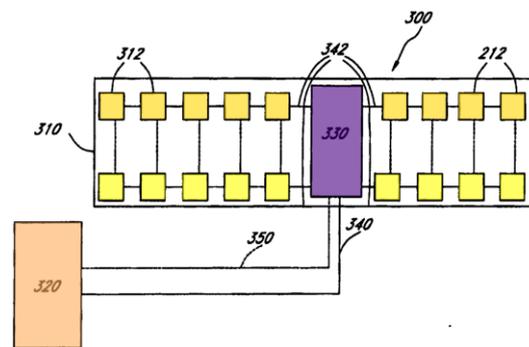


FIG. 2C
(Prior Art)

Figur 2C des Streitpatents mit
Illustrationen des Senats

Die Figur 2A veranschaulicht einen Ansatz nach dem Stand der Technik zum Erhöhen der Anzahl von Speichervorrichtungen. Diese zeigt ein herkömmliches Speichersubsystem (200) mit mindestens einem zweireihigen Speichermodul (210), von denen nur eines gezeigt ist. Jede Reihe des Speichermoduls (210) umfasst mehrere Speichervorrichtungen (212). Ein Register (230) empfängt mehrere Steuerleitungen (240) von der Systemspeichersteuerung (220) und ist über Steuerleitungen (242) mit den Speichervorrichtungen (212) jeder Reihe des Speichermoduls (210) verbunden. Dieses Speichersubsystem (200) verbindet jede Datenleitung eines Arrays von Datenleitungen (250) von einer Systemspeichersteuerung (220) zu entsprechenden Speichervorrichtungen (212) in den zwei Rängen in jedem Speichermodul (210). Daher sieht die

Systemspeichersteuerung (220) während einer Schreiboperation alle Speichervorrichtungen (212) als ihre Last über die Datenleitungen (250). Während einer Leseoperation sieht jede Speichervorrichtung (212) mehrere andere Speichervorrichtungen (212) sowie die Systemspeichersteuerung (220) als ihre Last über die Datenleitungen (250). Für das Speichermodul (210) haben die Steuerleitungen (242) eine "Fly-by"-Konfiguration. In einer solchen Konfiguration werden Steuersignale entlang der Steuerleitungen (242) von dem Register (230) zu den Speichervorrichtungen (212) eines gegebenen Ranges gesendet. So erreicht ein Steuersignal die Speichervorrichtung (212) mit der längsten Steuerleitung (242) erst eine beträchtliche Zeitspanne später, nachdem dasselbe Steuersignal die Speichervorrichtung (212) mit der kürzesten Steuerleitung (242) erreicht hat. Diese Zeitunterschiede, die mehr als einen Taktzyklus betragen können, begrenzen die Betriebsgeschwindigkeit und die Leistung des Speichermoduls. Außerdem leiden die "Fly-by"-Speichersubsysteme (200) der Fig. 2A unter großen Lasten, die zu langsameren Taktgeschwindigkeiten führen (vgl. NK 2, Abs. [0022] bis [0025]).

Ein bekannter Vorschlag besteht darin, einen Speicherpuffer vorzusehen, der sowohl die Steuersignale als auch die Datensignale handhabt. Die Fig. 2C veranschaulicht ein herkömmliches zweireihiges Speichermodul (310), das einen Speicherpuffer (330) umfasst. Die Konfiguration der Figur 2C strebt danach, dass sowohl die Datensignale als auch die Steuersignale zu dem Speicherpuffer (330) gehen. Solche Konfigurationen haben jedoch erhebliche Nachteile. Um die Datensignale an die verschiedenen Speichervorrichtungen (312) zu senden, umfasst das Speichermodul (310) eine extrem große Anzahl von Datenleitungen, die den Speicherpuffer (330) mit den Speichervorrichtungen (312) koppeln. Beispielsweise ist der Speicherpuffer (330) für einen LRDIMM (Load Reduced DIMM) eine sehr große 628-Pin-Vorrichtung. Außerdem ist die Logistik des Anpassens der Zeitverzögerungen dieser vielen Datenleitungen, um die gewünschte zeitliche Abstimmung von Datensignalen von dem Speicherpuffer (330) zu den Speichervorrichtungen (312) bereitzustellen, schwierig. Zudem übernimmt der Speicherpuffer (330) einen Teil der Steuerung des Datensignaltimings. Trotzdem kann das Speichermodul (310) der Figur 2C

aufgrund der langen Fly-By-Zeiten im Hinblick auf die gewünschten Taktfrequenzen nur im asynchronen Modus und nicht im synchronen Modus arbeiten (vgl. NK 2, Abs. [0026] und [0027]).

Vor diesem Hintergrund liegt dem Streitpatent als technisches Problem die objektive **Aufgabe** zugrunde, ein Speichermodul mit hoher Speicherdichte und Zugriffsgeschwindigkeit bereitzustellen (vgl. NK 2, Abs. [0011] - [0013], [0025], [0028]).

Diese Aufgabe wird durch das Speichermodul des Anspruchs 1 und das Verfahren nach Anspruch 13 des Streitpatents gelöst.

Der hier zuständige Fachmann ist ein Elektrotechniker oder technischer Informatiker mit Schwerpunkt Halbleitertechnik oder Mikroelektronik mit Hochschulabschluss und mehrjähriger Berufserfahrung sowie einschlägigen Kenntnissen in dem Bereich der Entwicklung von Speichermodulen.

2. Die Merkmale bedürfen der Auslegung.

Zur Auslegung eines Patentanspruchs sind die Beschreibung und die Zeichnungen heranzuziehen (Art. 69 Abs. 1 EPÜ; § 14 PatG). Dabei ist nicht am Wortlaut der einzelnen Begriffe zu haften, sondern auf den technischen Gesamtzusammenhang abzustellen, den der Inhalt der Patentschrift dem Fachmann vermittelt. Nicht die sprachliche oder logisch-wissenschaftliche Bestimmung der verwendeten Begriffe ist entscheidend, sondern das Verständnis des unbefangenen Fachmanns (BGH, Urteil vom 2. März 1999 - X ZR 85/96, GRUR 1999, 909 [911] – Spannschraube). Im Rahmen der Auslegung sind der Sinngehalt des Patentanspruchs in seiner Gesamtheit und der Beitrag, den die einzelnen Merkmale zum Leistungsergebnis der Erfindung liefern, zu bestimmen (BGH, Urteil vom 17. Juli 2012, X ZR 117/11, GRUR 2012, 1124 Rn. 27 – Polymerschaum). Die Patentschrift ist in einem sinnvollen Zusammenhang zu lesen und ein Patentspruch ist im Zweifel so zu verstehen, dass sich keine Widersprüche zur Beschreibung und den Zeichnungen

ergeben (BGH, Urteil vom 8. Juni 2021, X ZR 47/19, GRUR 2021, 1167 Rn. 20 – Ultraschallwandler; BGH, Urteil vom 10. Mai 2011, X ZR 16/09, GRUR 2011, 701 Rn. 24 – Okklusionsvorrichtung; BGH, Urteil vom 2. Juni 2015, X ZR 103/13, GRUR 2015, 972 Rn. 22 – Kreuzgestänge).

Die hier mit Ergänzungen und Illustrationen des Senats wiedergegebenen Figuren 3A und 3C des Streitpatents (NK 2) zeigen Ausführungsformen des beanspruchten Speichermoduls:

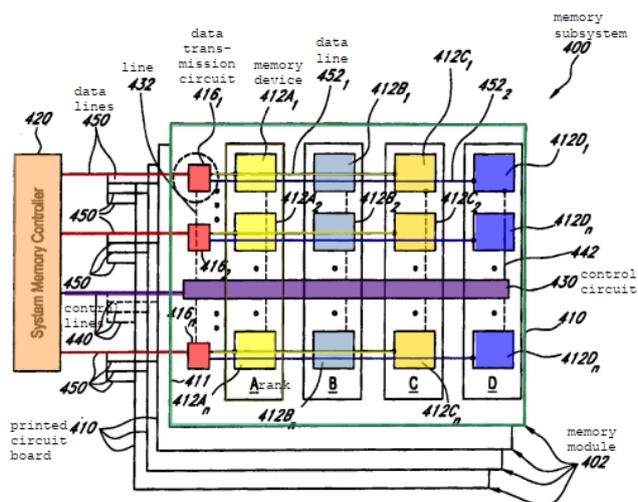


FIG. 3A

Figur 3A der NK 2 mit Illustrationen des Senats

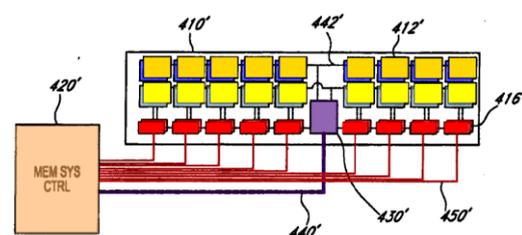


FIG. 3C

Figur 3C der NK 2 mit Illustrationen des Senats

Der erteilte Anspruch 1 ist auf ein Speichermodul (402, 402') (grün umrandet) gerichtet, das in einem Computersystem mit einem Speichercontroller (420) (orange) betrieben werden kann (**Merkmals 1**). Der Speichercontroller ist somit Teil des Computersystems und nicht des Speichermoduls. Das Computersystem weist zudem einen Satz von Steuersignalleitungen (440, 440') (violett) und eine erste Anzahl von Datensignalleitungen (450, 450') (rot) zwischen dem Speichermodul (402, 402') und dem Speichercontroller auf (**Merkmals 1.1**).

Dabei schließt die erste Anzahl von Datensignalleitungen (450, 450') eine zweite Anzahl von Sätzen von Datensignalleitungen (450, 450') ein (**Merkmals 1.1.1**), wobei jeder Satz von Datensignalleitungen (450, 450') – der zweiten Anzahl von Sätzen – zum Leiten eines 8-Bit-Abschnitts von jedem Datensignal zwischen dem

Speichermodul (402, 402') und dem Speichercontroller (420) geeignet ist (**Merkmal 1.1.2**). Dieses versteht der Fachmann derart, dass jeder Satz beispielsweise aus 8 Leitungen, die jeweils 1 Bit leiten können, besteht, so dass pro Satz Datensignalleitungen (450, 450') 8 Bits auf einmal zum Lesen oder Schreiben gesendet werden können. Der Figur 3C des Streitpatents entnimmt der Fachmann für jeden Satz Datensignalleitungen (450') jeweils eine Linie (rot) und somit eine zweite Anzahl von 9 Sätzen. Bei beispielsweise 8 Datensignalleitungen pro Satz sind insgesamt 72 Datensignalleitungen vorgesehen. Die erste Anzahl ist in diesem Beispiel 72. Die Klägerin argumentiert zwar, dass ein Satz von Datensignalleitungen auch beispielsweise nur zwei Datensignalleitungen umfassen könne, die jeweils 4 Bit seriell übertragen. Dieser Auffassung ist jedoch nicht zuzustimmen, da das Streitpatent beispielsweise im Absatz [0041] von Bitbreite spricht und im Absatz [0043] bitbreite Abschnitte („sections“) beschrieben sind, weshalb sich ergibt, dass auch die Abschnitte auf parallel übertragene Daten bezogen sind.

Das Speichermodul (402, 402') (grün umrandet) weist eine Modul-Leiterplatte (410, 410') auf, die dazu konfiguriert ist, mit dem Speichercontroller (420) (orange) über den Satz von Steuersignalleitungen (440, 440') (violett) und die erste Anzahl von Datensignalleitungen (450, 450') (rot) gekoppelt zu sein (**Merkmale 1.2, 1.2.1**), wobei die Modul-Leiterplatte (410, 410') in einem Modulschlitz des Computersystems anbringbar ist und einen Randstecker (vgl. Figur 3D des Streitpatents) hat, der eine Vielzahl von elektrischen Kontakten aufweist, die an einem Rand der Modul-Leiterplatte (410, 410') positioniert sind und dazu positioniert sind, lösbar mit korrespondierenden Kontakten eines Computersystemsockels gekoppelt zu werden (**Merkmal 1.2.2**).

Das Speichermodul (402, 402') (grün umrandet) weist darüber hinaus eine Vielzahl von Speichervorrichtungen (412, 412') (hellgelb, hellblau, gelb, blau) auf, die mit der Modul-Leiterplatte (410, 410') gekoppelt sind und in mehreren Reihen („ranks“) angeordnet sind (**Merkmal 1.2.3**). In dem Ausführungsbeispiel der Figur 3A sind die Reihen („ranks“) vertikal angeordnet und mit A, B, C und D bezeichnet (vgl. NK 2, Abs. [0037], sowie Sp. 16, Z. 30). Jede Reihe (Spalte in Figur 3A) von den

mehreren Reihen (*Spalten in Figur 3A*) hat eine Bitbreite, die gleich groß wie eine Bitbreite des Speichermoduls (402, 402') ist (**Merkmal 1.2.3.1**). Wenn also das Speichermodul entsprechend dem obigen Beispiel eine Bitbreite von 72 hat, dann hat auch jede Reihe eine Bitbreite von 72.

Das Speichermodul (402, 402') (*grün umrandet*) weist des Weiteren einen Modulcontroller (430, 430') (*violett*) auf, der mit der Modul-Leiterplatte (410, 410') gekoppelt ist (**Merkmal 1.2.4**). Der Modulcontroller (430, 430') ist dazu konfiguriert, Eingangssteuersignale für eine Lese- oder Schreiboperation von dem Speichercontroller (420) über den Satz von Steuersignalleitungen (440, 440') (*violett*) zu empfangen (**Merkmal 1.2.4.1**) und erste Modulsteuersignale auf der Basis der Eingangssteuersignale auszugeben (**Merkmal 1.2.4.2**), wobei die Lese- oder Schreiboperation auf eine bestimmte von den mehreren Reihen (*A, B, C, D*) abgezielt ist (**Merkmal 1.2.4.3**).

Dem Absatz [0036] des Streitpatents entnimmt der Fachmann, dass der Modulcontroller (430) über die Steuerleitungen (440) Steuersignale (z. B. *Zeilenadresssignale, Spaltenadresssignale und chip-select Signale*) von der Systemspeichersteuerung (420) empfängt und zusätzliche („*additional*“) Chip-Select Signale oder „*output enable*“ Signale erzeugt. Diese beruhen auf der Adressdekodierung, wie der entsprechende Satz aussagt („*The control circuit 430, 430' may produce additional chip-select signals or output enable signals based on address decoding*“). Für ein Beispiel des Modulcontrollers (430) verweist die Streitpatentschrift auf die US 7,532,537 B2 (ZP11), die in ihrer Gesamtheit durch Bezugnahme in die Streitpatentschrift aufgenommen ist. Dieser Druckschrift ist in Spalte 16, Zeile 45 bis Spalte 17, Zeile 67 zu entnehmen, dass basierend auf zwei chip-select Signalen (CS_0 - CS_1) und einem Zeile/Spalte Adresssignal (A_{n+1}) vier chip-select Signale (CS_{0A} , CS_{0B} , CS_{1A} , CS_{1B}) für vier Ränge erzeugt werden.

Dieses ist somit so zu verstehen: Der Speichercontroller (420) geht von einer bestimmten Speicherkapazität der Chips aus. Hier sei beispielsweise 1 Gbit angenommen. Dies bedeutet, dass es eine Adresskodierung für 1 Gbit gibt und zudem mehrere Ränge, beispielsweise 2 Ränge aus Sicht des Speichercontrollers

(420) vorhanden sind. Der Speichercontroller (420) gibt an, welcher der 2 Ränge angesprochen werden soll und er gibt die Speicheradresse vor. Physikalisch sind aber Chips kleinerer Speicherkapazität, so beispielsweise nur Chips mit einer Kapazität von 512 Mbit vorhanden. Diese werden mit einer Adresscodierung für 512 Mbit codiert. Der Modulcontroller (430) wandelt nun die Adresscodierung für 1 Gbit in eine für 512 Mbit um und erzeugt ein weiteres Chip-Select-Signal, mittels dessen er aus zwei 512 Mbit Chips jeweils einen auswählt. Dazu kann er das MSB (Most Significant Bit) der Adresscodierung für 1 Gbit, oder im Prinzip jedes beliebige der Bits verwenden. Erhalten bleiben aber die vom Speichercontroller (420) angegebenen Rangauswahlsignale, die das Paar von Speicherchips angeben, das angesprochen werden soll und die der Modulcontroller (430) in neue Chip-Select-Signale umsetzt. Genau genommen hat sich die Ranganzahl im Speichermodul verdoppelt, der Modulcontroller (430) fingiert aber nach außen ein Speichermodul mit der vom Speichercontroller (420) angenommenen Anzahl von Rängen. Insgesamt bedeutet dies, dass der Speichercontroller (420) den Rang auswählt. Speichermodulintern kann ein Rang aber in mehrere Unterränge (*hier A, B, C, D*) aufgeteilt sein und der Modulcontroller (430) wählt den Unterrang (*A, B, C oder D*) aus.

Die Beklagte argumentiert, dass der Fachmann dem Absatz [0017] des Streitpatents entnehme, dass zwar bekannt sei, dass die Anzahl physikalisch adressierbarer Speicherplätze beispielsweise um den Faktor 2 oder 4 ohne umfangreiche Änderung der Software oder Hardware eines bestehenden Systems durch Kombination von Chipauswahlsignalen mit einem Adresssignal erhöht werden könne, der Einleitungssatz des Absatzes [0018], wonach dieses Verfahren Mängel habe, den Fachmann jedoch davon abhalte.

Diese Argumentation kann nicht überzeugen, da die Absätze [0018], [0019], [0022], [0037] und [0053] des Streitpatents den Fachmann explizit darauf hinweisen, dass das bekannte Verfahren mit der so erhöhten Anzahl an Speichervorrichtungen zur Präsentation einer höheren Last am Ausgang des Systemcontrollers führe und das Streitpatent genau für dieses technische Problem der erhöhten Lasten eine Lösung in Form der lastreduzierenden Schaltungen unter Beibehaltung der zusätzlichen

Speicherplätze präsentiert (vgl. Abs. [0018]: „These methods have several shortcomings. For example, since these methods increase the addressable memory space by directly adding memory chips, a heavier load is presented to the outputs of the system controller and the outputs of the memory devices, resulting in a slower system.“, Abs. [0019]: „Figures 1A and 1B illustrate a prior art approach of increasing the number of memory devices.“, Abs. [0022]: „Figures 2A and 2B illustrate another prior art approach of increasing the number of memory devices.“, Abs. [0037]: „As used herein, the terms "load-reducing" or "load-reducing switching" refer to the use of the data transmission circuits 416, 416' to reduce the load seen by the system memory controller 420, 420' when operatively coupled to the memory module 402, 402'.“, Abs. [0053]: „Thus, the memory controller 420, when there are four four-rank memory modules, sees four load-reducing switching circuit loads, instead of sixteen memory device loads. The reduced load on the memory controller 420 enhances the performance and reduces the power requirements of the memory system, as compared with, for example, the conventional systems described above with reference to Figures 1A, 1B and 2A-2D.“).

Darüber hinaus ist das Merkmal 1.2.4.3 in der Beschreibung des Streitpatents ausschließlich in Bezug auf das Ausführungsbeispiel der Figur 3A erläutert (vgl. Abs. [0053]: „Referring again to Figure 3A, when the controller 420 executes read or write operations, each specific operation is targeted to a specific one of the ranks A, B, C, and D of a specific memory module 402“).

Somit entnimmt der Fachmann dem Absatz [0036] des Streitpatents, dass die Lese- oder Schreiboperation beispielsweise durch die Eingangssteuersignale (CS_0 - CS_1 und A_{n+1}) von der Systemspeichersteuerung (420) auf eine bestimmte Reihe (0A, 0B, 1A, 1B) abgezielt ist.

Auf Basis der Eingangssteuersignale (vgl. Abs. [0048]: „address and control signals pass from the memory controller 420 to the control circuit 430“) werden erste Modulsteuersignale (z. B. Freigabesteuersignale für eine Schreiboperation (vgl. Abs. [0049]: „enable control signals“) oder Steuersignale für eine Leseoperation

(vgl. Abs. [0050])) von der Steuerschaltung (430) über die Leitungen 432 ausgegeben (vgl. Abs. [0048]: „the control circuit 430 which produces controls sent to the control logic circuitry 502 (e.g., via lines 432) which then controls operation of the components of the data transmission circuits 416“).

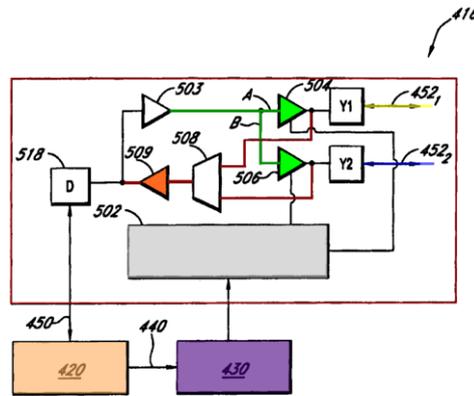


FIG. 5

Figur 5 des Streitpatents NK 2 mit Illustrationen des Senats

Gemäß **Merkmal 1.2.5** weist das Speichermodul eine zweite Anzahl von lastreduzierenden Schaltungen (416) (rot) auf, die mit der Modul-Leiterplatte (410) (grün umrandet) gekoppelt sind und dazu konfiguriert sind, die ersten Modulsteuersignale (über die Leitungen (432) vom Modulcontroller (430) (violett)) zu empfangen (vgl. Abs. [0036] und Fig. 3A). Der Begriff „Lastreduzierung“ bezieht sich auf die Verwendung der Datenübertragungsschaltungen (416), um die Last zu reduzieren, die von der Systemspeichersteuerung (420) gesehen wird, wenn diese operativ mit dem Speichermodul (402) gekoppelt ist (vgl. NK 2, Abs. [0037]). Im Vergleich zum Stand der Technik gemäß Figur 2A sieht die Systemspeichersteuerung gemäß Figur 3A während einer Schreiboperation statt aller Speichervorrichtungen (212) als ihre Last über die Datenleitungen (250) nur noch die lastreduzierenden Schaltungen (416) als ihre Last über die Datenleitungen (450) (vgl. Abs. [0022], [0051], [0053] und Figuren 2A, 3A). Da der Schreibpuffer (503) einer lastreduzierenden Schaltung (416) mit einem Eingangspuffer auf einer der Speichervorrichtungen (412), und der Lesepuffer (509) mit einem Ausgangspuffer auf einer der Speichervorrichtungen (412) vergleichbar sind, kann so in der Ausführungsform gemäß Figur 3A i. V. m. Figur 5 die Last auf der Systemspeichersteuerung (420) um einen Faktor von vier reduziert werden (vgl. Abs. [0045], [0051]).

Somit versteht der Fachmann lastreduzierende Schaltungen als solche, die die von der Systemsteuerung gesehene Last bei unveränderter Anzahl an Speichervorrichtungen reduzieren.

Jede jeweilige eine von der zweiten Anzahl von lastreduzierenden Schaltungen (416) ist mit einem jeweiligen Satz von der zweiten Anzahl von Sätzen von Datensignalleitungen (450) (rot) gekoppelt (**Merkmal 1.2.5.1**). Dazu ist die zweite Anzahl von lastreduzierenden Schaltungen (416) auf der Modul-Leiterplatte (410) an jeweiligen Positionen angeordnet, die jeweiligen Sätzen von der zweiten Anzahl von Sätzen von Datensignalleitungen (450) entsprechen (**Merkmal 1.2.5.3**). Aufgrund der identischen Bezeichnung entspricht die „zweite Anzahl“ im Merkmal 1.2.5, 1.2.5.1 und 1.2.5.3 der „zweiten Anzahl“ im Merkmal 1.1.1 und beträgt beispielsweise im Falle der Figur 3C „neun“.

Überdies ist jede lastreduzierende Schaltung (416) mit wenigstens einer jeweiligen Speichervorrichtung (412) in jeder von den mehreren Reihen gekoppelt (**Merkmal 1.2.5.2**). Beispielsweise ist eine erste lastreduzierende Schaltung (416₁) operativ mit mindestens einer Speichervorrichtung (412) jeder Reihe gekoppelt (z.B. Speichervorrichtungen 412A₁, 412B₁, 412C₁, 412D₁) (vgl. Abs. [0037]: *“The first data transmission circuit 4161 of certain such embodiments is operatively coupled to at least one memory device 412 of each rank (e.g., memory devices 412A₁, 412B₁, 412C₁, 412D₁)”, [0044]: „One or more of the data transmission circuits 416, in accordance with an embodiment of this disclosure, is operatively coupled to a corresponding one or more of the data lines 452 connected to one or more memory devices 412 in each of the ranks A, B, C, D.“; “one side of each data transmission circuit 416 of certain embodiments is operatively coupled to a memory device 412 in each rank (e.g., via data lines 452)”, Abs. [0053]: “the data transmission circuits 416 associated with each module 402 are operable to merge data read signals and to drive data write signals, enabling the proper data paths between the system memory controller 420 and the targeted or selected memory devices 412.”).*

Jede lastreduzierende Schaltung (416) enthält Datenpfade und eine Logik (502),

die die Datenpfade der lastreduzierenden Schaltung in Reaktion auf die ersten Modulsteuersignale vom Modulcontroller (430) derart steuert (**Merkmal 1.2.5.4**), dass die lastreduzierende Schaltung (416) aktiv ein Datensignal, das der Lese- oder Schreib-operation entspricht, zwischen der bestimmten einen der mehreren Reihen auf dem Speichermodul (402) und dem Speichercontroller (420) treibt (**Merkmal 1.2.5.4.1**). Das Treiben eines Datensignals durch die lastreduzierende Schaltung versteht der Fachmann derart, dass die Datenübertragungsschaltungen (416) verwendet werden, um jedes Datenbit zu und von der Speichersteuerung (420) und den Speichervorrichtungen (412) zu treiben, anstatt dass die Speichersteuerung (420) und die Speichervorrichtungen (412) jedes Datenbit direkt zu und von der Speichersteuerung (420) und den Speichervorrichtungen (412) treiben (vgl. Absatz [0044]). Das aktive Treiben erfolgt dabei beispielsweise durch einen ersten, im Pfad „A“ freigegebenen, Tristate-Puffer (504), der aktiv den Datenwert an seinem Ausgang treibt (vgl. Abs. [0049] und Fig. 5). Im Falle einer Leseoperation treibt der freigegebene Tristate-Puffer (509) das Lesesignal (vgl. Abs. [0050], Z. 53-55 und Fig. 5). Die Auswahl des Datenpfads (z.B. „A“ oder „B“) erfolgt durch die Steuerlogikschaltung (502), der von der Steuerschaltung (430) Freigabesteuersignale bereitgestellt werden, also in Reaktion auf die ersten Modulsteuersignale vom Modulcontroller (430) (vgl. Abs. [0049]).

Die Beklagte argumentiert, dass es für die Auslegung der Formulierung „Treiben“ eines Datensignals, in Merkmal 1.2.5.4.1, als „selektives Zulassen und Verhindern von Datenübertragungen zwischen dem Speichercontroller und ganz bestimmten Speichervorrichtungen“, weder eine Grundlage im Anspruch noch in der Beschreibung gebe. Die von den Klägerinnen in Bezug genommenen Ausführungsformen aus den Absätzen [0029] und [0038] der Beschreibung hätten in den Anspruchswortlaut keinen Einzug gefunden, denn aus dem Absatz [0038] folge gerade, dass in diesem Ausführungsbeispiel stets Speichervorrichtungen aus zwei verschiedenen Reihen über eine Datenleitung miteinander verbunden und Datensignale von einer ausgewählten Reihe der verschiedenen Reihen mit dem Systemspeichercontroller über die lastreduzierende Schaltung austauschbar seien. Des Weiteren sei in Absatz [0044] im Hinblick auf die lastreduzierenden Schaltungen keine Rede von einem „selektiven Zulassen und Verhindern“. Auch

ergebe sich aus Absätzen [0038] und [0045] des Streitpatents nicht, dass ein selektives Zulassen und Verhindern von Datenpfaden zu Speichervorrichtungen für das Erreichen einer patentgemäßen Lastenreduktion erforderlich seien. Absatz [0045] des Streitpatents stütze die Behauptung der Klägerinnen nicht, dass ein selektives Schalten zwischen Speichervorrichtungen erforderlich sei, damit der Speichercontroller nur die Last ganz bestimmter Speichervorrichtungen über die Datenleitung erführe. Auch auf das Ausführungsbeispiel nach Figur 5 und ein selektives Schalten zwischen Zweigen mit Speichervorrichtungen in unterschiedlichen Reihen durch die lastreduzierende Schaltung sei das Streitpatent nicht beschränkt.

Diese Argumentation überzeugt nicht. Die lastreduzierenden Schaltungen (416) treiben Datenschreibsignale, wodurch die richtigen Datenpfade zwischen der Systemspeichersteuerung (420) und den anvisierten oder ausgewählten Speichervorrichtungen (412) ermöglicht werden (vgl. Abs. [0053]: *„the data transmission circuits 416 associated with each module 402 are operable to merge data read signals and to drive data write signals, enabling the proper data paths between the system memory controller 420 and the targeted or selected memory devices 412“*). Die im Merkmal 1.2.5.4 genannten Datenpfade („data paths“), die durch die Modulcontrollersignale gesteuert werden, sind im Streitpatent erstmalig im Absatz [0047] und nur in Verbindung mit Figur 5 erläutert. Dem Absatz [0047] entnimmt der Fachmann, dass bei einem Schreibvorgang Daten, die in eine Datenübertragungsschaltung 416 gelangen, auf zwei Datenpfade getrieben werden, die mit Pfad A und Pfad B bezeichnet sind (vgl. Abs. [0047]: *„in a write operation, data entering a data transmission circuit 416 via a data line 518 is driven onto two data paths, labeled path A and path B“*). Dabei handelt es sich um die beiden in der Figur 5 mit „A“ und „B“ bezeichneten Datenpfade. Der Anspruch 1 ist somit auf die Ausführungsform der Figur 5 beschränkt. Die Reihen der Speichervorrichtungen sind ebenfalls in zwei Gruppen unterteilt, wobei eine Gruppe dem Pfad A und eine Gruppe dem Pfad B zugeordnet ist. Wie in Abbildung 3A gezeigt, befinden sich Rang A und Rang C in der ersten Gruppe und Rang B und Rang D in der zweiten Gruppe. Dementsprechend sind die Speichervorrichtungen 412A, 412C von Rang A und Rang C über einen ersten der

beiden Datenpfade und die Speichervorrichtungen 412B, 412D von Rang B und Rang D durch einen zweiten der beiden Datenpfade mit den Datenübertragungsschaltungen 416 verbunden (vgl. NK2, Abs. [0047]: „*The ranks of memory devices are likewise divided into two groups with one group associated with path A and one group associated with path B. As shown in Figure 3A, rank A and rank C are in the first group, and rank B and rank D are in the second group. Accordingly the memory devices 412A, 412C of rank A and rank C are connected to the data transmission circuit by a first one of the two data paths, and the memory devices 412B, 412D of rank B and rank D are connected to the data transmission circuits 416 by a second one of the two data paths.*“). Bei einer Schreiboperation wird, wenn die Steuerlogikschaltung (502) zum Beispiel ein "Freigabe-A"-Signal empfängt, ein erster Tristate-Puffer (504) in Pfad A freigegeben, und dieser treibt aktiv den Datenwert an seinem Ausgang, während ein zweiter Tristate-Puffer (506) in Pfad B mit seinem Ausgang in einem Zustand hoher Impedanz deaktiviert wird (vgl. NK 2, Abs. [0049]: „*For a write operation ... Accordingly, when the control logic circuitry 502 receives, for example, an "enable A" signal, a first tristate buffer 504 in path A is enabled and actively drives the data value on its output, while a second tristate buffer 506 in path B is disabled with its output in a high impedance condition.*“).

Somit versteht der Fachmann das Steuern der Datenpfade der lastreduzierenden Schaltung durch die enthaltene Logik gemäß Merkmal 1.2.5.4 i. V. m. dem aktiven Treiben eines Datensignals zwischen der bestimmten Reihe auf dem Speichermodul und dem Speichercontroller gemäß Merkmal 1.2.5.4.1 wie bei einer Weiche als selektives Zulassen und Verhindern von Datenübertragungen zwischen dem Speichercontroller und ganz bestimmten Speichervorrichtungen entweder über Pfad „A“ oder über Pfad „B“.

Da jeweils zwei Ränge mit einem Pfad verbunden sind (Ränge A und C mit Pfad „A“ und Ränge B und D mit Pfad „B“), stellen die zusätzlichen chip-select Signale (CS_{0A} , CS_{0B} , CS_{1A} , CS_{1B}) (vgl. Abs. [0036]) sicher, dass von oder in nur einen bestimmten Rang gelesen oder geschrieben wird.

Gemäß Merkmal 1.2.5.4.2 zeigen die ersten Modulsteuersignale des Modulcontrollers (430) die Richtung des Datenflusses an, das heißt zu oder von den Speichervorrichtungen (412) (vgl. NK 2, Abs. [0036]).

3. Das Speichermodul des Anspruchs 1 nach Hauptantrag ist nicht patentfähig, da es nicht neu bezüglich Druckschrift NK11 ist (Art. 54 EPÜ i. V. m. Art. 52 Abs. 1 EPÜ).

Die Ansprüche 1 der Hilfsanträge 1 bis 13 sind unzulässig, da die darin beanspruchten Speichermodule ursprünglich nicht offenbart sind (Artikel II § 6 Abs. 1 Satz 1 Nr. 3 IntPatÜG, Artikel 138 Abs. 1 lit. c) EPÜ).

Darüber hinaus sind die Speichermodule der Ansprüche 1 nach den Hilfsanträgen 3, 8, 10 und 13 auch nicht patentfähig, da sie dem Fachmann durch Druckschrift NK11 nahegelegt werden (Art. II § 6 Abs. 1 Satz 1 Nr. 1 IntPatÜG, Art. 138 Abs. 1 lit. a) EPÜ i. V. m. Art. 56 EPÜ).

Ferner sind die Speichermodule der Ansprüche 1 nach den Hilfsanträgen 1, 2, 4 bis 7, 9, 11 und 12 auch nicht patentfähig, da sie dem Fachmann durch Druckschrift QE4 nahegelegt werden (Art. II § 6 Abs. 1 Satz 1 Nr. 1 IntPatÜG, Art. 138 Abs. 1 lit. a) EPÜ i. V. m. Art. 56 EPÜ).

Das Speichermodul des Anspruchs 1 nach Hilfsantrag 14 ist nicht patentfähig, da es nicht neu bezüglich Druckschrift NK11 ist (Art. 54 EPÜ i. V. m. Art. 52 Abs. 1 EPÜ).

3.0 Zum Hauptantrag

Die Druckschrift US 2006/0277355 A1 (NK 11) betrifft Speichervorrichtungen, insbesondere einen Controller und eine Architektur, die ein transparentes Bankumschalten von Speichervorrichtungen ermöglicht (vgl. Abs. [0001]).

Da elektronische Geräte immer ausgefeilter werden, steigt der Bedarf an mehr Speicher. Andererseits sind viele elektronische Anwendungen durch Industriestandards eingeschränkt, und physikalische Beschränkungen verhindern eine Erhöhung einer Busgröße (*d. h. das Hinzufügen von mehr Kontaktstellen und/oder elektrischen Pfaden zu einem Speichermodul und/oder einer Systemspeichersteuerung ist oft unzulässig*), weshalb die maximale Größe des adressierbaren Speichers auf einem Speichermodul begrenzt ist. Somit würde das Erhöhen der Speicherkapazität eines Speichermoduls eine größere Busgröße erfordern. Dies ist oft unerwünscht und unpraktisch für die Abwärtskompatibilität bestehender Geräte und etablierter Industriestandards (*vgl. Abs. [0002] bis [0005]*). Daher schlägt die Druckschrift NK 11 eine auf einem Speichermodul oder alternativ auf einer Systemhauptplatine montierte Steuereinheit und einen Speicherbankschalter vor, um selektiv Schreib- und Leseoperationen zu/von Speichervorrichtungen zu steuern, die kommunikativ mit dem Speicherbankschalter gekoppelt sind. Durch selektives Aktivieren oder Deaktivieren der Speichervorrichtungen in Echtzeit können separate Speichervorrichtungen mit kleinerer Kapazität eine einzelne Speichervorrichtung mit größerer Kapazität emulieren (*vgl. Abs. [0010]*). Die Speicherkapazität eines Speichermoduls wird durch Verwenden einer Vielzahl von Speichervorrichtungen mit geringerer Kapazität erweitert, die als einzelne Speichervorrichtung mit höherer Kapazität funktionieren. Dies wird erreicht, ohne dass dem Bus weitere Leitungen oder ein zusätzliches externes Signal hinzugefügt werden müssen. Darüber hinaus wird die Last des Busses nicht erhöht, da die Speicherbankschalter eine einzelne Last des Busses darstellen, nicht die Last der damit gekoppelten einzelnen Speichervorrichtungen. Eine Steuereinheit stellt eine Zustandsmaschine bereit, die die Befehle an mehrere Speichervorrichtungen in mehreren Bänken steuert, um eine einzelne Speicherbank zu lesen/schreiben, ohne dass die anderen Speicherbänke von dem Datenbus getrennt werden müssen (*vgl. Abs. [0012]*).

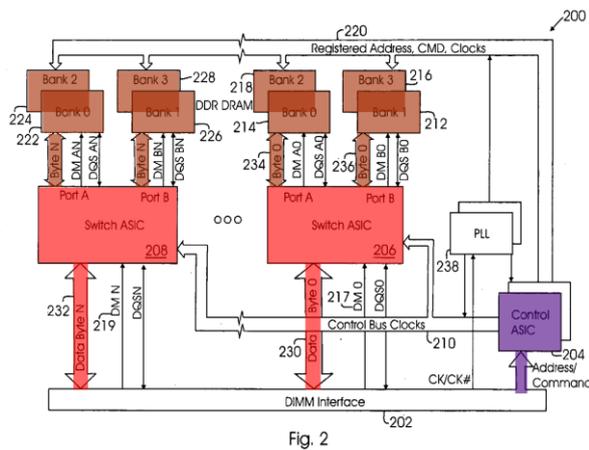


Fig. 2

Figur 2 der NK 11 mit Illustrationen des Senats

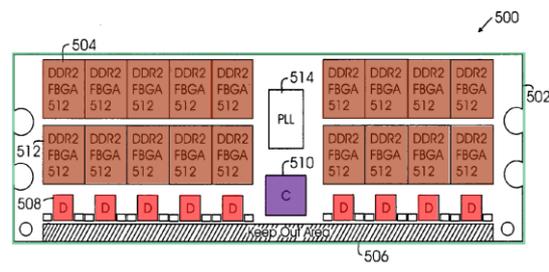


Fig. 5

Figur 5 der NK 11 mit Illustrationen des Senats

Die Figur 5 der NK 11 veranschaulicht ein Speichermodul (vgl. Abs. [0047]). Das Speichermodul (500) umfasst ein Substrat (502), auf dem mehrere Speichervorrichtungen (504) montiert sind, sowie eine Randschnittstelle (506), die dazu dient, das Speichermodul (500) kommunikativ mit einem Speichersteckplatz oder einem Kommunikationsbus (z. B. Speicherbus usw.) zu koppeln. Eine Speichersteuerung (510) ist auf dem Substrat (502) montiert und dazu konfiguriert, Schreib- und Leseoperationen zu/von den Speichervorrichtungen (504) zu steuern. Die Speichersteuerung (510) ist kommunikativ mit der Randschnittstelle (506) gekoppelt und empfängt Adress-, Befehls- und Steuersignale von der Randschnittstelle (506). Die Speichersteuerung (510) ist auch kommunikativ mit einem oder mehreren Speicherbankschaltern (508) gekoppelt, um Datenlese- und/oder -schreiboperationen zu/von den einen oder mehreren Speichervorrichtungen (504) und (512) zu steuern. Der Speicherbankschalter (508) ist kommunikativ mit den Speichervorrichtungen (504) und (512) gekoppelt, um Daten zu und von einer oder mehreren der Speichervorrichtungen (504) und (512) zu leiten. Der Speicherbankschalter (508) ist auch kommunikativ mit der Randschnittstelle (506) gekoppelt, um Signale zwischen der Randschnittstelle (506) und den Speichervorrichtungen (504) und (512) weiterzuleiten (vgl. Abs. [0047]). Der Betrieb der Speichersteuerung (510) und des Speicherbankschalters (508) bewirkt, dass die Speichervorrichtungen (504) und (512) eine einzelne Speichervorrichtung mit der Gesamtkapazität der kombinierten Speichervorrichtungen (504) und (512) emulieren. Das heißt, das Betriebssystem

adressiert eine einzelne logische Speicherbank, die von der Steuerung (510) auf die physikalischen Bänke der Speichergeräte (504) und (512) abgebildet wird (vgl. Abs. [0048]). Die Speicherbankschalter (508) können elektrisch mit zwei oder mehr Speichervorrichtungen (504) und (512) gekoppelt sein, wodurch die Kapazität eines Speichermoduls (500) erweitert wird (vgl. Abs. [0049]). In einer Implementierung, die in FIG. 5 gezeigt ist, können die Speichervorrichtungen (504) und (512) auf dem Speichermodul (500) als neun Speicherbankschalter oder -sätze (508) mit jeweils zwei Speicherbänken (504) und (512) angeordnet sein. Jede Speichervorrichtung hat 512 MBit DRAM. Als Ergebnis dieser Anordnung verwendet das Speichermodul 512-MBit-DRAM-Vorrichtungen, erscheint jedoch für den Systemprozessor als eine 1-GBit-DRAM-Vorrichtung (vgl. Abs. [0050]). Die ohmsche und/oder kapazitive Last auf dem Bus (110) wird nicht erhöht, weil das Speichermodul (106) eine einzige Last für den Bus (110) darstellt, nicht die Last der einzelnen damit gekoppelten Speichervorrichtungen (vgl. Abs. [0027] und Fig. 1). In Figur 2 ist das kapazitätserweiternde Speichersystem (200) kommunikativ mit einer DIMM-Schnittstelle (202) gekoppelt. Die DIMM-Schnittstelle (202) kann mit einem Speichersockel und einem Kommunikationsbus gekoppelt sein, über den Daten, Speicheradressen, Befehle und Steuerinformationen übertragen werden. In einer Ausführungsform empfangen die Speicherbankschalter (206) und (208) Dateninformationen von der DIMM-Schnittstelle (202) jeweils über die Datenbusse (230) und (232). Die Steuereinheit (204) ist über einen Steuerbus (210) kommunikativ mit den dualen Speicherbankschaltern (206) und (208) gekoppelt und zeigt den Speicherbankschaltern (206) und (208) an, wie Daten von der DIMM-Schnittstelle (202) empfangen und/oder gespeichert werden sollen (vgl. Abs. [0028], [0029] und Fig. 2). Zum Beispiel enthält der Speicherbankschalter 206 die Ports A und B, die mit den Datenbussen 234 und 236 gekoppelt sind, durch die er Dateninformationen zu und/oder von vier Speicherbänken (d. h. Bank 0, Bank 1, Bank 2 und Bank 3) sendet und empfängt. Die vier Speicherbänke (d. h. Bank 0, Bank 1, Bank 2 und Bank 3) 212, 214, 216 und 218 sind auch kommunikativ mit einem Adressbus 220 gekoppelt, über den sie Adress- und Befehlsinformationen von der Steuereinheit 204 empfangen. In einer Ausführungsform decodiert die Steuereinheit 204 eine über die DIMM-Schnittstelle 202 empfangene Speicheradresse, bestimmt, welcher Speicherbank die empfangene Adresse

entspricht, und bewirkt, dass die Speicherbankschalter 206 und 208 die richtige Speicherbank aktivieren. Die Steuereinheit 204 kann eine empfangene Adresse auf mehrere Arten abbilden. Beispielsweise kann die Steuereinheit 204 einfach die niedrigeren Speicheradressen Port A und höhere Speicheradressen Port B zuordnen. Obwohl Adressinformationen an alle Speicherbänke über den Adressbus 220 gesendet werden können, kann der Speicherbankschalter 206 und/oder die Steuereinheit 204 bestimmen, auf welche Speichervorrichtungen oder Bänke zugegriffen wird (*entweder für Lese- und/oder Schreiboperationen oder andere Operationen*). Die Steuereinheit 204 kann eine Zustandsmaschine implementieren, die die Speicherbankschalter 206 und 208 steuert, wodurch gesteuert wird, auf welche Speicherbänke/Vorrichtungen, die mit den Ports A und B gekoppelt sind, zugegriffen wird (*vgl. Abs. [0030] bis [0032] und Fig. 2*).

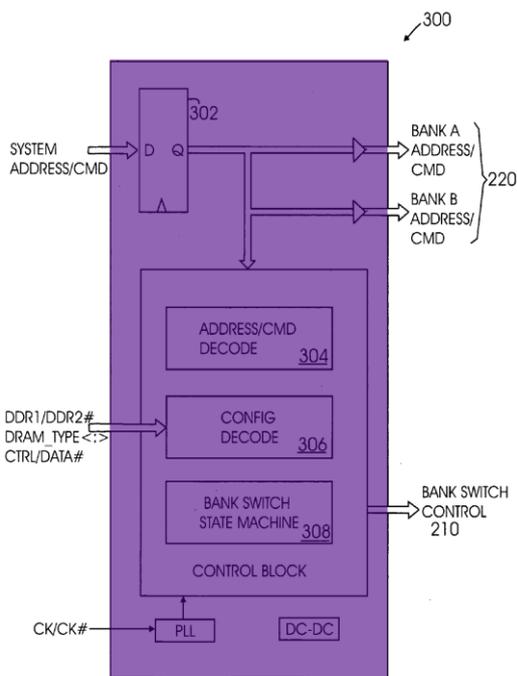


Fig. 3

Figur 3 der NK 11 mit Illustrationen des Senats

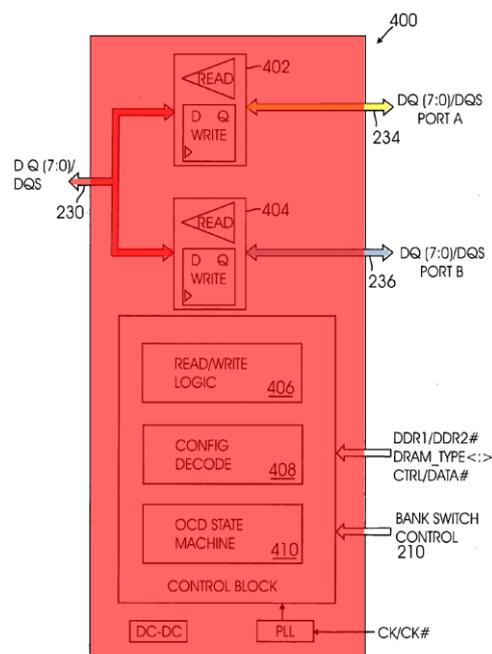


Fig. 4

Figur 4 der NK 11 mit Illustrationen des Senats

Die Figur 3 veranschaulicht ein Blockdiagramm eines Adress- und Befehlsverarbeitungssystems 300, das als Teil der Steuereinheit 204 implementiert sein kann. Das Befehlsverarbeitungssystem 300 steuert die physische Bankauswahl und die Bankumschaltrichtung. Speicheradressen und

Befehlsinformationen werden von der DIMM-Schnittstelle 202 empfangen, in einem Register 302 gepuffert und über den Adressbus 220 an alle Speicherbänke (z. B. *Bank 0, Bank 1, Bank 2 und Bank 3*) gesendet. Eine Bankschalter-Zustandsmaschine 308 bestimmt dann, welche Speicherbank aktiviert oder auf welche zugegriffen werden soll. In einer Ausführungsform der Erfindung ist diese Zustandsmaschine 308 eine logische Übersetzungstabelle, die eine primäre Raumadresse auf eine sekundäre Raumadresse basierend auf der vorhandenen Speicherkonfiguration abbildet. Die Zustandsmaschine 308 sendet über den Steuerbus 210 Steuerinformationen an die Speicherbankschalter 206 und 208, um anzuzeigen, welche Speicherbänke aktiviert/deaktiviert werden sollen oder auf welche zugegriffen werden soll. In einer Ausführungsform der Erfindung bildet die Steuereinheit 204 eine logische Speicherbank auf zwei physikalische Speicherbänke ab. Dies wird erreicht, indem eine der beiden physikalischen Speicherbänke (z. B. *entweder Port A oder Port B*) selektiv aktiviert oder aktiviert wird, während die andere deaktiviert oder deaktiviert wird (*vgl. Abs. [0039], [0040] und Fig. 3*). Die Figur 4 veranschaulicht ein Blockdiagramm eines Datenverarbeitungssystems 400, das als Teil des Speicherbankschalters 206 implementiert sein kann. Daten werden von der DIMM-Schnittstelle 202 über den Datenbus 230 zu bidirektionalen Signaltreibern 402 und 404 übertragen, die Daten über getrennte Datenbusse 234 und 236 zu den verschiedenen Sätzen von Speicherbänken übertragen und empfangen. Eine Lese-/Schreib-Logikeinheit 406 bestimmt, ob Daten von den Speichervorrichtungen (z. B. 212) gelesen oder in diese geschrieben werden (*vgl. Abs. [0045] und Fig. 4*). Die Figur 13 veranschaulicht eine Dual-Chip-Select-Speicherkonfiguration, in der eine Steuereinheit 1302 und ein Bankschalter 1304 verwendet werden, um zwei Speicherbänke 1306 und 1308 zu steuern, wobei jede Speicherbank zwei Speichervorrichtungen 1310 in einem gemeinsamen Bus aufweist (*vgl. Abs. [0056] und Fig. 13*).

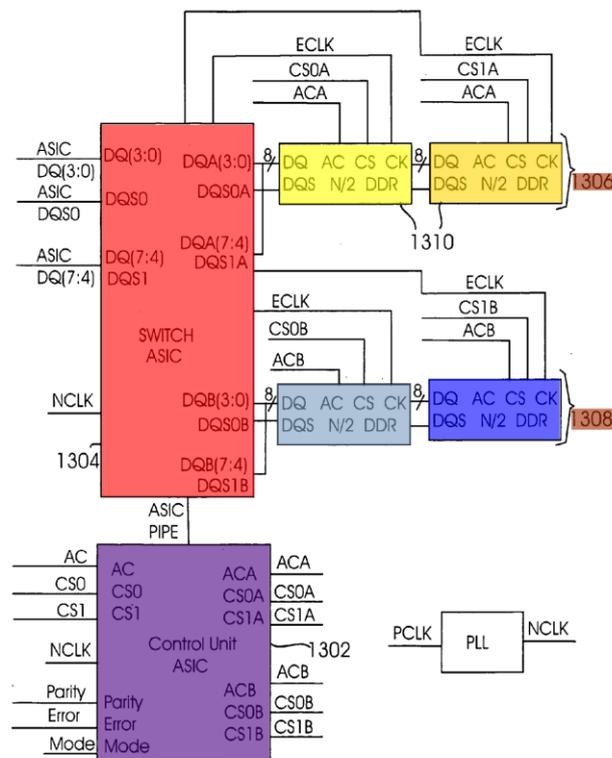


Fig. 13

Figur 13 der NK 11 mit Illustrationen des Senats

Somit offenbart die Druckschrift NK 11 in Übereinstimmung mit dem Wortlaut des erteilten Anspruchs 1

1. A memory module (vgl. Abs. [0027]: “memory module 106”, Abs. [0047]: “memory module 500” und Fig. 1, 5) operable in a computer system (vgl. Abs. [0027]: “computing system 100” und Fig. 1) with a memory controller (vgl. Abs. [0027]: “processing unit 102” und Fig. 1),
 - 1.1 the computer system including a set of control signal lines (vgl. Abs. [0027]: “the bus size or communication path 110 to and/or from the memory module 106”; Abs. [0028]: “The DIMM interface 202 may be coupled to a memory socket and communication bus over which data, memory addresses, commands, and control information are transmitted” und Fig. 1, 2) and first number of data signal lines (vgl. Abs. [0027]: “the bus size or communication path 110 to and/or from the memory module 106”; Abs. [0028]: “The DIMM interface 202 may be coupled to a memory socket and communication bus over which data,

memory addresses, commands, and control information are transmitted" und Fig. 1, 2) between the memory module (106) and the memory controller (102),

- 1.1.1 the first number of data signal lines (110) including a second number of sets of data signal lines (110; *die Figur 5 offenbart neun Schalter 508, die gemäß Abs. [0049] den Schaltern 206 entsprechen. Gemäß Figur 2 führt zu jedem Schalter 206 eine Datensignalleitung 230 (vgl. Abs. [0029]: „data bus 230“), so dass in Figur 5 eine zweite Anzahl „neun“ von Sätzen von Datensignalleitungen 230 offenbart sind. Da der Datenbus 230 eine Bitbreite von 8 Bit hat (siehe Figur 2: „Data Byte 0“; ein Byte entspricht 8 Bit), beträgt die erste Anzahl an Datensignalleitungen 72 (9 * 8 = 72)),*
- 1.1.2 each set of data signal lines (230) for conducting an 8-bit section of each data signal (*siehe Figur 2: „Data Byte 0“*) between the memory module (106, 500) and the memory controller (102),
- 1.2 the memory module (106, 500) comprising:
 - 1.2.1 a module board (*vgl. Abs. [0047]: „substrate 502“ und Fig. 5*) configured to be coupled to the memory controller (102) via the set of control signal lines (110) and the first number of data signal lines (110) (*vgl. Abs. [0047]: „The memory module 500 also includes an edge interface 506 that serves to communicatively couple the memory module 500 to a memory slot or to a communication bus (e.g., memory bus, etc.).“*),
 - 1.2.2 the module board (502) being mountable in a module slot of the computer system and having an edge connector (506) comprising a plurality of electrical contacts which are positioned on an edge (*siehe Fig. 5*) of the module board (502) and are positioned to be releasably coupled to corresponding contacts of a computer system socket (*vgl. Abs. [0028]: „coupled to a memory socket“*) (*eine lösbare Kopplung liest der Fachmann bei einer Leiterplattenschnittstelle selbstverständlich mit*);

- 1.2.3 a plurality of memory devices (vgl. Abs. [0056]: “two memory banks 1306 & 1308, each memory bank having two memory devices 1310” und Fig. 13) coupled to the module board (502; siehe Fig. 5) and arranged in multiple ranks (vgl. Abs. [0050]: “illustrated in FIG. 5, the memory devices 504 & 512 on the memory module 500 may be arranged as nine memory bank switches or sets 508 having two memory banks 504 & 512 each”; In Figur 13 sind 4 Speichervorrichtungen in 4 Reihen angeordnet. Bei neun Schaltern ergeben sich 4 Reihen (hellgelb, hellblau, gelb, blau) mit jeweils neun Speichervorrichtungen),
- 1.2.3.1 each rank of the multiple ranks (vgl. in Figur 13 jede der 4 Reihen (hellgelb, hellblau, gelb, blau)) having a bit width equal (vgl. Fig. 2: 234, 236; “Byte 0”, also jeweils 8 Bit) to a bit width of the memory module (vgl. Fig. 2: 230; “Data Byte 0”, also 8 Bit) (vgl. Abs. [0030]: “For example, memory bank switch 206 includes Port A and Port B, coupled to data busses 234 & 236 respectively, through which it sends and receives data information to and/or from four memory banks (i.e., Bank 0, Bank 1, Bank 2, and Bank 3).”);
- 1.2.4 a module controller (vgl. Abs. [0047]: “memory controller 510”; Abs. [0028]: “control unit 204”; Abs. [0056]: “control unit 1302” und Fig. 2, 5, 13) coupled to the module board (502) and configured
- 1.2.4.1 to receive input control signals for a read or write operation from the memory controller (102) via the set of control signal lines (110) (vgl. Abs. [0047]: “A memory controller 510 is mounted on the substrate 502 and configured to control write and read operations to/from the memory devices 506. The memory controller 510 is communicatively coupled to the edge interface 506 and receives address, command, and control signals from the edge interface 506.”, in Figur 2 rechts unten “Address/Command”, sowie in Figur 13 die Eingangssignale in die Control Unit 1302) and
- 1.2.4.2 to output first module control signals (210) based on the input control signals (vgl. Abs. [0047]: “The memory controller 510 is also communicatively coupled to one or more memory bank switch 508 to

control data Read and/or Write operations to/from the one or more memory devices 504 & 512”; Abs. [0031]: “the control unit 204 decodes a memory address received over the DIMM interface 202, determines to which memory bank the received address corresponds, and causes the memory bank switch 206 and 208 to activate the correct memory bank.”; Abs. [0039]: “The state machine 308 sends control information to the memory bank switches 206 & 208 via the control bus 210 to indicate which memory banks should be activated/deactivated or accessed.” und Fig. 2, 3, 5),

- 1.2.4.3 *the read or write operation being targeted at a specific one of the multiple ranks (Da die von dem Speichercontroller empfangenen Speicheradressen und Befehle für eine Lese- oder Schreiboperation sowohl die Speicherbankschalter 206 & 208 mittels der Zustandsmaschine 308 über den Bus 210 steuern (vgl. Abs. [0028], [0029], [0032] und [0039] sowie Fig. 2 bis 4), als auch die Reihe mittels der aus den empfangenen Chip-Auswahlsignalen CS0 und CS1 erzeugten Chip-Auswahlsignalen CS0A, CS1A, CS0B und CS1B (vgl. „Control Unit ASIC“ in Figur 13) ausgewählt wird, ist die Lese- oder Schreiboperation auch auf eine bestimmte Reihe in Figur 13 (hellgelb, hellblau, gelb, blau) abgezielt)*
- 1.2.5 *and second number of load-reducing circuits (vgl. Abs. [0050]: “in FIG. 5, ... nine memory bank switches ... 508”; Abs. [0049]: “the memory bank switches 508 are memory bank switches 206 as described above”; Abs. [0056]: “bank switch 1304”; Abs. [0045]: “data processing system 400” und Fig. 2, 4, 5, 13) coupled to the module board (502) and configured to receive the first module control signals (vgl. Abs. [0031]: “the control unit 204 ... causes the memory bank switch 206 and 208 to activate the correct memory bank.”; Abs. [0039]: “sends control information to the memory bank switches 206 & 208 via the control bus 210” und Fig. 2 bis 4),*
- 1.2.5.1 *each respective one of the second number of load-reducing circuits (508 in Fig. 5 bzw. 206 in Fig. 2; 400 in Fig. 4; 1304 in Fig. 13; Abs. [0049]: “the memory bank switches 508 are memory bank switches 206*

- as described above”) being coupled to a respective set of the second number of sets of data signal lines (230 in Fig. 2, 4, 13) and
- 1.2.5.2 to at least one respective memory device (vgl. Abs. [0056]: “two memory banks 1306 & 1308, each memory bank having two memory devices 1310” und Fig. 13) in each of the multiple ranks (in Figur 13 ist jede lastreduzierende Schaltung 1304 mit wenigstens einer Speichervorrichtung (hellgelb, hellblau, gelb, blau) in jeder von den mehreren Reihen (hellgelb, hellblau, gelb, blau) gekoppelt),
- 1.2.5.3 the second number of load-reducing circuits (508 in Fig. 5 bzw. 206 in Fig. 2) being disposed on the module board (502) at respective positions corresponding to respective sets of the second number of sets of data signal lines (230 in Fig. 2); and
- 1.2.5.4 wherein the each respective one of the load-reducing circuits (206 in Fig. 2; 400 in Fig. 4; vgl. Abs. [0045]: “This data processing system 400 may be implemented as part of the memory bank switch 206.”) includes data paths and logic (vgl. Abs. [0045]: “A read/write logic unit 406 determines whether data is being read from or written to the memory devices (e.g., 212)”) controlling the data paths in response to the first module control signals (210; vgl. Abs. [0029]: “The control unit 204 is communicatively coupled to the dual memory bank switches 206 & 208 via a control bus 210 and indicates to the memory bank switches 206 & 208 how data from the DIMM interface 202 should be received and/or stored” und Figur 4 rechts unten “BANK SWITCH CONTROL 210”)
- 1.2.5.4.1 so that the second number of load-reducing circuits (206 in Fig. 2; 400 in Fig. 4) actively drive a data signal corresponding to the read or write operation between the specific one of the multiple ranks on the memory module (106, 500) and the memory controller (vgl. Abs. [0031]: “each memory bank switch 206 and 208 includes signal drivers to drive data signals to and from the memory banks and to and from the DIMM interface 202”, Abs. [0045]: “Data is transmitted from the DIMM interface 202 via the data bus 230 to bidirectional signal drivers 402 & 404 that transmit and receive data over separate data busses 234 and 236 to the different sets of memory banks. A read/write logic unit 406

determines whether data is being read from or written to the memory devices (e.g., 212). Memory configuration information 408 is obtained from the control unit.” und Fig. 2, 4. Da die Reihe in der Figur 13 mittels der Chip-Auswahlsignale CS0A, CS1A, CS0B und CS1B ausgewählt wird, wird das Datensignal DQ(7:0) zwischen der bestimmten einen Reihe (hellgelb, hellblau, gelb oder blau) und dem Speichercontroller getrieben), and

1.2.5.4.2 wherein the first module control signals (210) indicate a direction of data flow (vgl. Abs. [0047]: “The memory controller 510 is also communicatively coupled to one or more memory bank switch 508 to control data Read and/or Write operations to/from the one or more memory devices 504 & 512”; Abs. [0045]: “A read/write logic unit 406 determines whether data is being read from or written to the memory devices (e.g., 212)” und Fig. 2, 4, 5).

Die Beklagte argumentiert, dass die Druckschrift NK 11 nicht die Merkmale 1.2.3 und 1.2.3.1 offenbare. In dem von der Klägerinnen betrachteten Ausführungsbeispiel gemäß Figur 5 der NK 11 solle eine Bank nur eine einzige Speichervorrichtung umfassen, wobei die in Fig. 2 der NK 11 gezeigten „Banks 0“ zu einer ersten Reihe zugeordnet werden könnten, die „Banks 1“ zu einer zweiten Reihe, etc. Ein solches Verständnis sei aber durch die Lehre von NK 11 nicht gestützt. Eine Bank beziehe sich gemäß NK 11 auf eine oder mehrere Speichervorrichtungen, die mit einem einzigen Speicherbank-Schalter verbunden seien. Nichts Anderes ergebe sich aus dem Ausschnitt von Absatz [0030] der NK 11, denn auch dort werde nur auf einen einzelnen „memory bank switch 206“ Bezug genommen. Darüber hinaus werde in den Figuren 11 und 13 jede Bank von zwei unterschiedlichen Chip-Select-Signalen angesteuert. Eine Gleichsetzung der Bänke aus NK 11 mit streitpatentgemäßen Reihen sei somit nicht zulässig. Somit sei NK 11 insbesondere nicht zu entnehmen, dass die Speicherbänke mit einem bestimmten Index jeweils zu einer Reihe zusammengeschlossen würden. Insofern kenne NK 11 auch keine Reihen, die jeweils eine Bitbreite aufweisen, die gleich groß sei wie die Bitbreite des Speichermoduls.

Diese Argumentation kann nicht überzeugen. Den Absätzen [0054] und [0056] i. V. m. den Figuren 11 und 13 der NK 11 entnimmt der Fachmann, dass mehrere Speichervorrichtungen (1112 bzw. 1310) einer Bank (1108 bzw. 1306) zugeordnet sein können. Dabei können die links in den Figuren gezeigten Speichervorrichtungen (1112 bzw. 1310) einer Bank (1108 bzw. 1306) einer ersten Reihe (A bzw. B) und die rechts gezeigten Speichervorrichtungen (1112 bzw. 1310) einer Bank (1108 bzw. 1306) einer zweiten Reihe (C bzw. D) zugeordnet werden. Somit entsprechen die Anordnungen der Speichervorrichtungen in den Figuren 11 und 13 der NK 11 denen der Figuren 3B/4B und 3A/4A des Streitpatents. Der Figur 5 i. V. m. der Figur 13 entnimmt der Fachmann beispielsweise eine Ausgestaltung mit 18 Bänken mit jeweils 2 Speichervorrichtungen, die in 4 Reihen angeordnet sind.

Die Beklagte argumentiert, dass die Druckschrift NK 11 nicht offenbare, dass die von dem Speichercontroller empfangenen Lese- oder Schreiboperationen auf eine bestimmte Reihe abziele, wie dies von Merkmal 1.2.4.3 verlangt werde. Gemäß der Lehre von NK 11 werde dem Speichercontroller lediglich vorgegaukelt, dass er bestimmte spezifische Speichervorrichtung adressieren könnte. Tatsächlich kenne der Speichercontroller jedoch die innere Struktur des Speichermoduls nicht, sodass die Lese- oder Schreiboperation, die der Speichercontroller an das Speichermodul sende, in Wirklichkeit nicht auf die von ihm bestimmten Speichervorrichtungen – und somit auch nicht auf eine bestimmte Reihe – abziele. In NK 11 würden mehrere physikalische Speicher-Bänke zu einer virtuellen Speicherbank zusammengefasst, der durch die Steuereinheit (204) eine logische Adresse zugewiesen werde. In den Figuren 7A bis 7F sei angegeben, wie eine von der Steuereinheit erhaltene Adresse (*primary address space*) auf eine der mehreren Bänke (*secondary address space*) abgebildet werden könne. Die Steuereinheit des Speichermoduls gemäß NK 11 erhalte vom Speichercontroller im Zusammenhang mit einer Lese- oder Schreiboperation eine Adresse aus dem *primary address space*, weil der Speichercontroller davon ausgehe, er habe es mit einer Speichervorrichtung/einer Speicherbank zu tun, die er, wie bekannt, adressieren könne. Von der internen Struktur des Speichermoduls bzw. der Speicherbänke wisse er nichts. Die physikalische Bank, auf die eine vom

Systemspeichercontroller empfangene Operation abziele, werde erst durch die state machine der control unit beispielsweise gemäß einer der Zuordnungen in Figuren 7A bis 7F bestimmt. Wie der Figur 12 zu entnehmen sei, empfangen die Steuereinheit (1202) lediglich ein einziges Chip-Select-Signal CS0. Die Steuereinheit gebe aber zwei verschiedene Chip-Select-Signale CS0A und CS0B aus. Das heiße also, der Speichercontroller adressiere das Speichermodul mit dem Befehl, auf die Reihe, die durch CS0 angezeigt wird, zuzugreifen. Tatsächlich zugegriffen werde aber entweder auf die durch CS0A oder CS0B angezeigte Reihe. Diese „Umadressierung“ sei durch die Steuereinheit notwendig, weil der Speichercontroller die innere Struktur des Speichermoduls der NK 11 nicht kenne, sondern vielmehr im Glauben gelassen werde, er könne direkt die durch CS0 angezeigte Reihe ansteuern. Somit zielten die Lese- oder Schreiboperationen, die vom Speichercontroller empfangen werden, nicht auf eine bestimmte (physikalische) Reihe des Speichermoduls ab, da dem Speichercontroller diese nicht bekannt sei. Der Speicherbank-Schalter (*memory bank switch*) erhalte die physikalische Adresse (*der Speicher-Bank*) erst von der Steuerschaltung (*control unit*). Somit sei der Speicherbank-Schalter der NK 11 auch nicht dazu ausgelegt, ein Datensignal der Lese- oder Schreiboperation zwischen der vom Speichercontroller adressierten bestimmten Reihe und einer dieser entsprechenden Reihe im Speichermodul nach NK 11 zu treiben. Das Merkmal 1.2.5.4.1 sei somit in NK11 ebenfalls nicht offenbart

Auch diese Argumentation kann nicht überzeugen. Wie bereits dargelegt, versteht der Fachmann den Absatz [0036] des Streitpatents derart, dass die Systemspeichersteuerung (420) der Steuerschaltung (430) mittels der Steuersignale, beispielsweise chip-select und Spaltenadresssignale, mitteilt, auf welche Reihe die Lese- oder Schreiboperation abgezielt ist und gemäß Absatz [0038] eine Datenübertragungsschaltung (416) in Reaktion auf Modulsteuersignale selektiv zwischen zwei oder mehr Speichervorrichtungen (412) umschaltet. Dieses offenbart auch die NK 11 dem Fachmann, die beispielsweise in der Figur 13 den Empfang eines Chip-Auswahlsignal (*CS0, CS1*) und die Übertragung der jeweiligen Chip-Auswahlsignale (*CS0A, CS0B, CS1A, CS1B*) an die Speichervorrichtungen offenbart und im Absatz [0032] darauf hinweist, dass die Steuereinheit (204) eine

empfangene Adresse auf mehrere Arten abbilden kann. Beispielsweise kann die Steuereinheit (204) die niedrigeren Speicheradressen Port A und höheren Speicheradressen Port B zuordnen. Der Speicherbankschalter (206) und/oder die Steuereinheit (204) kann bestimmen, auf welche Speichervorrichtungen oder Bänke zugegriffen wird (*entweder für Lese- und/oder Schreiboperationen oder andere Operationen*). Die Steuereinheit (204) kann eine Zustandsmaschine implementieren, die die Speicherbankschalter (206) und (208) steuert, wodurch gesteuert wird, auf welche Speicherbänke/Vorrichtungen, die mit den Ports A und B gekoppelt sind, zugegriffen wird. Dabei wird ein Datenpfad wie bei einer Weiche zu der bestimmten einen Reihe über den Port A aktiviert und zu der anderen Reihe mittels Port B deaktiviert (*Merkmal 1.2.4.3 i. V. m. Merkmal 1.2.5.4.1*).

Damit offenbart Druckschrift NK11 einen Gegenstand mit allen Merkmalen des Anspruchs 1 nach Hauptantrag, so dass dieser mangels Neuheit nicht patentfähig ist (Art. 54 EPÜ i. V. m. Art. 52 Abs. 1 EPÜ).

3.1 Zum Hilfsantrag 1

3.1.1 Das Merkmal 1.2.6^{HA1} ist nicht ursprünglich offenbart. So verlangt das neue Merkmal 1.2.6^{HA1}, dass jede Moduldatenleitung (452, 452') des jeweiligen Satzes von Moduldatenleitungen (452, 452') mit einer jeweiligen Speichervorrichtung (412, 412') in jeder der mehreren Ränge verbunden ist. Der ursprünglichen Anmeldung NK3 ist jedoch im Hinblick auf die Merkmale 1.2.5.4 und 1.2.5.4.1 lediglich zu entnehmen, dass bei einem Schreibvorgang Daten auf zwei Datenpfade geleitet werden, die als Pfad A und Pfad B bezeichnet sind. Die Ränge der Speichervorrichtungen (412) sind ebenfalls in zwei Gruppen unterteilt, wobei eine Gruppe dem Pfad A und eine Gruppe dem Pfad B zugeordnet ist. Dementsprechend sind die Speichervorrichtungen 412A, 412C von Rang A und Rang C über einen ersten der beiden Datenpfade mit den Datenübertragungsschaltungen 416 verbunden, und die Speichervorrichtungen 412B, 412D von Rang B und Rang D sind über einen zweiten der beiden Datenpfade mit den Datenübertragungsschaltungen 416 verbunden (*vgl. NK3, Abs. [0061]: „In the operational embodiment shown in Figure 5, in a write operation, data*

entering a data transmission circuit 416 via a data line 518 is driven onto two data paths, labeled path A and path B, preferably after passing through a write buffer 503. The ranks of memory devices 412 are likewise divided into two groups with one group associated with path A and one group associated with path B. As shown in Figure 3A, rank A and rank C are in the first group, and rank B and rank D are in the second group. Accordingly, the memory devices 412A, 412C of rank A and rank C are connected to the data transmission circuits 416 by a first one of the two data paths, and the memory devices 412B, 412D of rank B and rank D are connected to the data transmission circuits 416 by a second one of the two data paths.“ und Fig. 3A, 5). Der Fachmann konnte der ursprünglichen Anmeldung somit nur entnehmen, dass die beiden Speichervorrichtungsgruppen nicht über eine einzige, sondern über unterschiedliche Datenleitungen mit einer Datenübertragungsschaltung 416 verbunden sind.

Der Anspruch 1 des Hilfsantrags 1 ist demnach unzulässig, da mit ihm das Streitpatent über den Umfang der ursprünglich eingereichten Anmeldung hinausgeht.

3.1.2 Darüber hinaus wird der Gegenstand des Anspruchs 1 gemäß Hilfsantrag 1 dem Fachmann aus der QE4 nahegelegt.

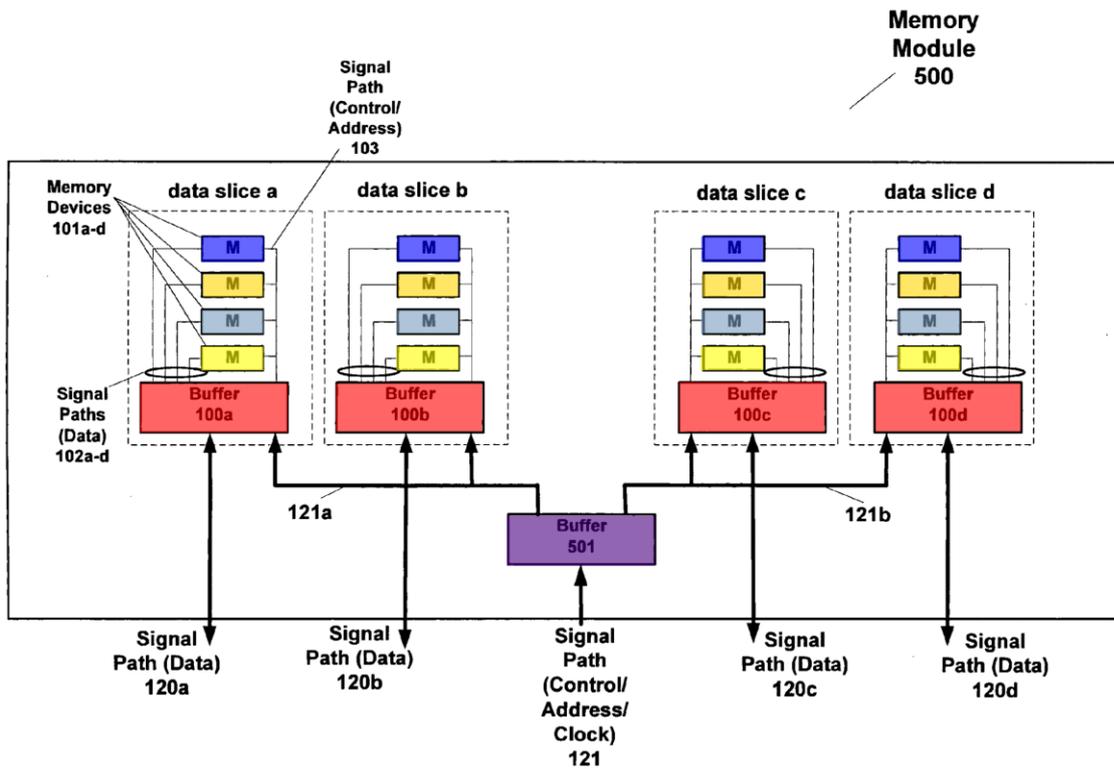


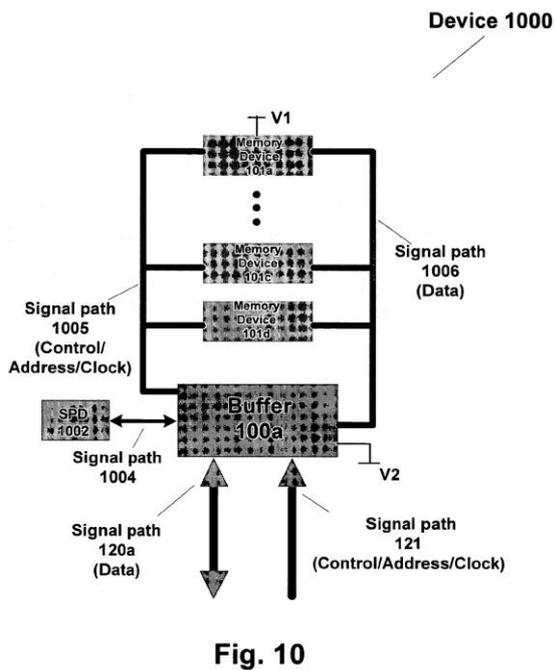
Fig. 5

Figur 5 der QE4 mit farbigen Illustrationen des Senats

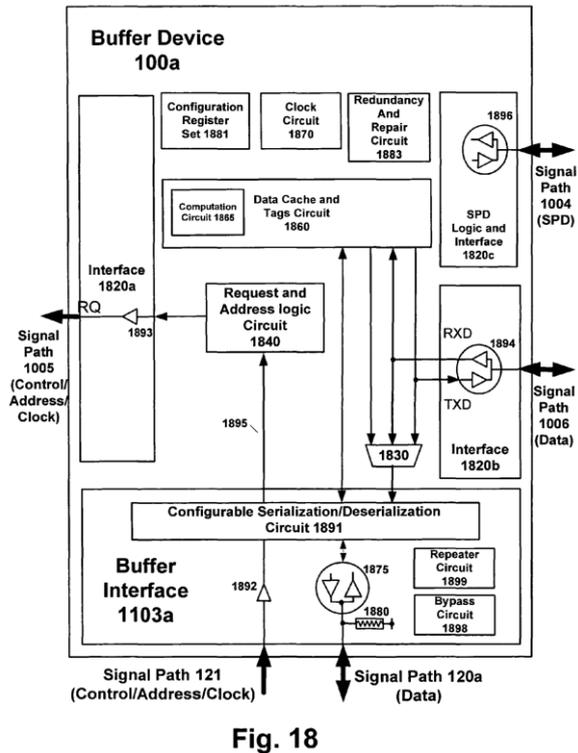
Die US 7,464,225 B2 (QE4) betrifft integrierte Schaltungsvorrichtungen, die Hochgeschwindigkeitssignalisierung solcher Vorrichtungen, Speichervorrichtungen und Speichersysteme (vgl. QE4, Sp. 1, Z. 8-10). Die Figur 5 stellt eine Speichermodultopologie dar, die mehrere integrierte Schaltungsspeichervorrichtungen und mehrere integrierte Schaltungspuffervorrichtungen mit einer integrierten Schaltungspuffervorrichtung 501 für Steuer-, Adress- und/oder Taktinformationen umfasst. Dabei ist die Puffervorrichtung 501 mit den Signalpfaden 121 und 121a-b gekoppelt. Die Puffervorrichtung 501 gibt Steuer-, Adress- und/oder Taktinformationen an die Puffervorrichtungen 100a-b auf dem Signalpfad 121a und an die Puffervorrichtungen 100c-d auf dem Signalpfad 121b aus. Die Puffervorrichtung 501 kopiert die auf dem Signalpfad 121 empfangenen Steuer-, Adress- und/oder Taktinformationen und wiederholt die Steuer-, Adress- und/oder Taktinformationen auf den Signalpfaden 121a-b. Die Puffervorrichtung 501 empfängt Steuerinformationen, wie etwa eine Paketanforderung, die einen Zugriff auf mindestens eine der integrierten Speicherschaltungsvorrichtungen 101a-d spezifiziert, und gibt ein entsprechendes Steuersignal (auf Signalpfad 121a

und/oder 121b) an die angegebene integrierte Speicherschaltungsvorrichtung aus (vgl. QE4, Sp. 6, Z. 29-52 und Fig. 5). In einer Ausführungsform einer Speicherleseoperation empfängt der Puffer 100a Steuerinformationen (einschließlich Adressinformationen), die in einem Paketformat von einem Master auf dem Signalpfad 121 vorliegen können, und überträgt als Reaktion darauf entsprechende Signale an eine oder mehrere oder alle Speichervorrichtungen 101a-d auf einem oder mehreren Signalpfaden 1005. Eines oder mehrere der Speichergeräte 101a-d können durch die Übertragung von Daten an den Puffer 100a reagieren, der die Daten über einen oder mehrere Signalpfade 1006 empfängt und als Reaktion entsprechende Signale an einen Master (oder einen anderen Puffer) sendet. Ein Master überträgt die Steuerinformationen über einen oder mehrere Signalpfade 121 und empfängt die Daten über einen oder mehrere Signalpfade 120a (vgl. Sp. 12, Z. 60 – Sp. 13, Z. 4). In einer Ausführungsform einer Speicherschreiboperation empfängt der Puffer 100a Steuerinformationen (einschließlich Adressinformationen), die in einem Paketformat vorliegen können, von einem Master auf dem Signalpfad 121 und empfängt die Schreibdaten für ein oder mehrere Speichergeräte 101a-d, die in einem Paketformat vorliegen können von einem Master auf Signalpfad 120a. Der Puffer 100a überträgt dann entsprechende Signale an eine oder mehrere oder alle Speichervorrichtungen 101a-d auf einem oder mehreren Signalpfaden 1006, damit die Schreibdaten gespeichert werden können. Ein Master überträgt die Steuer-/Adress-/Taktinformationen über einen oder mehrere Signalpfade 121 und überträgt die Schreibdaten über einen oder mehrere Signalpfade 120a (vgl. Sp. 13, Z. 9-20). In einer Ausführungsform können gleichzeitige Schreib- und/oder Lesevorgänge für verschiedene Speichergeräte in den Speichergeräten 101a–d erfolgen (vgl. Sp. 13, Z. 21-23). Durch Modifizieren des Puffers 100a können neue Schnittstellenstandards von Speichergeräten schrittweise eingeführt werden, um mit einem Master oder einem Speichersystem zu arbeiten, das ältere Schnittstellenstandards unterstützt. In einer Ausführungsform kann ein Speichermodul über eine Schnittstelle oder einen Sockel eines älteren Speichermoduls eingesetzt werden, während Speichervorrichtungen neuerer Generation auf dem Speichermodul angeordnet sein können. Die Abwärtskompatibilität mit vorhandenen Generationen von Speichergeräten kann

erhalten bleiben. In ähnlicher Weise können schrittweise neue Generationen von Mastern oder Controllern eingeführt werden, die die Funktionen neuer Generationen von Speichergeräten nutzen und gleichzeitig die Abwärtskompatibilität mit bestehenden Generationen von Speichergeräten beibehalten (vgl. Sp. 17, Z. 9-24). Die Figur 18 veranschaulicht ein Blockdiagramm einer Puffervorrichtung 100a.



Figur 10 der QE4



Figur 18 der Druckschrift QE4

Die Beklagte argumentiert, dass die QE4 speziell bezogen auf das Speichermodul nach Figur 5 angebe, dass die tatsächliche Zugriffsgeschwindigkeit auf die Speichervorrichtungen im Vergleich zur Zugriffsgeschwindigkeit durch das System reduziert werde (um einen Faktor 2, 4, 8 etc.). Als Vorteil dieses Vorgehens nenne QE4, dass billigere Speichervorrichtungen benutzt werden könnten. Um es dem System zu ermöglichen, mit höherer (doppelter, vierfacher, achtfacher etc.) Geschwindigkeit auf das Speichermodul, das allerdings nur Speichervorrichtungen enthalte, die geringere (einfache) Zugriffsgeschwindigkeit unterstützen, zuzugreifen, müsse auf mehrere Speichervorrichtungen gleichzeitig zugegriffen werden.

Diese Argumentation kann nicht überzeugen. Zwar entnimmt der Fachmann der QE4 in einem Ausführungsbeispiel in Bezug auf Figur 5, dass beispielsweise die Schnittstelle so schnell wie die angegebene Signalrate arbeiten kann, während die Speichergeräte 101a-d mit der Hälfte der Datensignalrate arbeiten können, sodass relativ kostengünstigere Speichergeräte verwendet werden können (vgl. QE4, Sp. 7, Z. 32-38), wobei der Fachmann diese Variante so versteht, dass auf zwei Speichervorrichtungen gleichzeitig zugegriffen werden müsste (vgl. Sp. 13, Z. 21-23).

Jedoch wird in diesem Ausführungsbeispiel bereits mehrfach darauf hingewiesen, dass diese Ausgestaltung nur eine „kann“-Variante ist („*may be*“) und somit auch andere Ausgestaltungen möglich sind. Zudem offenbart die QE4 dem Fachmann auch den umgekehrten Fall, dass in einer Ausführungsform ein Speichermodul über eine ältere Speichermodulschnittstelle oder einen älteren Speichermodulsteckplatz eingesetzt werden kann, während Speichervorrichtungen neuerer Generation auf dem Speichermodul angeordnet sein können (vgl. Sp. 17, Z. 12-16: *„In an embodiment, a memory module may be inserted using an older memory module interface or socket, while newer generation memory devices may be disposed on the memory module.“*). Überdies ist bezüglich der Lese- und der Schreiboperation angegeben, dass die Signal- und Datenübertragung auch nur zu oder von einer der Speichervorrichtungen erfolgen kann (vgl. Sp. 12, Z. 60 – Sp. 13, Z. 20: *„memory read operation ... One ... of memory devices 101a-d may respond by transmitting data to buffer 100a which receives the data via one or more signal paths 1006 and in response, transmits corresponding signals to a master (or other buffer). ... memory write operation ... buffer 100a ... receives the write data for one ... memory devices 101a-d that may be in a packet format from a master on signal path 120a. Buffer 100a then transmits corresponding signals to one ... memory devices 101a-d on one or more signal paths 1006 so that the write data may be stored.“*). So bezieht sich in einer Ausführungsform ein Befehl auf eine Speicheroperation einer bestimmten integrierten Speicherschaltung (vgl. Sp. 5, Z. 24-26: *„In an embodiment, a command relates to a memory operation of a particular integrated circuit memory device.“*). Außerdem kann gleichzeitig auf mehrere Speichergeräte in verschiedenen Datenscheiben zugegriffen werden (vgl.

Sp. 5, Z. 31-32: „Also, multiple memory devices in different data slices can be accessed simultaneously“). Diesen Angaben entnimmt der Fachmann somit, dass zum einen auch nur auf eine Speichervorrichtung in einer Datenscheibe („data slice“) und zum anderen auch gleichzeitig auf jeweils eine Speichervorrichtung in verschiedenen Datenscheiben zugegriffen werden kann.

Somit entnimmt der Fachmann der Druckschrift QE4 in Übereinstimmung mit dem Wortlaut des Anspruchs 1 nach Hilfsantrag 1

1. A memory module (vgl. Sp. 6, Z. 33: *“memory module 500”*) operable in a computer system with a memory controller (vgl. Sp. 8, Z. 38-39: *“master”*),
 - 1.1 the computer system including a set of control signal lines (vgl. Sp. 6, Z. 34: *“signal paths 121”*) and first number of data signal lines (vgl. Sp. 3, Z. 49: *“signal paths 120a-d”*) between the memory module (*“500”*) and the memory controller (*“master”*),
 - 1.1.1 the first number of data signal lines (*“signal paths 120a-d”*) including a second number of sets of data signal lines (*“signal paths 120a-d”*),
 - 1.1.2 each set of data signal lines (*“signal paths 120a-d”*) for conducting an 8-bit section of each data signal between the memory module (*“500”*) and the memory controller (*“master”*) (vgl. Sp. 16, Z. 44-48: *“interface 1820a and 1820b are programmable to access different memory device widths. For example, interfaces 1820a and 1820b may be programmed to connect to 16 “x4” width memory devices, 8 “x8” width memory devices or 4 “x 16” width memory devices.”. Einen 8-Bit-Abschnitt zu leiten, liegt für den Fachmann somit nahe.*),
 - 1.2 the memory module (*“500”*) comprising:
 - 1.2.1 a module board (vgl. Sp. 7, Z. 46-48: *“printed circuit board”*) configured to be coupled to the memory controller (vgl. Sp. 8, Z. 18: *“coupled to a master.”*) via the set of control signal lines (*“121”*) and the first number of data signal lines (*“120a-d”*) (vgl. Sp. 13, Z. 2-4: *“A master transmits the control information via one or more signal paths 121 and receives the data via one or more signal paths 120a.”*),

- 1.2.2 the module board being mountable in a module slot of the computer system and having an edge connector comprising a plurality of electrical contacts which are positioned on an edge of the module board and are positioned to be releasably coupled to corresponding contacts of a computer system socket (vgl. Sp. 8, Z. 9-12: *“In an embodiment, connector interface 920 is disposed on an edge of substrate 910. In an embodiment, a memory module 900 is inserted into a socket 940 disposed on substrate 950. In an embodiment, substrate 950 is a main board”*);
- 1.2.3 a plurality of memory devices (vgl. Sp. 3, Z. 48: *“memory devices 101a-d”*) coupled to the module board (“500”) and arranged in multiple ranks (*für den Fachmann ist naheliegend, dass die Speichervorrichtungen 101a jeweils eine Reihe bilden. Weitere Reihen bilden die 101b, 101c und 101d*),
- 1.2.3.1 each rank of the multiple ranks having a bit width equal to a bit width of the memory module (*Die Bit-Breite des Speichermoduls (Datenpfade 120a-d) entspricht derjenigen der einzelnen Reihen (Speichervorrichtungen, die über Puffer 100a-d mit den Datenpfaden 120a-d verbunden sind)*);
- 1.3^{HA1} wherein, when the memory controller (“master”) executes a read or write operation, the read or write operation is targeted at a specific one of the multiple ranks of the memory module (vgl. Sp. 12, Z. 60 - Sp. 13, Z. 4: *“In a memory read operation embodiment, buffer 100a receives control information (including address information) that may be in a packet format from a master on signal path 121 and in response, transmits corresponding signals to one ... of memory devices 101a-d”*; Sp. 13, Z. 9-20: *“In a memory write operation embodiment, buffer 100a receives control information (including address information) that may be in a packet format from a master on signal path 121 and receives the write data for one ... memory devices 101a-d”*);
- 1.2.4 a module controller (vgl. Sp. 6, Z. 32: *“buffer device 501 for control”*) coupled to the module board (“500”; vgl. Fig. 5) and configured

- 1.2.4.1^{HA1} to receive input control signals for the read or write operation from the memory controller (*“master”*) via the set of control signal lines (*“121”*) (vgl. Sp. 12, Z. 60 – Sp. 13, Z. 20) and
- 1.2.4.2 to output first module control signals based on the input control signals (vgl. Sp. 6, Z. 35-37: *“Buffer device 501 outputs control, address and/or clock information to buffer devices 100a-b on signal path 121a and to buffer devices 100c-d on signal path 121b”*),
- 1.2.4.3^{HA1} the read or write operation being targeted at the specific one of the multiple ranks (*da gemäß Sp. 12, Z. 60 – Sp. 13, Z. 20 die Lese- oder Schreiboperation auf eine bestimmte Speichervorrichtung, z.B. „101a“, gerichtet ist, zielt diese Operation auch auf einen bestimmten Rang, z.B. „a“ ab*);
- 1.2.5 and second number of load-reducing circuits (vgl. Sp. 6, Z. 36-37: *“buffer devices 100a-b ... buffer devices 100c-d”*) coupled to the module board (vgl. Fig. 5) and configured to receive the first module control signals (vgl. Sp. 12, Z. 60 – Sp. 13, Z. 20) (*da ein Buffer Device 100a im Datenpfad 120a einen Transceiver 1875 mit nur einem Ausgangstreiber-Puffer und nur einem Empfänger-Puffer aufweist (vgl. Sp. 13, Z. 63-64 und Fig. 18), präsentiert das Buffer Device 100a nur die reduzierte Last eines Puffers und nicht die Lasten aller Eingangspuffer aller Speichervorrichtungen 101a-d*),
- 1.2.5.1 each respective one of the second number of load-reducing circuits (*“100a-d”*) being coupled to a respective set of the second number of sets of data signal lines (*“signal paths 120a-d”*) (vgl. Fig. 5) and
- 1.2.5.2^{HA1} to at least one respective memory device (*101a-d*) in each of the multiple ranks via a respective set of module data lines (*“1006”*) (vgl. Sp. 8, Z. 61 – Sp. 9, Z. 1: *“Here, data (read and/or write) may be transferred between the plurality of integrated circuit memory devices 101a-d and buffer 100a on a signal path 1006 (data). ... Signal path 1006 is a bus for providing bidirectional data signals between a plurality of integrated circuit memory devices 101a-d and buffer 100a”*, Sp. 12, Z. 67: *“receives the data via one or more signal paths 1006”*, Sp. 13, Z. 16: *“on one or more signal paths 1006”* und Fig. 10),

1.2.5.3 the second number of load-reducing circuits (“100a-d”) being disposed on the module board (“*printed circuit board*”) at respective positions corresponding to respective sets of the second number of sets of data signal lines (“120a-d”, *vgl. Fig. 5*);

1.2.6^{HA1} wherein each module data line (“1006”) of the respective set of module data lines (“1006”) is connected to a respective memory device (“101a-d”) in each of the multiple ranks (*vgl. Sp. 8, Z. 61 – Sp. 9, Z. 1*), such that each data signal line (“120a-d”) of the respective set of the second number of sets of data signal lines (“120a-d”) and a corresponding module data line (“1006”) of the respective set of module data lines (“1006”) carry data from the memory controller (“*master*”) through the respective load-reducing circuit (“100a-d”) to the respective memory device (“101a-d”) in each of the multiple ranks (*vgl. Sp. 12, Z. 60 – Sp. 13, Z. 20 und Fig. 5, 10*);

and

1.2.5.4 wherein the each respective one of the load-reducing circuits (“100a-d”) includes data paths and logic controlling the data paths in response to the first module control signals (*vgl. Fig. 18*)

1.2.5.4.1 so that the second number of load-reducing circuits (“100a-d”) actively drive a data signal corresponding to the read or write operation between the specific one (“a”) of the multiple ranks on the memory module (“500”) and the memory controller (“*master*”) (*vgl. Sp. 12, Z. 66 – Sp. 13, Z. 1: “buffer 100a which receives the data via one or more signal paths 1006 and in response, transmits corresponding signals to a master”, Sp. 13, Z. 63-64: “transceiver 1875 includes an output driver and a receiver”, Sp. 14, Z. 13-15: “Interface 1820b includes a transceiver 1894 coupled to signal path 1006 to transfer data between buffer 100a and one or more memory devices 101a-d as illustrated in FIG. 10” und Fig. 18*), and

1.2.5.4.2 wherein the first module control signals indicate a direction of data flow (*da der Buffer 100a über den Signalpfad 121 Steuersignale für eine Lese- oder Schreiboperation vom Buffer 510 erhält (vgl. Sp. 12, Z. 60 – Sp. 13, Z. 20), geben diese Steuersignale auch die Richtung des*

Datenflusses an).

Die Beklagte argumentiert zur Merkmalsgruppe 1.2.3, dass der Figur 5 von QE4 zu entnehmen sei, dass die einem der Puffer 100a-d zugeordneten Speichervorrichtungen 101a-d nur mit dem einen Puffer 100a-d verbunden seien. Insofern bilde jedes der data slices a-d jeweils für sich ein isoliertes System, das mit dem Puffer 501 (via Signalpfaden 121a-b) und dem System (via Signalpfaden 120a-d) kommuniziere. Eine Verbindung von Speichervorrichtungen aus unterschiedlichen data slices sei nicht vorgesehen. Eine Reihe müsse als solche technisch-physikalisch identifiziert und angesteuert werden können. Eine Reihe sei eine Gruppe von Speichervorrichtungen, die dieselben Chip-Select- oder Rank-Select-Signale erhalten, und die darauf gemeinschaftlich (im sog. Lockstep) reagierten.

Diese Argumentation kann nicht überzeugen. Zum einen ist mit der Merkmalsgruppe 1.2.3 nicht beansprucht, dass die Speichervorrichtungen aus unterschiedlichen Reihen miteinander verbunden sind. Zum anderen ist in der Figur 5 der QE4 der Puffer 501 über die Leitungen 121 und 103 mit den Speichervorrichtungen 101a-d operativ gekoppelt. Darüber hinaus weist die QE4 auch darauf hin, dass gleichzeitig auf mehrere Speichervorrichtungen in verschiedenen Datenbereichen zugegriffen werden kann (*vgl. QE4, Sp. 5, Z. 31-32: „Also, multiple memory devices in different data slices can be accessed simultaneously.“*) Ferner ist von einem Lockstep im Streitpatent keine Rede.

Zum Merkmal 1.2.5.2^{HA1} argumentiert die Beklagte, dass - nachdem QE4 keine Reihen offenbare - auch keiner der Puffer 100a-d mit wenigstens einer Speichervorrichtung in den mehreren Reihen gekoppelt sein könne.

Auch diese Argumentation kann nicht überzeugen. Die jeweiligen Speichervorrichtungen 101a in den Datenbereichen a bis d („*data slice a*“ bis „*data slice d*“) bilden eine Reihe „a“. Somit ist die lastreduzierende Schaltung („*Buffer 100a*“) auch mit wenigstens einer jeweiligen Speichervorrichtung in jeder von den mehreren Reihen „a“ bis „d“ über den Signalpfad 1006 im „*data slice a*“ gekoppelt

(vgl. Fig. 5, 10) (Merkmal 1.2.5.2^{HA1}).

Zu den Merkmalen 1.2.4.3^{HA1} und 1.2.5.4.1 führt die Beklagte aus, dass selbst wenn man die in Figur 5 von QE4 gezeigte geometrische Anordnung von Speichervorrichtungen als Reihen im Sinne des Streitpatents gelten lassen würde, QE4 dennoch nicht offenbare, dass die Lese- oder Schreiboperation auf eine bestimmte von mehreren Reihen abziele: Denn in QE4 gehe es darum, für das System die Illusion einer höheren Zugriffsgeschwindigkeit zu erzeugen, als die verbauten Speichervorrichtungen tatsächlich unterstützen könnten. Dies könne nur dadurch umgesetzt werden, indem auf mehrere Speichervorrichtungen innerhalb eines data slice gleichzeitig zugegriffen werde. Damit werde aber nicht auf eine bestimmte Reihe von Speichervorrichtungen abgezielt bzw. zugegriffen.

Auch diese Argumentation kann nicht überzeugen, da - wie bereits dargelegt - in einer Ausführungsform der QE4 bezüglich der Lese- und der Schreiboperation explizit angegeben ist, dass die Signal- und Datenübertragung auch nur zu oder von einer der Speichervorrichtungen erfolgen kann (vgl. Sp. 12, Z. 60 – Sp. 13, Z. 20). Überdies ist, auch wenn gemäß QE4, Sp. 5, Z. 31-32 simultan auf die jeweilige Speichervorrichtung 101a der „data slice a“ und „data slice c“ zugegriffen wird, die Lese- oder Schreiboperation nur auf eine bestimmte von den mehreren Reihen abgezielt.

Ferner führt die Beklagte aus, dass das Merkmal 1.1.2 in QE4 nicht bekannt sei. Auch dieses kann insofern nicht überzeugen, als das Leiten eines 8-Bit-Abschnitts für den Fachmann naheliegend ist (vgl. QE4, Sp. 16, Z. 44-48: *“interface 1820a and 1820b are programmable to access different memory device widths. For example, interfaces 1820a and 1820b may be programmed to connect to 16 "x4" width memory devices, 8 "x8" width memory devices or 4 "x 16" width memory devices.”*).

Das Speichermodul des Anspruchs 1 nach Hilfsantrag 1 ist daher wegen fehlender erfinderischer Tätigkeit auch nicht patentfähig (Art. 56 EPÜ i. V. m. Art. 52 Abs. 1 EPÜ).

3.2 Zum Hilfsantrag 2

3.2.1 Gemäß Rechtsprechung des BGH kann durch eine Vorveröffentlichung auch dasjenige offenbart sein, was im Patentanspruch und in der Beschreibung nicht ausdrücklich erwähnt, aus der Sicht des Fachmanns jedoch für die Ausführung der unter Schutz gestellten Lehre selbstverständlich ist und deshalb keiner besonderen Offenbarung bedarf, sondern „mitgelesen“ wird. Die Einbeziehung von Selbstverständlichem erlaubt jedoch keine Ergänzung der Offenbarung durch das Fachwissen, sondern dient lediglich der vollständigen Ermittlung des Sinngehalts, das heißt derjenigen technischen Information, die der fachkundige Leser der Quelle vor dem Hintergrund seines Fachwissens entnimmt (vgl. *BGH, Urteil vom 18. März 2014 – X ZR 77/12, GRUR 2014, 758 - Proteintrennung*)

Den ursprünglichen Anmeldeunterlagen ist zwar zu entnehmen, dass der Modulcontroller konfiguriert ist, um die Eingangssteuersignale einschließlich der Chipauswahlsignale zu registrieren (vgl. *NK3, Abs. [0050]: „The control circuit 430, 430' of certain embodiments is configurable to be operatively coupled to control lines 440, 440' to receive control signals (e.g., bank address signals, row address signals, column address signals, address strobe signals, and rank-address or chip-select signals) from the system memory controller 420, 420'. The control circuit 430, 430' of certain embodiments registers signals from the control lines 440, 440' in a manner functionally comparable to the address register of a conventional RDIMM.“*). Jedoch ist nicht offenbart, dass genau diese Steuersignale, einschließlich der Chipauswahlsignale, über registrierte Steuerleitungen direkt an die Speichervorrichtungen übertragen werden (*Teilmerkmal 1.2.4.1.2^{HA2}: „to transmit registered control signals including registered chip-select signals to the plurality of memory devices (412, 412')“*), denn gemäß Abs. [0050] werden die Chipauswahlsignale im Modulcontroller verändert (vgl. *NK3, Abs. [0050]: „The control circuit 430, 430' may produce additional chip-select signals or output enable signals based on address decoding. Examples of circuits which can serve as the control circuit 430, 430' are described in more detail by U.S. Pat. Nos. 7,289,386 and 7,532,537, each of which is incorporated in its entirety by reference herein.“*).

Wie bereits im qualifizierten Hinweis ausgeführt, ist der US 7,532,537 B2 (ZP11) in Spalte 16, Zeile 45 bis Spalte 17, Zeile 67 zu entnehmen, dass basierend auf zwei chip-select Signalen (CS_0 - CS_1) und einem Zeile/Spalte Adresssignal (A_{n+1}) vier chip-select Signale (CS_{0A} , CS_{0B} , CS_{1A} , CS_{1B}) für vier Ränge erzeugt werden. Somit werden nicht die registrierten zwei Chipauswahlsignale, sondern die erzeugten vier Chipauswahlsignale übertragen.

Die Beklagte argumentiert, dass der Fachmann einen offensichtlichen Bezugszeichen-Fehler in der Formulierung („*The registered control lines 440, 440' are also operatively coupled to the memory devices 412, 412'*“) im Absatz [0050] der ursprünglichen Anmeldung NK3 feststelle und die Bezugszeichen 440 und 440' in 442 und 442' korrigiere, da von registrierten Steuerleitungen die Rede sei, bei denen es sich nur um die Weiterleitung bereits registrierter Signale handeln könne. Der vorherige Satz („*The control circuit 430, 430' of certain embodiments registers signals from the control lines 440, 440' in a manner functionally comparable to the address register of a conventional RDIMM.*“) besage, dass der Modulcontroller 430, 430' die Signale von den Steuerleitungen 440, 440' registriere.

Diese Argumentation kann nicht überzeugen. So entnimmt der Fachmann der Formulierung im Absatz [0050], dass die registrierten Steuerleitungen 440, 440' auch operativ mit den Speichergeräten 412, 412' verbunden sind (vgl. NK3, Abs. [0050]: „*The registered control lines 440, 440' are also operatively coupled to the memory devices 412, 412'*“) und somit aufgrund des Adverbs “auch” unmittelbar und eindeutig, dass die Steuerleitungen 440, 440' vom Speichercontroller 420 nicht nur mit dem Modulcontroller 430, 430' zum Registrieren der Signale, sondern auch vom Speichercontroller 420 mit den Speichervorrichtungen 412, 412' verbunden sind.

Somit ist der ursprünglichen Anmeldung NK3 nicht zu entnehmen, dass der Modulcontroller 430, 430' die registrierten Steuersignale, einschließlich registrierter Chipauswahlsignale, vom Speichercontroller 420 unverändert an die mehreren Speichervorrichtungen 412, 412' überträgt.

Damit ist das Merkmal 1.2.4.1.2^{HA2} nicht ursprünglich offenbart.

Das Merkmal 1.2.6^{HA1} ist, wie zum Hilfsantrag 1 ausgeführt, nicht ursprünglich offenbart.

Der Anspruch 1 des Hilfsantrags 2 ist demnach unzulässig, da mit ihm das Streitpatent über den Umfang der ursprünglich eingereichten Anmeldung hinausgeht.

3.2.2 Darüber hinaus wird der Gegenstand des Anspruchs 1 gemäß Hilfsantrag 2 dem Fachmann aus der QE4 nahegelegt.

Die Beklagte argumentiert, dass in QE4 eine Verbindung von Speichervorrichtungen aus unterschiedlichen data slices nicht vorgesehen sei. Somit beschreibe QE4 ein System von (isolierten) data slices, womit es auch nicht naheliegend wäre, ausgehend von QE4 die unterschiedlichen data slices miteinander zu verknüpfen, und schon erst recht nicht, dafür registrierte Steuerleitungen und Chip-Select-Signale vorzusehen.

Dieser Argumentation ist nicht zu folgen, denn zum Hilfsantrag 1 hatte die Beklagte erläutert, dass durch die Merkmale 1.2.5.2^{HA1} und 1.2.6^{HA1} der Gegenstand von Anspruch 1 auf ein Speichermodul beschränkt sei, in dem jede Modul-Datenleitung eine lastreduzierende Schaltung mit Speichervorrichtungen aus allen Reihen verbinde. Somit fordern diese Merkmale keine Verknüpfung unterschiedlicher data slices.

Darüber hinaus entnimmt der Fachmann der QE4, dass die Puffervorrichtung 501 Steuer-, Adress- und/oder Taktinformationen, die auf dem Signalpfad 121 empfangen werden, kopiert und diese Steuer-, Adress- und/oder Taktinformationen auf den Signalpfaden 121a-b wiederholt (vgl. QE4, Sp. 6, Z. 37-41: „*In an embodiment buffer device 501 copies control, address and/or clock information received on signal path 121 and repeats the control, address and/or clock information on signal paths 121a-b.*“ und Fig. 5). Die Puffervorrichtung kann Daten,

Steuerinformationen, Adressinformationen und/oder ein Taktsignal an mindestens eine integrierte Speicherschaltung speichern und/oder weiterleiten (vgl. QE4, Sp. 4, Z. 23-26: „*the buffer device may store and/or route data, control information, address information and/or a clock signal to at least one integrated circuit memory device*“). Der Signalpfad 1005 umfasst einzelne Steuersignalleitungen und Adresssignalleitungen (vgl. QE4, Sp. 9, Z. 13-16: „*Signal path 1005 includes individual control signal lines ... and address signal lines*“ und Fig. 10). Da die Schnittstelle bekannte Standards unterstützt (vgl. Sp. 15, Z. 41: „*interface standards*“, Sp. 17, Z. 11-12: „*supports older interface standards*“), ist für den Fachmann selbstverständlich, dass die Steuer- und Adresssignale Chip-Select-Signale umfassen (Merkmale 1.2.4.1.1^{HA2}, 1.2.4.1.2^{HA2}).

Das Speichermodul des Anspruchs 1 nach Hilfsantrag 2 ist daher wegen fehlender erfinderischer Tätigkeit auch nicht patentfähig (Art. 56 EPÜ i. V. m. Art. 52 Abs. 1 EPÜ).

3.3 Zum Hilfsantrag 3

3.3.1 Entsprechend der Argumentation zum Merkmal 1.2.4.1.2^{HA2}, ist auch bezüglich des Merkmals 1.2.4.1.2^{HA3} den ursprünglichen Anmeldeunterlagen nicht zu entnehmen, dass die registrierten Steuersignale, einschließlich der registrierten Spaltenadresssignale, über registrierte Steuerleitungen unverändert an die Speichervorrichtungen übertragen werden, denn gemäß Abs. [0050] werden die Signale im Modulcontroller verändert.

Des Weiteren ist den ursprünglichen Unterlagen nicht zu entnehmen, dass das Übertragen registrierter Spaltenadresssignale an die Speichervorrichtungen dazu dient, um auf die bestimmte Spalte in der spezifischen der mehreren Ränge zuzugreifen. Die Beklagte verweist diesbezüglich auf den Absatz [0062] der NK3, dem jedoch lediglich zu entnehmen ist, dass bekannt ist, dass es sich bei der Column Address Strobe (CAS)-Latenz um eine Verzögerungszeit handelt, die zwischen dem Zeitpunkt vergeht, an dem der Speichercontroller 420 die Speichermodule 402 darüber informiert, auf eine bestimmte Spalte in einem

ausgewählten Rang oder einer ausgewählten Zeile zuzugreifen, und dem Moment, in dem sich die Daten für oder aus der jeweiligen Spalte auf den Ausgangspins der ausgewählten Rangfolge oder Zeile befinden. Während der Latenzzeit gelangen Adress- und Steuersignale vom Speichercontroller 420 zum Modulcontroller 430, der Steuersignale erzeugt, die an die Steuerlogikschaltung 502 gesendet werden (vgl. NK3, Abs. [0062]: „As is known, Column Address Strobe (CAS) latency is a delay time which elapses between the moment the memory controller 420 informs the memory modules 402 to access a particular column in a selected rank or row and the moment the data for or from the particular column is on the output pins of the selected rank or row. ... During the latency, address and control signals pass from the memory controller 420 to the control circuit 430 which produces controls sent to the control logic circuitry 502“). Diesen Angaben entnimmt der Fachmann unmittelbar und eindeutig lediglich, dass die Speichermodule 402, insbesondere deren Modulcontroller 430, jedoch nicht die Speichervorrichtungen 412 Steuersignale für einen Zugriff auf eine bestimmte Spalte empfangen.

Damit ist das Merkmal 1.2.4.1.2^{HA3} nicht ursprünglich offenbart.

Der Anspruch 1 des Hilfsantrags 3 ist demnach unzulässig, da mit ihm das Streitpatent über den Umfang der ursprünglich eingereichten Anmeldung hinausgeht.

3.3.2 Darüber hinaus wird der Gegenstand des Anspruchs 1 nach Hilfsantrag 3 dem Fachmann aus der NK11 nahegelegt.

Die Druckschrift NK 11 offenbart auch das Merkmal 1.3^{HA1} (vgl. NK 11, Abs. [0031]: „In one embodiment of the invention, the control unit 204 decodes a memory address received over the DIMM interface 202, determines to which memory bank the received address corresponds, and causes the memory bank switch 206 and 208 to activate the correct memory bank. For example, if the control unit 204 determines that a particular address is associated with, or mapped to, Bank 1212 coupled to memory bank switch 206, then it causes Port B to be activated and Port A to be disabled so that the data is written to the correct memory bank 212.“).

Da die Merkmale 1.2.4.1^{HA1} und 1.2.4.3^{HA1} des Hilfsantrags 3 den Merkmalen 1.2.4.1 und 1.2.4.3 des Hauptantrags bis auf die grammatikalische Änderung des unbestimmten („a“) in einen bestimmten Artikel („the“) entsprechen, sind diese, wie zu den Merkmalen 1.2.4.1 und 1.2.4.3 des Hauptantrags ausgeführt, der NK11 zu entnehmen.

Die NK11 offenbart überdies, dass die Steuereinheit (204) ein Adressbit, das einer Spalte (12) entspricht, zur Auswahl einer Speicherbank verwendet. Somit wird eine von der Steuereinheit (204) empfangene primäre Adresse auf eine den Speicherbänken entsprechende sekundäre Adresse abgebildet (vgl. NK11, Abs. [0037]: „the address bit corresponding to Column 12 is used to select a memory bank (banks on Port A or Port B). ... Thus, a primary space address received by the control unit 204 is mapped to a secondary space address corresponding to the memory banks.“). Gemäß Figur 7A der NK11 ist auch ein Spaltenadresssignal in der sekundären Adresse enthalten:

Configuration	Primary Address Space	RC Mode INVERT	Mode	PHY Bank Select	Secondary Address Space
DDR 1,2 X 256M (x4)	BA 0h - 3h Row 0000h - 1FFFh Column 000h - FFFh	X	COLUMN	COL A(12)	BA 0h - 3h Row 0000h-1FFFh Column 000h-7FFh
					BA 0h - 3h Row 0000h-1FFFh Column 800h-FFFh
DDR 1,2 X 256M (x8)	BA 0h - 3h Row 0000h - 1FFFh Column 000h - 7FFh	X	COLUMN	COL A(11)	BA 0h - 3h Row 0000h-1FFFh Column 000h-3FFh
					BA 0h - 3h Row 0000h-1FFFh Column 400h-7FFh
DDR 1,2 X 512M (x4)	BA 0h - 3h Row 0000h - 3FFFh Column 000h - FFFh	X	ROW	ROW A(13)	BA 0h - 3h Row 0000h-1FFFh Column 000h-FFFh
					BA 0h - 3h Row 2000h-3FFFh Column 000h-FFFh

Fig. 7A

Figur 7A der NK11 mit farbigen Hervorhebungen des Senats

Die Adressen, die weitergegeben werden, sind in Figur 13 „ACA“ und „ACB“ (Merkmale 1.2.4.1.1^{HA3}, 1.2.4.1.2^{HA3}).

Des Weiteren offenbart die Druckschrift NK 11 in der Figur 9 einen Parameter „Posted CAS_n“. Da „POST“ für „Power-On Self-Test“ steht, versteht der Fachmann den Parameter „Posted CAS_n“ so, dass das System beim Starten den CAS-Latenzwert einstellt (vgl. NK17, S. 1, zweiter Abs.: „When an ordinary modern computer is turned on, it starts by doing a self-test (POST). Since about the mid-1990s, this process includes automatically configuring the hardware currently present. SPD is a memory hardware feature that makes it possible for the computer to know what memory is present, and what timings to use to access the memory.“ und vierter Abs.: „For example, the SPD data on an SDRAM module might provide information about the CAS latency, allowing this to be correctly set without user intervention.“). Dabei ist dem Fachmann aus seinem Fachwissen bekannt, dass die CAS-Latenz als ein Zeitintervall zwischen dem Spaltenzugriffsbefehl und dem Beginn der Datenrückgabe durch das DRAM definiert ist (vgl. ZP2, S. 428, Tabelle 11.1 und S. 430, Fig. 11.4).

TABLE 11.1 Summary of timing parameters used in a generic DRAM-access protocol

Parameter	Description	Illustration
t_{AL}	Added Latency to column accesses, used in DDRx SDRAM devices for posted CAS commands.	Figure 11.11
t_{BURST}	Data burst duration. The time period that data burst occupies on the data bus. Typically 4 or 8 beats of data. In DDR SDRAM, 4 beats of data occupy 2 full clock cycles.	Figure 11.4
t_{CAS}	Column Access Strobe latency. The time interval between column access command and the start of data return by the DRAM device(s). Also known as t_{CL} .	Figure 11.4

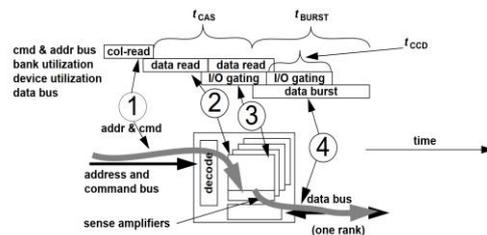


FIGURE 11.4: Column-read command and timing.

Ausschnitt aus Tabelle 11.1 der ZP2

Figur 11.4 der ZP2

Somit ergeben sich die Merkmale 1.2.7^{HA3} und 1.2.7.1^{HA3} für den Fachmann in naheliegender Weise aus seinem Fachwissen in Verbindung mit der NK11.

Das Speichermodul des Anspruchs 1 nach Hilfsantrag 3 ist daher wegen fehlender erfinderischer Tätigkeit auch nicht patentfähig (Art. 56 EPÜ i. V. m. Art. 52 Abs. 1 EPÜ).

3.4 Zum Hilfsantrag 4

3.4.1 Das Merkmal 1.2.6^{HA1} ist, wie zum Hilfsantrag 1 ausgeführt, nicht ursprünglich offenbart. Überdies ist das Merkmal 1.2.4.1.2^{HA3}, wie zum Hilfsantrag 3 ausgeführt, nicht ursprünglich offenbart.

Der Anspruch 1 des Hilfsantrags 4 ist demnach unzulässig, da mit ihm das Streitpatent über den Umfang der ursprünglich eingereichten Anmeldung hinausgeht.

3.4.2 Darüber hinaus wird der Gegenstand des Anspruchs 1 nach Hilfsantrag 4 dem Fachmann aus der QE4 nahegelegt.

Die QE4 offenbart zum einen, dass Adressen (z. B. Zeilen- und/oder Spaltenadressen) für den Zugriff auf bestimmte Speicherplätze in einem bestimmten integrierten Speicherschaltkreis und/oder Befehle auf dem Signalpfad 121 von einer Speichermodul-Anschlussschnittstelle bereitgestellt werden (vgl. QE4, Sp. 5, Z. 20-24: *„In an embodiment, addresses (for example, row and/or column addresses) for accessing particular memory locations in a particular integrated circuit memory device and/or commands are provided on signal path 121 from a memory module connector interface.“*). Zum anderen werden Steuer-, Adress- und/oder Taktinformationen von der Puffervorrichtung 501 kopiert und diese Steuer-, Adress- und/oder Taktinformationen auf den Signalpfaden 121a-b wiederholt (vgl. QE4, Sp. 6, Z. 37-41 und Fig. 5). Die Puffervorrichtung kann Daten, Steuerinformationen, Adressinformationen und/oder ein Taktsignal an mindestens eine integrierte Speicherschaltung speichern und/oder weiterleiten (vgl. QE4, Sp. 4, Z. 23-26). Der Signalpfad 1005 umfasst einzelne Steuersignalleitungen, beispielsweise eine Zeilenadress-Strobe-Leitung und eine Spaltenadress-Strobe-Leitung (vgl. QE4, Sp. 9, Z. 13-16: *„Signal path 1005 includes individual control signal lines, for example, a row address strobe line, column address strobe line, etc., and address signal lines“* und Fig. 10). Somit werden Spaltenadressen vom Buffer 501 empfangen und an den Buffer 100a weitergeleitet, der diese an die Speichervorrichtungen, um auf eine bestimmte Spalte zuzugreifen, weiterleitet (Merkmale 1.2.4.1.1^{HA3}, 1.2.4.1.2^{HA3}).

Des Weiteren offenbart die QE4, dass der Puffer 100a in einer Ausführungsform mit einem SPD-Gerät kommuniziert, um Parameter und Konfigurationsinformationen bezüglich Gerät 1000 und/oder Speichermodul 900 zu

speichern und abzurufen (vgl. Sp. 9, Z. 21-24: „*In an embodiment, buffer 100a communicates with an SPD device to store and retrieve parameters and configuration information regarding device 1000 and/or memory module 900.*“). Zu den SPD-Konfigurationsinformationen gehören Zeitinformationen oder Parameter für den Zugriff auf Speichergeräte, beispielsweise eine Zeit für den Zugriff auf eine Zeile oder das Speichergerät, eine Zeit für den Zugriff auf eine Spalte des Speichergeräts (vgl. Sp. 10, Z. 3-7: „*SPD configuration information includes timing information or parameters for accessing memory devices, such as a time to access a row or the memory device, a time to access a column of the memory device*“). Auch erwähnt die QE 4 eine Zugriffslatenz (vgl. Sp. 14, Z. 40: „*access latency*“). Wie bereits ausgeführt, ist dem Fachmann aus seinem Fachwissen bekannt, dass die CAS-Latenz als ein Zeitintervall zwischen dem Spaltenzugriffsbefehl und dem Beginn der Datenrückgabe durch das DRAM definiert ist (vgl. ZP2, S. 428, Tabelle 11.1 und S. 430, Fig. 11.4), wobei der Fachmann die Datenrückgabe durch das DRAM als Datenrückgabe an den Ausgangspins versteht.

Somit ergeben sich die Merkmale 1.2.7^{HA3} und 1.2.7.1^{HA3} für den Fachmann in naheliegender Weise aus seinem Fachwissen in Verbindung mit der QE4.

Das Speichermodul des Anspruchs 1 nach Hilfsantrag 4 ist daher wegen fehlender erfinderischer Tätigkeit auch nicht patentfähig (Art. 56 EPÜ i. V. m. Art. 52 Abs. 1 EPÜ).

3.5 Zum Hilfsantrag 5

3.5.1 Das Merkmal 1.2.6^{HA1} ist, wie zum Hilfsantrag 1 ausgeführt, nicht ursprünglich offenbart. Überdies ist das Merkmal 1.2.4.1.2^{HA2}, wie zum Hilfsantrag 2 ausgeführt, nicht ursprünglich offenbart.

Der Anspruch 1 des Hilfsantrags 5 ist demnach unzulässig, da mit ihm das Streitpatent über den Umfang der ursprünglich eingereichten Anmeldung hinausgeht.

3.5.2 Darüber hinaus wird der Gegenstand des Anspruchs 1 nach Hilfsantrag 5 dem Fachmann aus der QE4 nahegelegt.

Der Fachmann entnimmt der QE 4, dass der Speichercontroller über den Signalpfad 120a (vgl. Fig. 5, 18) nur die Last des Transceivers 1875 sieht, wobei dieser Transceiver nur einen Eingangs- und einen Ausgangspuffer aufweist (vgl. QE4, Sp. 13, Z. 38-40: „buffer interface 1103a includes at least one transceiver 1875 (i.e. transmit and receive circuit) coupled to signal path 120a to transmit and receive data“, Sp. 13, Z. 63-64: „transceiver 1875 includes an output driver and a receiver“ und Fig. 18). Dabei ist es für den Fachmann aufgrund gleicher Anforderungen und zur Vereinfachung naheliegend, die Eingangspuffer einer Schaltung, hier eines Buffer Device 100a und einer Speichervorrichtung 101a-d, identisch zu designen. Damit sieht der Speichercontroller während einer Schreiboperation auf dem Signalpfad 120a jedoch nur die Last des einzelnen Puffers 1875, die der Last des Eingangspuffers einer einzelnen Speichervorrichtung entspricht, mithin eine einzelne Speichervorrichtungslast von dem Speichermodul, so dass das Merkmal 1.2.5.5^{HA5} dem Fachmann durch die QE4 nahegelegt ist.

Das Speichermodul des Anspruchs 1 nach Hilfsantrag 5 ist daher wegen fehlender erfinderischer Tätigkeit auch nicht patentfähig (Art. 56 EPÜ i. V. m. Art. 52 Abs. 1 EPÜ).

3.6 Zum Hilfsantrag 6

3.6.1 Das Merkmal 1.2.6^{HA1} ist, wie zum Hilfsantrag 1 ausgeführt, nicht ursprünglich offenbart. Überdies ist das Merkmal 1.2.4.1.2^{HA2}, wie zum Hilfsantrag 2 ausgeführt, nicht ursprünglich offenbart.

Das Merkmal 1.2.4.4^{HA6} gibt an, dass die Modulsteuerung weiterhin dazu konfiguriert ist, die ersten Modulsteuersignale in Einklang mit einem CAS-Latenzparameter an die zweite Anzahl von Lastreduzierungsschaltungen auszugeben und das Timing der Datensignale entsprechend dem Lese- oder

Schreibvorgang in der zweiten Anzahl von Lastreduzierungsschaltungen im Einklang mit dem CAS-Latenzparameter zu steuern.

Das Merkmal 1.2.4.4^{HA6} ist nicht zulässig, da der NK3 nur zu entnehmen ist, dass der Modulcontroller 430 während der CAS-Latenz Freigabesteuersignale explizit an die Steuerlogikschaltung 502 jeder Lastreduzierungsschaltung und nicht allgemein an die Lastreduzierungsschaltungen liefert (vgl. NK3, Abs. [0062]: *„During the latency, ... to the control circuit 430 which produces controls sent to the control logic circuitry 502“*, Abs. [0063]: *„For a write operation, during the CAS latency, the control circuit 430, in one embodiment, provides enable control signals to the control logic circuitry 502 of each data transmission circuit 416“*).

Darüber hinaus ist der ursprünglichen Anmeldung nicht zu entnehmen, dass die Modulsteuerung allgemein dazu konfiguriert ist, das Timing der Datensignale entsprechend dem Lese- oder Schreibvorgang in der zweiten Anzahl von Lastreduzierungsschaltungen im Einklang mit dem CAS-Latenzparameter zu steuern (zweites Teilmerkmal 1.2.4.4^{HA6}), denn dem Absatz [0063] der ursprünglichen Anmeldung ist lediglich zu entnehmen, dass die Modulsteuerung 430 für einen Schreibvorgang während der CAS-Latenz Freigabesteuersignale an die Steuerlogikschaltung 502 jeder Datenübertragungsschaltung 416 liefert, wodurch die Steuerlogikschaltung 502 entweder Pfad A oder Pfad B auswählt, um die Daten zu leiten (vgl. NK3, Abs. [0063]: *„For a write operation, during the CAS latency, the control circuit 430, in one embodiment, provides enable control signals to the control logic circuitry 502 of each data transmission circuit 416, whereby the control logic circuitry 502 selects either path A or path B to direct the data.“*), also explizit die Pfade A und B gesteuert werden.

Der Anspruch 1 des Hilfsantrags 6 ist demnach unzulässig, da mit ihm das Streitpatent über den Umfang der ursprünglich eingereichten Anmeldung hinausgeht.

3.6.2 Darüber hinaus wird der Gegenstand des Anspruchs 1 nach Hilfsantrag 6 dem Fachmann aus der QE4 nahegelegt.

Wie zum Hilfsantrag 4 ausgeführt, offenbart die QE4 SPD-Konfigurationsinformationen in Form von Zeitinformationen oder Parameter für den Zugriff auf Speichergeräte (vgl. Sp. 10, Z. 3-7), die an die Lastreduzierungsschaltungen („Buffer 100a“) ausgegeben werden (vgl. Sp. 9, Z. 21-24) und die der Fachmann als CAS-Latenzparameter versteht. Da der Puffer 100a in Figur 18 eine SPD-Logik enthält (vgl. Figur 18 oben rechts), der Puffer die SPD-Konfigurationsinformationen während einer Initialisierungs- oder Kalibrierungssequenz liest und die richtigen Timing-Informationen für ein oder mehrere Speichergeräte ermittelt (vgl. Sp. 10, Z. 16-19: *„During an initialization or calibration sequence, a master or a buffer may read SPD configuration information and determine the proper timing information for one or more memory devices“*), ist für den Fachmann selbstverständlich, dass diese Zeitinformationen auch genutzt werden, um das Timing der Datensignale der Lese- oder Schreibvorgänge in den Lastreduzierungsschaltungen (100a) im Einklang mit dem CAS-Latenzparameter zu steuern (Merkmal 1.2.4.4^{HA6}).

Das Speichermodul des Anspruchs 1 nach Hilfsantrag 6 ist daher wegen fehlender erfinderischer Tätigkeit auch nicht patentfähig (Art. 56 EPÜ i. V. m. Art. 52 Abs. 1 EPÜ).

3.7 Zum Hilfsantrag 7

3.7.1 Das Merkmal 1.2.6^{HA1} ist, wie zum Hilfsantrag 1 ausgeführt, nicht ursprünglich offenbart. Überdies ist das Merkmal 1.2.4.4^{HA6}, wie zum Hilfsantrag 6 ausgeführt, nicht ursprünglich offenbart.

Der Anspruch 1 des Hilfsantrags 7 ist demnach unzulässig, da mit ihm das Streitpatent über den Umfang der ursprünglich eingereichten Anmeldung hinausgeht.

3.7.2 Darüber hinaus wird der Gegenstand des Anspruchs 1 nach Hilfsantrag 7 dem Fachmann aus den zu den Hilfsanträgen 1, 5 und 6 genannten Gründen aus der QE4 nahegelegt.

Das Speichermodul des Anspruchs 1 nach Hilfsantrag 7 ist daher wegen fehlender erfinderischer Tätigkeit auch nicht patentfähig (Art. 56 EPÜ i. V. m. Art. 52 Abs. 1 EPÜ).

3.8 Zum Hilfsantrag 8

3.8.1 Das Merkmal 1.2.4.1.2^{HA2} ist, wie zum Hilfsantrag 2 ausgeführt, nicht ursprünglich offenbart. Überdies ist das Merkmal 1.2.4.4^{HA6}, wie zum Hilfsantrag 6 ausgeführt, nicht ursprünglich offenbart.

Der Anspruch 1 des Hilfsantrags 8 ist demnach unzulässig, da mit ihm das Streitpatent über den Umfang der ursprünglich eingereichten Anmeldung hinausgeht.

3.8.2 Darüber hinaus wird der Gegenstand des Anspruchs 1 nach Hilfsantrag 8 dem Fachmann aus der NK11 nahegelegt.

Wie bereits zum Hilfsantrag 3 ausgeführt, offenbart die Druckschrift NK11 auch die Merkmale 1.3^{HA1}, 1.2.4.1^{HA1} und 1.2.4.3^{HA1}.

Die NK11 offenbart überdies, dass die Steuereinheit („Control Unit ASIC“, 204, 1302) Eingangssteuersignale („AC“, „CS0“, „CS1“) empfängt, wobei die Eingangssteuersignale Chipauswahlsignale („CS0“, „CS1“), die zum Auswählen des spezifischen der mehreren Ränge dienen, umfassen (vgl. NK11, Abs. [0056]: „FIG. 13 illustrates a dual chip-select memory configuration“, sowie Figuren 2 und 13; Merkmal 1.2.4.1.1^{HA2}). Die Steuereinheit („Control Unit ASIC“, 204, 1302) ist außerdem dazu konfiguriert, die Eingangssteuersignale („AC“, „CS0“, „CS1“), einschließlich der Chipauswahlsignale („CS0“, „CS1“), zu registrieren (gemäß Figur 13 erfasst die Steuereinheit die Signale „AC“, „CS0“ und „CS1“ und gibt die

Steuersignale „ACA“, „CS0A“, „CS1A“, „ACB“, „CS0B“ und „CS1B“, die den erfassten Eingangssignalen „AC“, „CS0“ und „CS1“ entsprechen, aus) und registrierte Steuersignale („ACA“, „CS0A“, „CS1A“, „ACB“, „CS0B“, „CS1B“), einschließlich registrierter Chipauswahlsignale („CS0A“, „CS1A“, „CS0B“, „CS1B“), über registrierte Steuerleitungen (220) an die mehreren Speichergeräte (1310) zu übertragen, um den spezifischen der mehreren Ränge zur Durchführung des Lese- oder Schreibvorgangs zu aktivieren (vgl. Fig. 2, 13; die Reihe wird mittels der Chip-Auswahlsignale CS0A, CS1A, CS0B und CS1B ausgewählt; Merkmal 1.2.4.1.2^{HA2}).

Zudem entnimmt der Fachmann der NK11, dass die ohmsche und/oder kapazitive Last auf dem Bus 110 nicht erhöht wird, da das Speichermodul 106 eine einzelne Last für den Bus 110 darstellt und nicht die Last der einzelnen daran gekoppelten Speichervorrichtungen (vgl. Abs. [0027]: „Moreover, the resistive and/or capacitive load on the bus 110 is not increased because the memory module 106 presents a single load to the bus 110, not the load of the individual memory devices coupled thereto“ und Figur 1). Da hier im Gegensatz zur Last der mehreren gekoppelten Speichervorrichtungen („load of the individual memory devices coupled thereto“) von einer einzelnen Last („single load“) gesprochen wird, versteht der Fachmann diese einzelne Last als einzelne Speichervorrichtungslast (Merkmal 1.2.5.5^{HA5}).

Ergänzend wird darauf hingewiesen, dass es für den Fachmann, wie von den Klägerinnen 3 und 4 dargelegt, naheliegend ist, die in der Figur 4 der NK11 gezeigten taktflankengesteuerten D-Flipflops und Lesebuffer der bidirektionalen Signaltreiber 402 und 404 als Tristate-Puffer auszuführen, um eine Datenkollision auf dem Datenbus 230 zu verhindern (vgl. NK12, Fig. 4; ZP4, S. 636, ZP6, ab S. 487, Kap. „Three-state logic“). Auch dabei entspricht die Last eines Tristate-Puffers beim Schreiben der Last eines Eingangs-Tristate-Puffers einer einzelnen Speichervorrichtung.

Wie zum Hilfsantrag 3 ausgeführt, offenbart die Druckschrift NK 11 in der Figur 9 einen Parameter „Posted CAS_n“. Da „POST“ für „Power-On Self-Test“ steht, versteht der Fachmann den Parameter „Posted CAS_n“ so, dass das System beim Starten den CAS-Latenzwert einstellt (vgl. NK17, S. 1, zweiter und vierter Abs.).

Dabei ist dem Fachmann aus seinem Fachwissen bekannt, dass die CAS-Latenz als ein Zeitintervall zwischen dem Spaltenzugriffsbefehl und dem Beginn der Datenrückgabe durch das DRAM definiert ist (vgl. ZP2, S. 428, Tabelle 11.1 und S. 430, Fig. 11.4). Zudem ist für den Fachmann für eine zuverlässige Datenübertragung selbstverständlich, dass der Control Unit ASIC der Figuren 2 und 13 diesen CAS-Latenzparameter berücksichtigt, seine Steuersignale gemäß diesem CAS-Latenzparameter an die Switch ASICs ausgibt und das Timing der Datensignale beim Lese- oder Schreibvorgang in den Switch ASICs gemäß diesem CAS-Latenzparameter steuert. Somit ergibt sich das Merkmal 1.2.4.4^{HA6} für den Fachmann in naheliegender Weise aus seinem Fachwissen in Verbindung mit der NK11.

Das Speichermodul des Anspruchs 1 nach Hilfsantrag 8 ist daher wegen fehlender erfinderischer Tätigkeit auch nicht patentfähig (Art. 56 EPÜ i. V. m. Art. 52 Abs. 1 EPÜ).

3.9 Zum Hilfsantrag 9

3.9.1 Das Merkmal 1.2.6^{HA1} ist, wie zum Hilfsantrag 1 ausgeführt, nicht ursprünglich offenbart. Überdies sind das Merkmal 1.2.4.1.2^{HA2}, wie zum Hilfsantrag 2 ausgeführt, und das Merkmal 1.2.4.4^{HA6}, wie zum Hilfsantrag 6 ausgeführt, nicht ursprünglich offenbart.

Der Anspruch 1 des Hilfsantrags 9 ist demnach unzulässig, da mit ihm das Streitpatent über den Umfang der ursprünglich eingereichten Anmeldung hinausgeht.

3.9.2 Darüber hinaus wird der Gegenstand des Anspruchs 1 gemäß Hilfsantrag 9 dem Fachmann aus der QE4 nahegelegt.

Dem Fachmann ist aus seinem Fachwissen bekannt, dass in Computersystemen mehrere Speichermodule verwendet werden. So offenbart die Figur 7.5 der Druckschrift ZP2 ein Speichersystem mit drei Speichermodulen („DIMMO“,

„DIMM1“, „DIMM2“), wobei die Speichermodule über einen Bus („Bus“) mit einem Speichercontroller („Memory Controller“) verbunden sind (Merkmal 1.2.7^{HA9}). Beim Lesen oder Schreiben wird jeweils ein Speichermodul angesprochen, wozu unter anderem Chip-Select-Signale des Speichercontrollers dienen (vgl. Figur 7.6 der ZP2). Chip-Select₁ spricht DIMM1 und Chip-Select₂ spricht DIMM2 an (Merkmal 1.2.7.1^{HA9}).

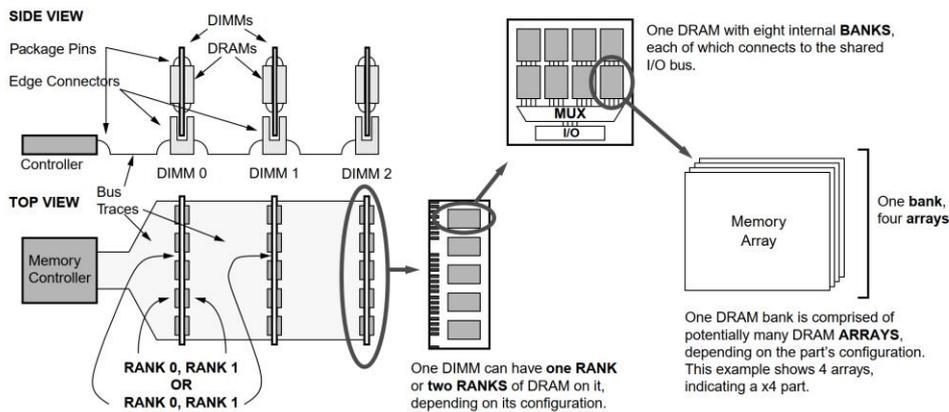


FIGURE 7.5: DIMMs, ranks, banks, and arrays. A system has potentially many DIMMs, each of which may contain one or more ranks. Each rank is a set of ganged DRAM devices, each of which has potentially many banks. Each bank has potentially many constituent arrays, depending on the part's data width.

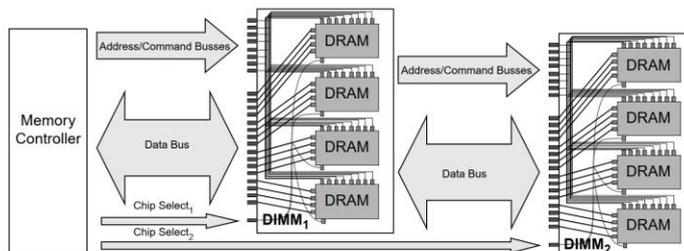


FIGURE 7.6: JEDEC-style memory bus organization. The figure shows a system of a memory controller and two memory modules with a 16-bit data bus and an 8-bit address and command bus.

Figuren 7.5 und 7.6 der Druckschrift ZP2

Dabei liegt es für einen Fachmann nahe, die lastreduzierenden Schaltungen (*Buffer 100a bis 100d in Figur 5 der QE4*) auf dem Modul zu deaktivieren, wenn die Daten in ein anderes Modul geschrieben werden (Merkmal 1.2.7.2^{HA9}).

Das Speichermodul des Anspruchs 1 nach Hilfsantrag 9 ist daher wegen fehlender erfinderischer Tätigkeit auch nicht patentfähig (Art. 56 EPÜ i. V. m. Art. 52 Abs. 1 EPÜ).

3.10 Zum Hilfsantrag 10

3.10.1 Das Merkmal 1.2.4.4^{HA6} ist, wie zum Hilfsantrag 6 ausgeführt, nicht ursprünglich offenbart.

Der Anspruch 1 des Hilfsantrags 10 ist demnach unzulässig, da mit ihm das Streitpatent über den Umfang der ursprünglich eingereichten Anmeldung hinausgeht.

3.10.2 Darüber hinaus wird der Gegenstand des Anspruchs 1 nach Hilfsantrag 10, wie zum Hilfsantrag 8 ausgeführt, dem Fachmann aus der NK11 nahegelegt.

Der Anspruch 1 des Hilfsantrags 10 entspricht dem Anspruch 1 des Hilfsantrags 8 unter Streichung der Merkmale 1.2.4.1.1^{HA2} und 1.2.4.1.2^{HA2}.

Das Speichermodul des Anspruchs 1 nach Hilfsantrag 10 ist daher wegen fehlender erfinderischer Tätigkeit auch nicht patentfähig (Art. 56 EPÜ i. V. m. Art. 52 Abs. 1 EPÜ).

3.11 Zum Hilfsantrag 11

3.11.1 Das Merkmal 1.2.6^{HA1} ist, wie zum Hilfsantrag 1 ausgeführt, nicht ursprünglich offenbart. Überdies ist das Merkmal 1.2.4.1.2^{HA2}, wie zum Hilfsantrag 2 ausgeführt, nicht ursprünglich offenbart.

Auch die Merkmale 1.2.5.4.3.1^{HA11}, 1.2.5.4.3.2^{HA11}, 1.2.5.4.4^{HA11}, 1.2.5.6.1^{HA11}, und 1.2.5.6.2^{HA11} sind nicht ursprünglich offenbart.

Der NK3 ist lediglich zu entnehmen, dass die Operationen des Multiplexers (508) und des Lesepuffers (509) auf zwei Tristate-Puffer aufgeteilt werden können, einer zum Freigeben des Werts von Y1 an die Datenleitung (518) und ein anderer zum Freigeben des Werts von Y2 an die Datenleitung (518) (vgl. NK3, Abs. [0064]: „In

yet another embodiment, the multiplexer 508 and the read buffer 509 operations may be split over two tristate buffers, one to enable the value from Y1 to the data line 518 and another to enable the value from Y2 to the data line 518.“). Somit ist der NK3 zum einen kein beliebiger erster Puffer (508), sondern nur ein Tristate-Puffer oder ein Multiplexer zu entnehmen (*Merkmale 1.2.5.4.3.1^{HA11}, 1.2.5.4.4^{HA11}*). Zum anderen weist der Lesedatenpfad einen Multiplexer oder zwei Tristate-Puffer auf, um einen Wert von „Y1“ oder von „Y2“ zu lesen (*vgl. NK3, Abs. [0064]: „... one to enable the value from Y1 to the data line 518 and another to enable the value from Y2 to the data line 518.*“). Somit wird der erfindungsgemäße Erfolg des Lesens aus dem Pfad „A“ oder Pfad „B“ nur durch den Multiplexer oder eine entsprechende Anordnung zweier Tristate-Puffer, um einen Wert von „Y1“ oder von „Y2“ zu lesen, erreicht. Bei dem Merkmal 1.2.5.6.1^{HA11} handelt es sich somit um eine unzulässige Zwischenverallgemeinerung.

Ferner weist der Schreibdatenpfad einen weiteren notwendigen Tristate-Puffer 506 auf, ohne den der erfindungsgemäße Erfolg des Schreibens in den Pfad „A“ oder in den Pfad „B“ nicht erreicht wird (*vgl. NK3, Abs. [0063] und Fig. 5*) (*Merkmal 1.2.5.4.3.2^{HA11}*). Somit sind nur die Merkmale, wonach ein erster Tristate-Puffer 504 in Pfad A aktiviert ist und ein zweiter Tristate-Puffer 506 in Pfad B deaktiviert ist zusammengenommen dem erfindungsgemäßen Erfolg der Pufferanordnung in Figur 5 förderlich (*vgl. NK 3, Abs. [0063]; Merkmal 1.2.5.6.2^{HA11}*). Entsprechend steuert die Logikschaltung 502 nicht nur die Puffer 504 und 509, sondern notwendigerweise auch den Tristate-Puffer 506 (*vgl. NK3, Abs. [0063]: „For a write operation, during the CAS latency, the control circuit 430, in one embodiment, provides enable control signals to the control logic circuitry 502 of each data transmission circuit 416, whereby the control logic circuitry 502 selects either path A or path B to direct the data. Accordingly, when the control logic circuitry 502 receives, for example, an "enable A" signal, a first tristate buffer 504 in path A is enabled and actively drives the data value on its output, while a second tristate buffer 506 in path B is disabled with its output in a high impedance condition.*“) (*Merkmal 1.2.5.4.4^{HA11}*).

Der Anspruch 1 des Hilfsantrags 11 ist demnach unzulässig, da mit ihm das Streitpatent über den Umfang der ursprünglich eingereichten Anmeldung hinausgeht.

3.11.2 Darüber hinaus wird der Gegenstand des Anspruchs 1 gemäß Hilfsantrag 11 dem Fachmann aus der QE4 nahegelegt.

So offenbart die QE4 auch, dass jede der Lastreduzierungsschaltungen (*Buffer 100a*; vgl. *Fig. 5, 18*) entsprechende Datenpfade und entsprechende Logik (vgl. *Sp. 12, Z. 56: „request and address logic circuit 1840“*, vgl. *Fig. 18*) umfasst, die die Datenpfade als Reaktion auf die Steuersignale des ersten Moduls steuert (*Merkmal 1.2.5.4^{HA11}*), wobei die jeweiligen Datenpfade jeweilige Lesedatenpfade und jeweilige Schreibdatenpfade (vgl. *Fig. 18: „RXD“, „TXD“*) umfassen (*Merkmal 1.2.5.4.3^{HA11}*). Die jeweiligen Lesedatenpfade umfassen erste Puffer (*Lesepuffer im Transceiver 1894*; vgl. *Fig. 18*) und zweite Puffer (*Lesepuffer im Transceiver 1875*; vgl. *Fig. 18*) (*Merkmal 1.2.5.4.3.1^{HA11}*), die jeweiligen Schreibdatenpfade umfassen dritte Puffer (*Schreibpuffer im Transceiver 1875*; vgl. *Fig. 18*) und vierte Puffer (*Schreibpuffer im Transceiver 1894*; vgl. *Fig. 18*) (*Merkmal 1.2.5.4.3.2^{HA11}*), wobei die jeweilige Logik („*request and address logic circuit 1840*“) so konfigurierbar ist, dass sie mindestens die zweiten Puffer (*Lesepuffer im Transceiver 1875*) und die vierten Puffer (*Schreibpuffer im Transceiver 1894*) steuert. Dabei ist für den Fachmann gemäß seinem Fachwissen selbstverständlich, dass die mindestens zweiten Puffer (*Lesepuffer im Transceiver 1875*) und vierten Puffer (*Schreibpuffer im Transceiver 1894*) Tristate-Puffer sind (*Merkmal 1.2.5.4.4^{HA11}*), denn gemäß ZP4, S. 636 muss der Fachmann für den bidirektionalen Datenbus bidirektionale Puffer verwenden, die aus jeweils zwei antiparallel geschalteten Verstärkern mit Tristate-Ausgang bestehen. Die jeweiligen Lastreduzierungsschaltkreise (*Buffer 100a*) sind weiterhin konfigurierbar (*Merkmal 1.2.5.6^{HA11}*), um für den Fall, dass es sich bei der Lese- oder Schreiboperation um eine Leseoperation handelt, über die ersten Puffer (*Lesepuffer im Transceiver 1894*) ein erstes Datensignal für den Lesevorgang von der mindestens einen jeweiligen Speichervorrichtung („*Memory Device 101a-101d*“; vgl. *Fig. 10*) in dem spezifischen der mehreren Ränge zu empfangen, und

ein zweites Datensignal für den Lesevorgang über die zweiten Puffer (*Lesebuffer im Transceiver 1875*) an den Speichercontroller zu treiben (*Merkmal 1.2.5.6.1^{HA11}*), und für den Fall, dass es sich bei der Lese- oder Schreiboperation um eine Schreiboperation handelt, ein drittes Datensignal für den Schreibvorgang vom Speichercontroller über die dritten Puffer (*Schreibbuffer im Transceiver 1875*) zu empfangen und ein viertes Datensignal über die vierten Puffer (*Schreibbuffer im Transceiver 1894*) an die mindestens eine jeweilige Speichervorrichtung („*Memory Device 101a-101d*“) in der spezifischen der mehreren Ränge (*Merkmal 1.2.5.6.2^{HA11}*) zu treiben.

Das Speichermodul des Anspruchs 1 nach Hilfsantrag 11 ist daher wegen fehlender erfinderischer Tätigkeit auch nicht patentfähig (Art. 56 EPÜ i. V. m. Art. 52 Abs. 1 EPÜ).

3.12 Zum Hilfsantrag 12

3.12.1 Das Merkmal 1.2.6^{HA1} ist, wie zum Hilfsantrag 1 ausgeführt, nicht ursprünglich offenbart. Überdies ist das Merkmal 1.2.4.1.2^{HA2}, wie zum Hilfsantrag 2 ausgeführt, nicht ursprünglich offenbart. Ferner sind die die Merkmale 1.2.5.4.4^{HA11}, 1.2.5.6.1^{HA11}, und 1.2.5.6.2^{HA11}, wie zum Hilfsantrag 11 ausgeführt, nicht ursprünglich offenbart.

Da die in den Merkmalen 1.2.5.4.3.1^{HA12} und 1.2.5.4.3.2^{HA12} des Anspruchs 1 nach Hilfsantrag 12 genannten Puffer den in den Merkmalen 1.2.5.4.3.1^{HA11} und 1.2.5.4.3.2^{HA11} des Anspruchs 1 nach Hilfsantrag 11 aufgeführten Puffer entsprechen, sind auch die Merkmale 1.2.5.4.3.1^{HA12} und 1.2.5.4.3.2^{HA12} nicht ursprünglich offenbart.

Der Anspruch 1 des Hilfsantrags 12 ist demnach unzulässig, da mit ihm das Streitpatent über den Umfang der ursprünglich eingereichten Anmeldung hinausgeht.

3.12.2 Darüber hinaus wird der Gegenstand des Anspruchs 1 gemäß Hilfsantrag 12 dem Fachmann aus der QE4 nahegelegt.

Die Druckschrift QE4 weist in der Figur 18 einen Multiplexer 1830 auf (vgl. QE4, Sp. 12, Z. 55-56 und Fig. 18). Da der Druckschrift QE4 keine detaillierten Angaben zu entnehmen sind, wie der Multiplexer im Detail designt ist, wird der Fachmann diesen Multiplexer mit Tristate-Buffern ausführen, die in Datenbussystemen selbstverständlich eingesetzt werden (vgl. ZP4, S. 636) und, wenn deaktiviert, den Ausgang effektiv trennen (vgl. ZP6, S. 488, linke Spalte, erster Absatz). Dadurch weist der Multiplexer 1830 unter anderem einen zweiten Tristate-Puffer im Lesedatenpfad und einen dritten Tristate-Puffer im Schreibdatenpfad auf. Wie bereits zum Hilfsantrag 11 ausgeführt, ist es für den Fachmann selbstverständlich, dass die Puffer im Transceiver 1894 Tristate-Puffer sind.

Da der Fachmann den Multiplexer 1830 und den Transceiver 1894 der QE4 somit selbstverständlich mit Tristate-Buffern ausführt, umfasst jede der Lastreduzierungsschaltungen (*Buffer 100a*; vgl. Fig. 5, 18) entsprechende Datenpfade und entsprechende Logik (vgl. Sp. 12, Z. 56: „*request and address logic circuit 1840*“, vgl. Fig. 18), die die Datenpfade als Reaktion auf die Steuersignale des ersten Moduls steuert (*Merkmal 1.2.5.4^{HA11}*), wobei die jeweiligen Datenpfade jeweilige Lesedatenpfade („*RXD*“) und jeweilige Schreibdatenpfade („*TXD*“, vgl. Fig. 18) umfassen (*Merkmal 1.2.5.4.3^{HA11}*), wobei jeder der jeweiligen Lesedatenpfade einen ersten Puffer (*Lesepuffer im Transceiver 1894*; vgl. Fig. 18), einen zweiten Puffer (*Tristate-Puffer im Multiplexer*) und einen ersten Signalpfad zwischen dem ersten Puffer (*Lesepuffer im Transceiver 1894*) und dem zweiten Puffer (*Tristate-Puffer im Multiplexer*) umfasst (*Merkmal 1.2.5.4.3.1^{HA12}*), jeder der jeweiligen Schreibdatenpfade einen dritten Puffer (*Tristate-Puffer im Multiplexer*), einen vierten Puffer (*Schreibpuffer im Transceiver 1894*) und einen zweiten Signalpfad zwischen dem dritten Puffer (*Tristate-Puffer im Multiplexer*) und dem vierten Puffer (*Schreibpuffer im Transceiver 1894*) umfasst (*Merkmal 1.2.5.4.3.2^{HA12}*), wobei sich der erste Signalpfad und der zweite Signalpfad nicht kreuzen (*Merkmal 1.2.5.4.3.3^{HA12}*); wobei die jeweilige Logik („*request and address logic circuit 1840*“) so

konfigurierbar ist, dass sie mindestens die zweiten Puffer (*Tristate-Puffer im Multiplexer*) und die vierten Puffer (*Schreibpuffer im Transceiver 1894*) steuert, wobei mindestens die zweiten Puffer (*Tristate-Puffer im Multiplexer*) und die vierten Puffer (*Schreibpuffer im Transceiver 1894*) Tristate-Puffer sind (*Merkmal 1.2.5.4.4^{HA11}*). Die jeweiligen Lastreduzierungsschaltkreise (*Buffer 100a*) sind weiterhin konfigurierbar (*Merkmal 1.2.5.6^{HA11}*), um für den Fall, dass es sich bei der Lese- oder Schreiboperation um eine Leseoperation handelt, über die ersten Puffer (*Lesebuffer im Transceiver 1894*) ein erstes Datensignal für den Lesevorgang von der mindestens einen jeweiligen Speichervorrichtung („*Memory Device 101a-101d*“; vgl. *Fig. 10*) in dem spezifischen der mehreren Ränge zu empfangen, und ein zweites Datensignal für den Lesevorgang über die zweiten Puffer (*Tristate-Puffer im Multiplexer*) an den Speichercontroller zu treiben (*Merkmal 1.2.5.6.1^{HA11}*), und für den Fall, dass es sich bei der Lese- oder Schreiboperation um eine Schreiboperation handelt, ein drittes Datensignal für den Schreibvorgang vom Speichercontroller über die dritten Puffer (*Tristate-Puffer im Multiplexer*) zu empfangen und ein viertes Datensignal über die vierten Puffer (*Schreibpuffer im Transceiver 1894*) an die mindestens eine jeweilige Speichervorrichtung („*Memory Device 101a-101d*“) in der spezifischen der mehreren Ränge (*Merkmal 1.2.5.6.2^{HA11}*) zu treiben.

Das Speichermodul des Anspruchs 1 nach Hilfsantrag 12 ist daher wegen fehlender erfinderischer Tätigkeit auch nicht patentfähig (Art. 56 EPÜ i. V. m. Art. 52 Abs. 1 EPÜ).

3.13 Zum Hilfsantrag 13

3.13.1 Das Merkmal 1.2.4.1.2^{HA2} ist, wie zum Hilfsantrag 2 ausgeführt, nicht ursprünglich offenbart.

Der Anspruch 1 des Hilfsantrags 13 ist demnach unzulässig, da mit ihm das Streitpatent über den Umfang der ursprünglich eingereichten Anmeldung hinausgeht.

3.13.2 Darüber hinaus wird der Gegenstand des Anspruchs 1 nach Hilfsantrag 13, wie zum Hilfsantrag 8 ausgeführt, dem Fachmann aus der NK11 nahegelegt.

Der Anspruch 1 des Hilfsantrags 13 entspricht dem Anspruch 1 des Hilfsantrag 8 unter Streichung des Merkmals 1.2.4.4^{HA6}.

Das Speichermodul des Anspruchs 1 nach Hilfsantrag 13 ist daher wegen fehlender erfinderischer Tätigkeit auch nicht patentfähig (Art. 56 EPÜ i. V. m. Art. 52 Abs. 1 EPÜ).

3.14 Zum Hilfsantrag 14

Der Anspruch 1 des Hilfsantrags 14 ergibt sich aus dem Anspruch 1 gemäß Hauptantrag, indem das Merkmal 1.2.5.5^{HA5} ohne die Bezugszeichen (416, 416') aufgenommen wurde.

Wie zum Hilfsantrag 8 ausgeführt, ist das Merkmal 1.2.5.5^{HA5} in der Druckschrift NK11 offenbart.

Damit offenbart Druckschrift NK11 einen Gegenstand mit allen Merkmalen des Anspruchs 1 nach Hilfsantrag 14, so dass dieser mangels Neuheit nicht patentfähig ist (Art. 54 EPÜ i. V. m. Art. 52 Abs. 1 EPÜ).

III.

Die Kostenentscheidung beruht auf § 84 Abs. 2 Satz 1 und Satz 2 Halbsatz 1 PatG i. V. m. § 91 Abs. 1 ZPO.

Die Entscheidung über die vorläufige Vollstreckbarkeit beruht auf § 99 Abs. 1 PatG i. V. m. § 709 Satz 1 und 2 ZPO.

IV.

Rechtsmittelbelehrung

Gegen dieses Urteil ist das Rechtsmittel der Berufung gemäß § 110 PatG statthaft.

Die Berufung ist innerhalb eines Monats nach Zustellung des in vollständiger Form abgefassten Urteils spätestens nach Ablauf von fünf Monaten nach Verkündung durch einen in der Bundesrepublik Deutschland zugelassenen Rechtsanwalt oder Patentanwalt schriftlich oder in elektronischer Form beim Bundesgerichtshof, Herrenstraße 45a, 76133 Karlsruhe, einzulegen.

Die Berufungsschrift muss

- die Bezeichnung des Urteils, gegen das die Berufung gerichtet ist, sowie
- die Erklärung, dass gegen dieses Urteil Berufung eingelegt werde,

enthalten.

Mit der Berufungsschrift soll eine Ausfertigung oder beglaubigte Abschrift des angefochtenen Urteils vorgelegt werden.

Hartlieb Dr. Friedrich Dr. Zebisch Dr. Himmelmann Dr. Kapels