

# BUNDESPATENTGERICHT

IM NAMEN DES VOLKES

URTEIL

Verkündet am  
20. Februar 2001

2 Ni 43/99 (EU)

---

(Aktenzeichen)

...

In der Patentnichtigkeitssache

...

**betreffend das europäische Patent 0 437 491**

**(= DE 689 25 121)**

hat der 2. Senat (Nichtigkeitssenat) des Bundespatentgerichts auf Grund der mündlichen Verhandlung vom 20. Februar 2001 unter Mitwirkung des Richters Gutermuth als Vorsitzender, der Richter Dipl.-Ing. Bertl und Dipl.-Ing. Prasch, der Richterin Püschel sowie des Richters Dipl.-Ing. Schuster

für Recht erkannt:

1. Das europäische Patent 0 437 491 wird mit Wirkung für das Hoheitsgebiet der Bundesrepublik Deutschland für nichtig erklärt.
2. Die Beklagte trägt die Kosten des Rechtsstreits.
3. Das Urteil ist hinsichtlich der Kosten für die Klägerin gegen Sicherheitsleistung in Höhe von 150.000,- DM vorläufig vollstreckbar.

**Tatbestand**

Die Beklagte ist eingetragene Inhaberin des mit Wirkung auch für die Bundesrepublik Deutschland erteilten europäischen Patents 0 437 491 (Streitpatent), das am 4. Oktober 1989 unter Inanspruchnahme der Priorität der US-amerikanischen Anmeldung 254463 vom 5. Oktober 1988 angemeldet worden ist. Das Streitpatent, dessen Verfahrenssprache Englisch ist und das vom Deutschen Patent- und Markenamt unter der Nummer 689 25 121 geführt wird, betrifft ein Verfahren zur Verwendung einer elektronisch wiederkonfigurierbaren Gatterfeld-Logik und umfaßt 18 Patentansprüche, von denen Anspruch 1 in der deutschen Übersetzung gemäß Patentschrift folgenden Wortlaut hat:

- "1. Ein Verfahren zum Betreiben eines Arrays (10) von elektrisch rekonfigurierbaren Gatterarrays (ERCGAs) (12a, 12b), die jeweils eine Mehrzahl von logischen Schaltelementen und Mittel zum reversiblen Erstellen von Verbindungswegen zwischen den logischen Schaltelementen aufweisen, wobei das Verfahren die Schritte des Bildens erster und zweiter ERCGAs (12a, 12b) aufweisen, die durch ein elektrisches Eingangssignal konfigurierbar sind, um eine gewünschte logische Konfiguration zu erstellen und die ersten und zweiten ERCGAs so zu verbinden, daß das Array als ein logisches System für einen bestimmten Zweck dient, wobei das Verfahren durch die folgenden Schritte gekennzeichnet ist: Bilden erster Eingabedaten, die für ein erstes digitales logisches Netzwerk repräsentativ sind, wobei die Eingabedaten aus booleschen Logikgattern bestehende Grundoperationen und Netze, die die Grundoperationen verbinden, aufweisen; automatisches Partitionieren (14) der ersten Eingabedaten in erste und zweite Abschnitte; Aufbringen des ersten Abschnitts der partitionierten ersten Daten auf den ersten ERCGA (12a), so daß ein erster Abschnitt des ersten digitalen logischen Netzwerks, das dadurch repräsentiert wird, eine tatsächliche Betriebsweise auf dem ersten ERCGA (12a) annimmt; Aufbringen des zweiten Abschnitts der partitionierten ersten Daten auf das zweite ERCGA (12b), so daß ein zweiter Abschnitt des ersten digitalen logischen Netzwerks, das dadurch repräsentiert wird, eine tatsächliche Betriebsweise auf dem zweiten ERCGA (12b) annimmt; Verbinden des ersten und des zweiten ERCGAs derart, daß wenigstens ein in den ersten Daten spezifiziertes Netz sich zwischen dem ersten und dem zweiten ERCGA (12a, 12b) erstreckt; Aufbringen der zweiten Eingabedaten, die für ein zweites digitales logisches Netzwerk, welches mit der Aus-

nahme, daß beide Grundfunktionen aufweisen, die von booleschen logischen Gattern bestehen, zu dem ersten digitalen logischen Netzwerk keinerlei Beziehung hat, und für Netze, die die Grundoperationen verbinden, und beide dazu da sind, eine tatsächliche Betriebsweise auf demselben ERCGAs anzunehmen, repräsentativ sind; automatisches Partitionieren der zweiten Eingabedaten in erste und zweite Abschnitte; Aufbringen des ersten Abschnitts der partitionierten zweiten Daten auf das erste ERCGA (12a) derart, daß ein erster Abschnitt des zweiten digitalen logischen Netzwerks, das dadurch repräsentiert wird, eine tatsächliche Betriebsweise auf dem ersten ERCGA (12a) annimmt; Aufbringen des zweiten Abschnitts der partitionierten zweiten Daten auf das zweite ERCGA (12b) derart, daß ein zweiter Abschnitt des zweiten digitalen logischen Netzwerks, das dadurch repräsentiert wird, eine tatsächliche Betriebsweise auf dem zweiten ERCGA (12b) annimmt; Verbinden des ersten und des zweiten ERCGAs (12a, 12b) derart, daß wenigstens ein in den zweiten Eingabedaten spezifiziertes Netz sich zwischen dem ersten und dem zweiten ERCGAs (12a, 12b) erstreckt".

Wegen der Patentansprüche 2 bis 18 wird auf die Patentschrift Bezug genommen.

Mit ihrer Nichtigkeitsklage macht die Klägerin geltend, der Gegenstand des Streitpatents sei gegenüber dem Stand der Technik nicht patentfähig. Er sei nicht neu, beruhe aber jedenfalls nicht auf erfinderischer Tätigkeit.

Sie beruft sich hierzu auf folgende vorveröffentlichte Druckschriften:

- (1) A. Graf "A Field Programmable Gate Array", Proceedings of The 6<sup>th</sup> International Conference on Custom and Semicustom ICs, 4<sup>th</sup>-6<sup>th</sup> November 1986, London, S. 7.1-7.7; E. Williams "Field programmable logic sequencer" in Electronic Engineering, Dezember 1977, S. 97 (jeweils Anlagen zu NK6)
- (2) Britische Patentanmeldung GB 2 180 382 (NK7)
- (3) Auszug aus "The Programmable Gate Array Design Handbook", erste Ausgabe, Xilinx Inc., 1986, S. 1-1 bis 1-5 (NK8) und S. 1-1 bis 1-31, 2-1 bis 2-18, 2-42 bis 2-73, 4-1 bis 4-29 (NK8')
- (4) Yoav Lavi "The SuperSim: An Ultra-Fast Hardware Logic Simulator", IFIP Workshop on CAD Engines, Tokio, 6.-9. Juni 1987 (NK9)
- (5) US-Patent 4 697 241 (NK10)
- (6) Pardner Wynn "In-Circuit Emulation for ASIC-Based Designs", Xilinx Inc. San Jose, CA, in VLSI Systems Design, Oktober 1986, S. 38-45 (NK11)
- (7) C.A. Palesko ua "Logic Partitioning for Minimizing Gate Arrays" in IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Nr. 2, S. 117-121, April 1983 (NK12)
- (8) PLDesigner<sup>TM</sup> Features and Specifications, Mentor Graphics PLDesigner, Daten vom 1. April 1988 (NK13)
- (9) C.E. Stroud ua "CONES: A System for Automated Synthesis of VLSI and Programmable Logic From Behavioral Models" in IEEE, 1986, S. 428-431 (NK14)
- (10) US-Patent 4 744 084 (NK19)

Sie bietet Zeugenbeweis dafür an, daß die NK9 den Teilnehmern des dortigen Workshops zur Verfügung gestellt wurde. Darüber hinaus beruft sie sich darauf, daß ein im wesentlichen der NK7 entsprechendes Hardware-Demonstrationssystem der Firma P... im Jahre 1987 etlichen Firmen ohne Geheimhaltungsbeschränkungen vorgeführt worden sei, wobei diese Vorführungen die Architektur der Demonstrationsleiterplatte und der DPLD (dynamically reconfigurable programmable logic device) sowie die zugehörige Software offenbart hätten und stellt diese Behauptung ebenfalls unter Zeugenbeweis.

Die Klägerin beantragt,

das europäische Patent 0 437 491 mit Wirkung für das Hoheitsgebiet der Bundesrepublik Deutschland für nichtig zu erklären.

Die Beklagte beantragt,

die Klage abzuweisen,  
hilfsweise verteidigt sie ihr Patent im Umfang der in der mündlichen Verhandlung überreichten Patentansprüche 1 bis 18 gemäß Hilfsantrag 1 und 2.

Sie tritt den Ausführungen der Klägerin in allen Punkten entgegen und hält das Streitpatent für patentfähig.

### **Entscheidungsgründe:**

Die Klage, mit der der in Art. II § 6 Abs. 1 Nr. 1 IntPatÜG, Art. 138 Abs. 1 lit a EPÜ iVm Art. 54 Abs. 1, 2 und Art. 56 EPÜ vorgesehene Nichtigkeitsgrund der mangelnden Patentfähigkeit geltend gemacht wird, ist in vollem Umfang begründet, weil sich der Gegenstand des Streitpatents sowohl in der erteilten Fassung als auch in den nach Hilfsantrag 1 und 2 verteidigten Fassungen in naheliegender Weise aus dem Stand der Technik ergibt.

#### **I**

1. Gegenstand des Streitpatents in der erteilten Fassung ist ein Verfahren zum Betreiben eines Arrays von elektrisch rekonfigurierbaren Gatterarrays, sog. ERCGAs.

Wie in der Beschreibungseinleitung ausgeführt, besteht ein ERCGA aus einer Anzahl von logischen Schaltelementen und Mitteln zum reversiblen Erstellen von Verbindungswegen zwischen den logischen Schaltelementen. Die Konfiguration eines ERCGAs, dh die Bildung eines bestimmten Netzwerkes aus den logischen Schaltelementen und den Mitteln zum Erstellen von Verbindungswegen wird durch Konfigurationsdaten (in den Ansprüchen Eingabedaten genannt) veranlaßt, die an das ERCGA angelegt werden. Rekonfigurierbare Gatterarrays bzw ERCGAs werden dazu verwendet, auf einfache Weise tatsächlich arbeitende, aus logischen Schaltelementen und Verbindungswegen bestehende Hardwareschaltungen zu bilden, wie sie für kurze Zeitspannen beispielsweise für die Durchführung von Simulationen, zur Prototyperstellung oder auch für verschiedene Rechenoperationen benötigt werden.

ERCGAs haben neben dem Vorteil ihrer Rekonfigurierbarkeit, dh der Fähigkeit, durch Anlegen verschiedener Konfigurationsdaten verschiedene Schaltungen nachbilden zu können, den Nachteil, dass ihre Kapazität aufgrund der für die Rekonfigurierbarkeit erforderlichen zusätzlichen Mittel nur etwa ein Zehntel der Kapazität von nicht rekonfigurierbaren integrierten Schaltkreisen beträgt. Aus diesem Umstand ergibt sich, daß zur Nachbildung eines umfangreicheren Netzwerkes ein ERCGA allein nicht ausreicht, sondern bisweilen Hunderte von ERCGAs erforderlich sind.

Zum Betreiben eines elektrisch rekonfigurierbaren Gatterarrays ist ein softwareimplementiertes Werkzeug erforderlich, das eine Konvertierung der elektronischen Darstellung eines digitalen Netzwerkes in Konfigurationsdaten (Eingabedaten) vornimmt. Ein solches softwareimplementiertes Werkzeug wird in der Beschreibung als "Realizer system" bezeichnet.

Dem Streitpatent liegt die Aufgabenstellung zugrunde, ein "Realizer system" zu schaffen, das geeignet ist, Netzwerke zu konvertieren, für deren Realisierung mehrere rekonfigurierbare Gatterarrays (ERCGA) erforderlich sind (vgl S 3, Z 35 - 38 der EP 0 437 491 B1).

In seinem Anspruch 1 geht das Streitpatent von einem Array von elektrisch rekonfigurierbaren Gatterarrays aus, die jeweils eine Mehrzahl von logischen Schaltelelementen und Mitteln zum reversiblen Erstellen von Verbindungswegen zwischen den logischen Schaltelelementen aufweisen, wobei das Array von Gatterarrays aus einem ersten und einem zweiten ERCGA bestehen soll, die durch ein elektrisches Eingangssignal konfigurierbar sind, um eine gewünschte logische Konfiguration zu erstellen und wobei beide ERCGAs so verbunden sein sollen, daß das Array als ein logisches System für einen bestimmten Zweck dient.

Ein solches Array soll zur Lösung der genannten Aufgabenstellung nach folgenden Schritten betrieben werden:

- "a.1 Bilden erster Eingabedaten, die für ein erstes digitales logisches Netzwerk repräsentativ sind, wobei die Eingabedaten aus booleschen Logikgattern bestehende Grundoperationen und Netze, die die Grundoperationen verbinden, aufweisen;
- a.2 automatisches Partitionieren (14) der ersten Eingabedaten in erste und zweite Abschnitte;
- a.3 Aufbringen des ersten Abschnitts der partitionierten ersten Daten auf den ersten ERCGA (12a), so daß ein erster Abschnitt des ersten digitalen logischen Netzwerks, das dadurch repräsentiert wird, eine tatsächliche Betriebsweise auf dem ersten ERCGA (12a) annimmt;
- a.4 Aufbringen des zweiten Abschnitts der partitionierten ersten Daten auf das zweite ERCGA (12b), so daß ein zweiter Abschnitt des ersten digitalen logischen Netzwerks, das dadurch repräsentiert wird, eine tatsächliche Betriebsweise auf dem zweiten ERCGA (12b) annimmt;

- a.5 Verbinden des ersten und des zweiten ERCGAs (12a, 12b) derart, daß wenigstens ein in den zweiten Eingabedaten spezifiziertes Netz sich zwischen dem ersten und dem zweiten ERCGAs (12a, 12b) erstreckt;
  
- b.1 Aufbringen der zweiten Eingabedaten, die für ein zweites digitales logisches Netzwerk, welches mit der Ausnahme, daß beide Grundfunktionen aufweisen, die von booleschen logischen Gattern bestehen, zu dem ersten digitalen logischen Netzwerk keinerlei Beziehung hat, und für Netze, die die Grundoperationen verbinden, und beide dazu da sind, eine tatsächliche Betriebsweise auf demselben ERCGAs anzunehmen, repräsentativ sind;
  
- b.2 automatisches Partitionieren der zweiten Eingabedaten in erste und zweite Abschnitte;
  
- b.3 Aufbringen des ersten Abschnitts der partitionierten zweiten Daten auf das erste ERCGA (12a) derart, daß ein erster Abschnitt des zweiten digitalen logischen Netzwerks, das dadurch repräsentiert wird, eine tatsächliche Betriebsweise auf dem ersten ERCGA (12a) annimmt;
  
- b.4 Aufbringen des zweiten Abschnitts der partitionierten zweiten Daten auf das zweite ERCGA (12b) derart, daß ein zweiter Abschnitt des zweiten digitalen logischen Netzwerks, das dadurch repräsentiert wird, eine tatsächliche Betriebsweise auf dem zweiten ERCGA (12b) annimmt;

- b.5 Verbinden des ersten und des zweiten ERCGAs (12a, 12b) derart, daß wenigstens ein in den zweiten Eingabedaten spezifiziertes Netz sich zwischen dem ersten und dem zweiten ERCGAs (12a, 12b) erstreckt".

Zusammengefasst lehrt der erteilte Anspruch 1 den Fachmann, einen Elektronik-Ingenieur mit praktischer Erfahrung auf dem Gebiet des Schaltungsdesigns, zur Realisierung von umfangreicheren Netzwerken mit ERCGAs aus einer elektronischen Darstellung von Netzwerken:

- Erste Eingabedaten (Konfigurationsdaten) zu bilden, die für ein erstes Netzwerk repräsentativ sind,
- diese in (geeigneter Weise in) erste und zweite Abschnitte aufzuteilen, dh zu partitionieren,
- den ersten Abschnitt dem ersten ERCGA und den zweiten Abschnitt dem zweiten ERCGA als Konfigurationsdaten zuzuführen,
- erforderliche Querverbindungen zwischen den beiden ERCGAs vorzusehen (vgl Schritte a.1 bis a.5),
- diese Schritte unter Zugrundelegung zweiter Eingabedaten erneut durchzuführen (vgl Schritte b.1 bis b.5).

Mit der Wiederholung dieser Schritte unter Zugrundelegung der Eingabedaten eines zweiten Netzwerks soll auch nach Auffassung der Beklagten die Rekonfigurierbarkeit des Arrays von ERCGAs zum Ausdruck gebracht werden, daß also nach der Realisierung eines ersten Netzwerkes nachfolgend andere Netzwerke realisierbar sind.

2. Der Gegenstand des Anspruchs 1 des Streitpatents in der erteilten Fassung ist durch die von der Klägerin genannten Auszüge aus "The Programmable Gate Array Design Handbook", erste Ausgabe, Xilinx Inc., 1986, S. 1-1 bis 1-31, 2-1 bis 2-18, 2-42 bis 2-73, 4-1 bis 4-29 (NK8') und die GB 2 180 382 A (NK7) nahegelegt.

In den Auszügen des "Programmable Gate Array Design Handbook" wird der Aufbau und der Betrieb von elektrisch konfigurierbaren Gatterarrays (Logic Cell Array, LCA) erläutert.

Das dort beschriebene Gatterarray weist ebenfalls eine Mehrzahl von logischen Schaltelementen (matrix of logic blocks) und Mittel zum reversiblen Erstellen von Verbindungswegen (programmable interconnection resources) zwischen den logischen Schaltelementen auf und ist durch ein elektrisches Eingangssignal (configuration program) konfigurierbar, um eine gewünschte logische Konfiguration zu erstellen. (vgl S 1-1, re Sp, letzter Abs).

Wie in dem Abschnitt "Design Methodology" auf S 4-5 dargestellt, wird ein solches rekonfigurierbares Gatterarray zur Implementierung eines gewünschten Netzwerkes in Übereinstimmung mit den Schritten a.1 bzw b.1 des Patentanspruchs 1 in der Weise betrieben, daß ein Entwurf (design) des gewünschten logischen Netzwerkes entweder mit Hilfe eines "XACT editors" oder eines "PC-based schematic capture package" erfaßt wird. Die so entstandenen, für das Netzwerk repräsentativen Eingabedaten werden nach einem Compilervorgang auf das Gatterarray aufgebracht, das daraufhin das gewünschte Netzwerk bildet.

Dabei ist der Beklagten zuzustimmen, daß die auf S 4-5 erwähnte automatische Partitionierung nicht die Aufteilung der Komponenten des Netzwerkes auf verschiedene Gatterarrays im Sinne der Schritte a.2 bzw b.2 des Anspruchs 1 beschreibt, sondern nur die Zuweisung der Komponenten zu den einzelnen logischen Schaltelementen eines einzigen rekonfigurierbaren Gatterarrays.

Auf den Betrieb eines Arrays aus mehreren Gatterarrays findet sich in dem genannten Handbuch kein Hinweis.

Eine solche Anregung erhält der Fachmann jedoch aus der GB 2 180 382 A. Diese Druckschrift befaßt sich ebenfalls mit rekonfigurierbaren Gatterarrays (configurable logic circuit arrays) und mit Systemen, in denen solche Gatterarrays verwendet werden (vgl S 1, Z 5 - 8). In den Ansprüchen 72 bis 75 und den Figuren 22 und 23 in Verbindung mit dem zugehörigen Begleittext ist eine Anordnung gezeigt,

die aus einem Array aus mehreren rekonfigurierbaren Gatterarrays besteht, die ua durch Querverbindungen ("connections", vgl S 13, Z 98 - 104) verbunden sind.

Ausgehend von der Aufgabenstellung, ein System zu schaffen, das geeignet ist, Netzwerke zu konvertieren, für deren Realisierung mehrere rekonfigurierbare Gatterarrays erforderlich sind, lag es für den Fachmann nahe, die in dem Handbuch beschriebene Umsetzung eines Netzwerkentwurfs in Eingabedaten für ein Gatterarray so zu modifizieren, daß sie auch für größere Netzwerke geeignet war, zu deren Implementierung mehrere Gatterarrays erforderlich waren.

Dabei ging der Fachmann davon aus, daß die Implementierung eines größeren Netzwerks durch mehrere rekonfigurierbare Gatterarrays zwangsläufig eine Aufteilung (Partitionierung) der das Gesamtnetzwerk repräsentierenden Eingabedaten und ein dementsprechendes Aufbringen der verschiedenen Abschnitte der Daten auf die einzelnen Gatterarrays entsprechend den Merkmalen a.2 bis a.4 bzw b.2 bis a.4 des Anspruchs 1 des Streitpatents erforderte.

Daß entsprechend Schritt a.5 bzw b.5 Querverbindungen zwischen den Gatterarrays vorzusehen waren, kann bereits der zuletzt genannten Stelle der GB 2 180 382 A entnommen werden. Daneben ist die Kenntnis, daß zwischen den Teilen eines Gesamtnetzwerks stets Querverbindungen bestehen, und die daraus abgeleitete Folge, daß bei einer Aufteilung des Netzwerks auf verschiedene Gatterarrays auch diese Querverbindungen zu realisieren sind, dem Grundwissen und -handeln des Durchschnittsfachmanns zuzurechnen.

Die Beklagte führt unter Hinweis auf die Ausführungen auf Seite 3, Zeile 56 bis Seite 4, Zeile 8 des Streitpatents hiergegen an, daß es für den Fachmann nicht naheliegend gewesen sei, ein für die Konvertierung von kleineren Netzwerken mit einem Gatterarray bekanntes Realisierungssystem so abzuändern, daß es für die Konvertierung von größeren Netzwerken mit mehreren Gatterarrays geeignet wäre. Dies sei schon dadurch bedingt, daß die dort erwähnte automatische Partitionierung die Aufteilung der Komponenten des Netzwerks auf die Komponenten innerhalb eines Gatterarrays betreffe, während bei der Partitionierung auf mehrere

Gatterarrays andere physikalische Gegebenheiten zu berücksichtigen seien, zB längere Signallaufzeiten oder das "Fan out" (Belastbarkeit) der Ausgänge.

Dieses Argument vermag die Patentfähigkeit des Anspruchs 1 jedoch nicht zu stützen.

Dies liegt schon daran, daß im Anspruch 1 keine Maßnahmen genannt sind, die dem vorgebrachten Umstand Rechnung tragen, daß Verbindungen zwischen verschiedenen Gatterarrays in anderer Weise zu behandeln sind als Verbindungen innerhalb eines Gatterarrays und die sonach eine besondere Art der Partitionierung angeben. Daß die Partitionierung, wie im Anspruch ausgeführt, "automatisch" erfolgen soll, besagt lediglich, daß sie beispielsweise durch Softwareunterstützung vorgenommen werden kann, etwa nach Art des im Handbuch beschriebenen "XACT editors".

Der Fachmann gelange sonach ohne erfinderische Tätigkeit zum Verfahren nach dem erteilten Anspruch 1. Der Senat konnte auch in den rückbezogenen Ansprüchen 2 bis 15 nichts von patentfähigkeitsbegründender Bedeutung erkennen. Die Beklagte hat hierzu auch nichts vorgetragen. Diese Ansprüche teilen somit das Rechtsschicksal des zugehörigen Hauptanspruchs.

## II

Das Verfahren nach dem Patentanspruch 1 in der verteidigten Fassung nach dem Hilfsantrag 1 beruht ebenfalls nicht auf einer erfinderischen Tätigkeit.

1. Abgesehen von einigen sprachlichen Änderungen unterscheidet sich der Anspruch 1 nach dem Hilfsantrag vom Anspruch 1 nach der erteilten Fassung inhaltlich hinsichtlich der Schritte a.1, a.2 und b.1, b.2, die (Änderungen unterstrichen) lauten:

"a.1 Bereitstellen erster Eingabedaten, die für ein erstes digitales logisches Netzwerk repräsentativ sind, wobei die ersten Eingabedaten die Form einer Netzliste haben und aus booleschen Logikgattern bestehende Grundoperationen und Netze, die die Grundoperationen verbinden, enthalten;

a.2 automatisches Partitionieren (14) der ersten Eingabedaten-netzliste in erste und zweite Abschnitte; indem bestimmt wird, welcher Teil der Grundoperationen und Netze der ersten Eingabedaten dem ersten Abschnitt und welcher Teil der Grundoperationen und Netze der ersten Eingabedaten dem zweiten Abschnitt zugewiesen wird;

....

....

b.1 Bereitstellen von zweiten Eingabedaten, die repräsentativ sind für ein zweites digitales logisches Netzwerk, welches zu dem ersten digitalen logischen Netzwerk keinerlei Beziehung hat, mit der Ausnahme, daß beide die Form einer Netzliste haben, die aus booleschen logischen Gattern bestehende Grundoperationen und Netze, die die Grundoperationen verbinden, aufweisen und daß beide dazu dienen, eine tatsächliche Betriebsweise auf den selben ERCGAs anzunehmen;

b.2 automatisches Partitionieren der zweiten Eingabedaten-netzliste in erste und zweite Abschnitte; indem bestimmt wird, welcher Teil der Grundoperationen und Netze der zweiten Eingabedaten dem ersten Abschnitt und welcher Teil der Grundoperationen und Netze der zweiten Eingabedaten dem zweiten Abschnitt zugewiesen wird;"

Die im Anspruch 1 nach dem ersten Hilfsantrag vorgenommenen Änderungen sind zulässig. Auf Seite 8, Zeilen 28 - 34 der Streitpatentschrift ist erwähnt, daß die ersten bzw zweiten Eingabedaten die spezielle Form einer Netzliste (netlist) haben können. Daß das automatische Partitionieren in der Weise vorgenommen wird, daß bestimmt wird, welcher Teil der Grundoperationen und Netze dem ersten und welcher dem zweiten Abschnitt zugewiesen wird, schließt der Fachmann bereits aus dem Begriff "Partitionieren", so daß diesbezüglich dem Anspruch nichts hinzugefügt, der Schutzbereich nicht erweitert worden ist.

2. Der Umstand, daß bei dem Verfahren zum Betreiben eines Arrays von rekonfigurierbaren Gatterarrays bei den Schritten a.1 und b.1 die ersten und zweiten Eingabedaten die Form einer Netzliste haben können, ist aus dem Stand der Technik bekannt.

Denn der Fachmann versteht unter der auf Seiten 4-5 linke Spalte, letzter Absatz des Handbuchs (NK8') erwähnten Erfassung des gewünschten logischen Netzwerks mit Hilfe des "PC-based schematic capture package" - im Gegensatz zu der grafisch gestützten Eingabe mit dem XACT editor - gerade die Erfassung der Komponenten des Netzwerkes, dh der jeweiligen Logikgatter und deren Verbindungen in Form einer Liste.

Der Fachmann konnte sonach ohne erfinderische Leistung zum Verfahren nach dem Anspruch 1 gemäß erstem Hilfsantrag kommen.

### III

Auch der Gegenstand des Patentanspruchs 1 des Streitpatents in der verteidigten Fassung nach dem Hilfsantrag 2 beruht nicht auf einer erfinderischen Tätigkeit.

1. Abgesehen von geringfügigen sprachlichen Änderungen unterscheidet sich der Anspruch 1 nach dem Hilfsantrag 2 von der erteilten Fassung inhaltlich nur hinsichtlich der Schritte a.5 und b.5, die (Änderungen unterstrichen) lauten:

"a.5 Verbinden des ersten und des zweiten ERCGAs über einen ausschließlich hierfür reservierten rekonfigurierbaren Verbindungschip derart, daß wenigstens ein in den ersten Daten spezifiziertes Netz sich zwischen dem ersten und dem zweiten ERCGA (12a, 12b) erstreckt;

....

....

b.5 Verbinden des ersten und des zweiten ERCGAs (12a, 12b) über einen ausschließlich hierfür reservierten rekonfigurierbaren Verbindungschip derart, daß wenigstens ein in den zweiten Eingabedaten spezifiziertes Netz sich zwischen dem ersten und dem zweiten ERCGAs (12a, 12b) erstreckt."

Auch diese Fassung des Anspruchs 1 ist zulässig. Daß ERCGAs ausschließlich über einen hierfür vorgesehenen rekonfigurierbaren Verbindungschip verbunden werden können, ergibt sich aus Anspruch 6 des Streitpatents.

Die vorgenommene Ergänzung schränkt das erteilte Patentbegehren auch ein.

2. Die Verbindung von rekonfigurierbaren Gatterarrays über Verbindungschips nach den Schritten a.5 bzw b.5 ist bereits in der GB 2 180 382 A beschrieben. Dort ist zu der Anordnung aus mehreren rekonfigurierbaren Gatterarrays nach Figur 23 auf Seite 13, Zeilen 98 bis 104 ausgeführt, daß einige der Gatterarrays wenigstens teilweise ("at least partly") dazu benutzt werden können, zwischen den Gatterarrays ausschließlich Signale zu übertragen.

Die dort gewählte Formulierung schließt auch die Möglichkeit ein, daß ein Gatterarray ausschließlich zur Verbindungserstellung verwendet wird.

Das Verfahren gemäß dem Anspruch 1 nach dem zweiten Hilfsantrag war dem Fachmann sonach ebenfalls aus dem genannten Stand der Technik nahegelegt, so daß die Klage insgesamt Erfolg hat.

**IV**

Als Unterlegene hat die Beklagte die Kosten des Rechtsstreits gemäß § 84 Abs 2 PatG iVm § 91 Abs 1 Satz 1 ZPO zu tragen. Die Entscheidung über die vorläufige Vollstreckbarkeit beruht auf §§ 99 Abs 1 PatG, 709 Satz 1 ZPO.

Gutermuth

Bertl

Prasch

Püschel

Schuster

Be