

# BUNDESPATENTGERICHT

20 W (pat) 58/00

---

(Aktenzeichen)

Verkündet am  
13. November 2002

...

## BESCHLUSS

In der Beschwerdesache

betreffend die Patentanmeldung 197 03 613.9 - 31

...

hat der 20. Senat auf die mündliche Verhandlung vom 13. November 2002 durch den Vorsitzenden Richter Dr. Anders sowie die Richter Dipl.- Ing. Obermayer, Dr. Hartung und die Richterin Martens

beschlossen:

Der Beschluß des Patentamts vom 20. Juli 2000 wird aufgehoben und das Patent erteilt.

**Bezeichnung:** Verfahren zum Suchen von vorgegebenen Bitmustern in seriellen, paketerorientierten Datenströmen.

**Anmeldetag:** 31. Januar 1997

Der Erteilung liegen folgende Unterlagen zugrunde:

Patentansprüche 1 - 8, überreicht in der mündlichen Verhandlung,

Beschreibung Seiten 1 - 9, überreicht in der mündlichen Verhandlung,

2 Blatt Zeichnungen (Figuren 1 bis 3), eingegangen am 31. Januar 1997.

### **Gründe**

I

Das Patentamt - Prüfungsstelle für Klasse H 04 L - hat die Anmeldung durch Beschluß vom 20. Juli 2000 zurückgewiesen, weil die den Patentanspruch 1 ausgestaltenden Patentansprüche 8 und 9 jeweils einen formalen Mangel im Hinblick auf die Erfordernisse der Anmeldung nach § 34 PatG aufwiesen, da insbesondere in den Patentansprüchen ein Verweis auf Unterlagen außerhalb der Anmeldung nicht zulässig sei.

Die Anmelderin stellt den Antrag,

den angefochtenen Beschluß aufzuheben und das nachgesuchte Patent mit den in der mündlichen Verhandlung überreichten Unterlagen zu erteilen.

Der Patentanspruch 1 lautet:

"1. Verfahren zum Suchen eines durch  $m$  ( $m \geq 1$ ) vorgegebene Bits gebildeten Bitmusters (SW) in einem seriellen, paketerorientierten Datenstrom (DS), wobei die Bits des Bitmusters (SW) kontinuierlich in jedes  $n$ -te ( $n \geq 1$ ) Paket (P) des Datenstromes (DS) eingefügt sind,

- bei dem Speicher (Ze1..80) vorgesehen sind, deren Anzahl durch  $n \times$  die Anzahl von Bits pro Paket bestimmt ist, an denen ein Bitmusterbit auftreten kann, wobei die Speicher (Ze1..80) jeweils  $m$  (4) Speicherzellen aufweisen und wobei jede Speicherzelle (1..4) eine Bitposition innerhalb von  $n$  Paketen repräsentiert,
- bei dem die erfaßten Bits, beginnend mit dem ersten erfaßten Bit, sukzessive in die erste Speicherzelle (1) der Speicher (Ze1..80) und anschließend jeweils in die zweite Speicherzelle (2) der Speicher (Ze1..80) bis zur  $m$ -ten Speicherzelle (4) der Speicher (Ze1..80) gespeichert werden,
- bei dem die  $m$  Speicherzellen (1..4) breiten Speicher (Ze1..80) auf Vorliegen eines Bitmusters (SW) überprüft werden, und
- bei dem ein in einem der Speicher (Ze1..80) erkanntes Bitmuster (SW) nach jeweils  $n \times m$  Paketen (P) des jeweiligen Datenstroms (DS) durch einen dem Speicher (Ze1..80) zugeordneten Zählerstand (Z1..80) einer Zählleinrichtung (ZE1) gezählt wird, wobei jeweils ein Zählerstand (Z1..80) jedem Speicher (Ze1..80) zugeordnet ist;
- und daß nach einer vorgegebenen Anzahl von im selben Speicher erkannten Bitmustern (SW), dieses als erkanntes Bitmuster bestimmt ist und durch diesen Speicher die Bitposition des Bitmusters im seriellen Datenstrom bestimmt ist."

Patentanspruch 3 lautet:

"3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, daß bei  $x$  ( $x \geq 1$ ) aufeinanderfolgenden Bits eines Pakets (P) eines Datenstroms (DS) in einem gemultiplexten Paket (MXP) jeweils die Position eines Bits des Bitmusters (SW) vorgegeben ist, und nur dieses Bit der  $x$  Bits in eine Speicherzelle kopiert wird. "

Der Patentanspruch 7 lautet:

"7. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß ein Paket (P) 10 Bit umfasst und ein nach dem ITU-Standard G.728, 09/92, komprimiertes Sprachsignal repräsentiert."

Wegen der Patentansprüche 2, 4 bis 6 und 8 wird auf den Akteninhalt verwiesen.

Folgende Entgegenhaltungen sind in Betracht gezogen:

- (1) US 4 847 877
- (2) ITU, CCITT Recommendation G.728, Geneva, 09.92,
- (3) DE 36 23 910 A1 und
- (4) EP 0 677 934 A2.

Zur Begründung ihres Antrags führt die Anmelderin im wesentlichen aus, daß der Gegenstand des Anspruchs 1 gegenüber diesem Stand der Technik neu und durch diesen auch nicht nahegelegt sei. Die nunmehr gemäß Anspruch 7 formulierte Bezugnahme auf den ITU-Standard G.728 sei für den Fachmann ausreichend präzise, sie genüge dem Gebot der Rechtssicherheit.

## II

Die Beschwerde ist zulässig und führt mit dem beschränkten Patentbegehren auch zum Erfolg.

1. Die Fassung der Patentansprüche ist zulässig.

Anspruch 1 ist auf ein Verfahren zum Suchen von vorgegebenen Bitmustern in seriellen, paketorientierten Datenströmen gerichtet mit Merkmalen, die den ursprünglich eingereichten Ansprüchen 1 und 4 entnehmbar sind und die unter Berücksichtigung von aus der ursprünglich eingereichten Beschreibung der Patentanmeldung entnehmbaren Merkmalen, insbesondere aus Seite 7, Zeile 13 bis Seite 8, Zeile 12, iVm den Figuren 2 und 3, weiter präzisiert wurden. Die Merkmale der Patentansprüche 2 bis 6 beruhen auf Merkmalen der ursprünglich eingereichten Ansprüche 2, 3, 5 bis 7, ebenfalls mit Präzisierungen gemäß den vorgenannten Beschreibungsteilen.

Die Merkmale der Patentansprüche 7 und 8 beruhen auf den Merkmalen der ursprünglich eingereichten Ansprüche 8 und 9. Die im ursprünglich eingereichten Anspruch 9 bestehende Bezugnahme auf den ITU-Standard G.728 wurde im geltenden Anspruch 8 durch einen Bezug auf Anspruch 7 ersetzt.

Die für die Zurückweisung der Anmeldung maßgebliche Bezugnahme auf den ITU-Standard G.728, 09/92, in den ursprünglich eingereichten Ansprüchen 8 und 9 wurde im geltenden Anspruch 7 gemäß der Beschreibung des Patentbegehrens Seite 4, Zeilen 29 bis 34, entsprechend den in Bezug genommenen Inhalten des genannten Standards, komprimierte Sprachsignale betreffend, präzisiert.

Der Prüfungsstelle ist zwar darin beizupflichten, daß insbesondere in den Ansprüchen Bezugnahmen auf Unterlagen außerhalb der Anmeldung grundsätzlich unzulässig sind. Ausnahmen können jedoch zugelassen werden, wenn die Wieder-

gabe der in Rede stehenden Merkmale untunlich ist, z. B. wegen des Umfangs einer Normvorschrift, wie dies im vorliegenden Fall gegeben ist (vgl Schulte PatG 6. Aufl § 34 Rdn 108) und wenn dem Gebot der Rechtssicherheit Genüge getan ist. Dem steht auch die einschlägige Rechtsprechung nicht entgegen (vgl aaO). Die vorliegende Fassung des Patentanspruchs 7 ist insbesondere in der nun gewählten Formulierung der Bezugnahme auf den ITU-Standard G.728, 09/92, ausreichend präzise für den Fachmann und genügt dem Gebot der Rechtssicherheit (vgl Schulte PatG 6. Aufl § 34 Rdn 54), indem die Bezugnahme "auf ein nach dem ITU-Standard G 728, 09/92, komprimiertes Spruchsignal" beschränkt wurde.

## 2. Stand der Technik

Aus der Druckschrift (3), vgl. insbesondere die Figuren 1 bis 3 und die Beschreibung Spalte 3 Zeile 35 bis Spalte 4 Zeile 37, ist ein Verfahren zum Suchen von vorgegebenen Bitmustern in seriellen Datenströmen als bekannt entnehmbar, das zur Synchronisierung eines Zeitmultiplexsignals dient. Der Pulsrahmen des Zeitmultiplexsignals enthält 240 Bit, jedes 30. Bit ist Teil eines 8-Bit-Rahmenkennungswortes 00011011. Die Bits des Zeitmultiplexsignals werden spaltenweise beginnend mit Spalte  $n=1$  Zeile für Zeile, d. h.  $m=1$  bis 30, sukzessive in Speicher Matrizen M1, M2 und M3 eingegeben. Das Rahmenkennungswort muß dann in einer Zeile der Matrix erscheinen, wobei der Anfang des Rahmenkennungswortes in einer beliebigen Spalte liegen kann (Sp 3 Z 49-56). Ist die Position in der Matrix M1 bekannt, wird nachgeprüft, ob das Rahmenkennungswort an derselben Position in den Matrizen M2 und M3 auftritt. Wird es dreimal hintereinander erkannt, handelt es sich tatsächlich um das Rahmenkennungswort und nicht um eine zufällig gleiche Bitfolge (Sp 3 Z 57-63). Das Zeitmultiplexsignal kann dann über das Rahmenkennungswort auf den Rahmenanfang synchronisiert werden, indem in jede der Matrizen ein vollständiger Pulsrahmen eingeschrieben wird (Sp 3 Z 64 bis Sp 4 Z 1, Fig 2). Eine Zählleinrichtung, die ein in einem der Speicher (Speichermatrix-Zeile) erkanntes Bitmuster (Rahmenkennungswort) durch einen

dem Speicher zugeordneten Zählerstand zählt, wobei jedem Speicher jeweils ein Zählerstand zugeordnet ist, ist in der Druckschrift (3) nicht beschrieben.

Druckschrift (4) beschreibt ebenfalls ein Verfahren zum schnellen Suchen und Erkennen eines durch vorgegebene Bits gebildeten Bitmusters in einem seriellen Datenstrom, vgl. die Bezeichnung und Spalte 1 Zeilen 36-40. Gemäß Figur 1 und Spalte 2 Zeile 30 bis Spalte 3 Zeile 35 werden die Bits des seriellen Datenstroms in eine Speicherzone 43 mit Speicherblöcken 44, 45, 46 eingeschrieben. Dabei werden jeweils N Bits, beginnend mit den Bits  $B1_1$  bis  $BN_1$  des ersten Rahmens (entsprechend der Länge eines Rahmens von N Bits) bis zum 8. Rahmen mit den Bits  $B1_8$  bis  $BN_8$  spaltenweise in dem Speicherblock 44 abgespeichert. Entsprechend werden in den Speicherblöcken 45 und 46 Bits entsprechend der 9. bis 16. resp 17. bis 24. Rahmen eingeschrieben. Das erste Bit der empfangenen Daten muß dabei nicht notwendigerweise das erste Bit eines Rahmens sein (Sp 2 Z 58 bis Sp 3 Z 3). Jedes 8-Bit- (Zeilen-) Wort W eines Speicherblocks enthält somit Bits der gleichen Stellung in jedem der acht aufeinanderfolgenden Rahmen. Ein Acht-Bit-Synchronisationswort oder eine zyklische Permutation desselben findet sich somit in einer Zeile der Speicherblöcke 44, 45, 46 (Sp 3 Z 36-41). Durch Vergleich jedes Wortes des Speichers (8 Bit-Zeile des Speicherblocks) mit dem Acht-Bit-Synchronisationswort wird die Synchronisation des Datenstroms erhalten (Sp 3 Z 42-45). Gleiches gilt für eine 24- Bit-Wortgruppe  $G_m$ , aus drei Worten  $W_m$ ,  $W(m+N)$  und  $W(m+2N)$ , die jeweils 8 Bit umfassen und nach dem vorgenannten Schema eine Zeile in der gesamten Speicherzone 43 bilden (Sp 3 Z 46-55, Sp 5 Z 20 bis Sp 6 Z 16). Das aus (3) bekannte Verfahren läd zum eigentlichen Nachweis des Synchronisationswortes und insbesondere einer zyklischen Permutation desselben jeweils eine Wortgruppe in ein Schieberegister und vergleicht die zyklisch verschobene Bitfolge mit dem Synchronisationswort (Sp 3 Z 56 bis Sp 4 Z 16). Außerdem wird mittels des Schieberegisters ein Bit-weises Beschreiben der Speicherzone realisiert (Sp 4 Z 17-35 und Fig 2A bis 2E). Bei der Erkennung des Synchronisationswortes kommen zwar Zählschaltungen zum Einsatz (Fig 6, Zähler 176, 178, 184, 186, Sp 8 Z 26 bis Sp 9 Z 26), jedoch fehlt auch bei dem aus (4)

bekanntes Verfahren eine Zählrichtung, die in einem der Speicher (Speichermatrix-Zeile) erkanntes Bitmuster (Rahmenkennungswort) durch einen jedem Speicher jeweils zugeordneten Zählerstand zählt.

Auch aus Druckschrift (1), vgl. Figuren 5 und 6 iVm Spalte 2 Zeilen 20-29 und Spalte 8 Zeilen 10ff, ist ein Verfahren zum schnellen Suchen und Erkennen eines durch  $m=12$  vorgegebene Bits gebildeten Bitmusters in einem seriellen Zeitmultiplex-Datenstrom als bekannt entnehmbar. Die Bits des Bitmusters sind in jeden  $n$ -ten Rahmen des Datenstroms eingefügt, eine Teilfolge von vier Bits wird jeweils in vier aufeinanderfolgenden Rahmen des seriellen Datenstroms erfaßt. Anhand von in einem Speicher abgelegten Werten werden die dem Teilmuster von vier Bits folgenden acht Bits vorhergesagt und diese dann mit den tatsächlich im Datenstrom vorliegenden Bits verglichen. Liegt keine Übereinstimmung vor, so wird jeweils mit den nächstliegenden Teilfolgen  $S'1$ ,  $S'2$ ,  $S'3$ ,  $S'4$  (jeweils ein Bit links danebenliegend) solange fortgefahren, bis das gesuchte Bitmuster gefunden wird. Bei einem aus vier Bit bestehenden Bitmuster ( $S4$ ,  $S3$ ,  $S2$ ,  $S1$ ) führt das bekannte Verfahren unmittelbar zur Erkennung, weitere Anteile des Bitmusters müssen nicht mehr gesucht werden. Das aus (1) bekannte Verfahren kommt mit einem einzigen, vier Speicherzellen umfassenden Speicher aus, die Verwendung eines mehrere "Zeilen" umfassenden Speichers ist nicht entnehmbar.

Die ITU-Empfehlung (2) ist mit der Codierung und insbesondere Komprimierung von Sprachsignalen befaßt. Der Aufbau der Datenströme (64 kbit/s PCM In/Output und 16 kbit/s Out/Input, vgl S 1-4 Kap 1 bis 2.2 und Fig 1, 2 und 3) und die Synchronisation mittels In-band signalling (S 17-18 Kap 3.11) werden in allgemeiner Form beschrieben. Ein mit dem Anmeldungsgegenstand vergleichbares Erkennen von Bitmustern ist der Druckschrift (2) nicht zu entnehmen. Die Bestimmung eines jeweils besten Codevektors erfolgt mittels eines rechnerischen Minimierungsverfahrens (S 14 Gleichung 3-16 ff), nicht aber über einen Bitmustervergleich abgespeicherter Werte.

### 3. Neuheit

Der - zweifelsfrei gewerblich anwendbare - Gegenstand des Patentanspruchs 1 ist neu, denn keine der Entgegenhaltungen zeigt, wie sich aus den vorstehenden Ausführungen ergibt, alle seine Merkmale.

### 4. Erfindерische Tätigkeit

Der Gegenstand des Patentanspruchs 1 ergibt sich für den Fachmann nicht in naheliegender Weise aus dem Stand der Technik.

Es mag sein, daß der hier zuständige Fachmann, ein Diplomingenieur der Fachrichtung Elektrotechnik mit Hochschulabschluß und mehrjähriger Berufserfahrung im Umgang mit seriellen Datenströmen, in Betracht zieht, die aus den Druckschriften (3) oder (4) als bekannt entnehmbaren Verfahren hinsichtlich ihres Suchens nach durch vorgegebene Bits gebildeten Bitmustern weiterzuentwickeln, um die vorgegebenen Bitmuster in seriellen, paketorientierten und ggf. gemultiplexten Datenströmen in kurzer Zeit zu finden.

Sowohl die Druckschrift (3) (vgl Fig 1 bis 3 iVm Sp 3 Z 57-63) wie auch die Entgegenhaltung (4) (vgl Fig 1 Sp 5 Z 56 bis Sp 6 Z 16) benutzt zum mehrmaligen (dreimaligen) Erkennen eines Bitmusters eine entsprechend mehrfach angelegte Speicheranordnung. Da dem Fachmann grundsätzlich daran gelegen ist, zur Durchführung von Verfahren möglichst wenig Bauteile, insbesondere auch wenig Speicher einzusetzen, könnte es nahegelegen haben, die aus den Druckschriften (3) oder (4) bekannte mehrfach vorhandene Speicheranordnung zu reduzieren. Sowohl nach Druckschrift (3) wie auch nach Druckschrift (4) könnte sich im Zuge dieser Überlegungen dem Fachmann ein Verfahren anbieten, bei dem jeweils der erste vorhandene Speicherblock (in (3) Fig 3 RAM1 und in (4) Fig 1 B1<sub>1</sub> bis BN<sub>8</sub>) entsprechend mehrmals (3-mal) genutzt wird und das entsprechend mehrmalige Vorkommen eines zu suchenden Bitmusters mittels einer Zählleinrichtung gezählt

wird. Damit könnte der Fachmann auf eine zusätzliche zweite und dritte oder ggf auch weitere Speicheranordnung verzichten. Zum Zählen des betreffenden Bitmusters in der so reduzierten Speicheranordnung ist eine einzige Zählleinrichtung mit einem Zählerstand, der der dem Auftreten des Bitmusters entsprechenden Zeile der Speicheranordnung zugeordnet ist, ausreichend. Infolgedessen bietet keine der beiden Druckschriften dem Fachmann einen Hinweis, der ihn veranlassen könnte, jedem Speicher (jeder Speicherzeile) in der vorhandenen Speicheranordnung jeweils einen Zählerstand zuzuordnen, wie dies gemäß Patentanspruch 1 gefordert wird.

Zwar können die vorgenannten Druckschriften dem Fachmann allgemein Anregungen dahingehend vermitteln, mehrmals vorkommende Bitmuster zu zählen, anstatt sie mehrmals abzuspeichern, auch sind aus (4) Zählleinrichtungen an sich als bekannt entnehmbar (vgl (3) Sp 3 Z 60 "...dreimal hintereinander..", (4) Fig 6 Sp 8 Z 26 bis Sp 9 Z 26). Diese Anregungen bzw. bekannten Zählleinrichtungen sind aber ersichtlich nicht darauf gerichtet, daß ein in einem der Speicher (-zeilen) erkanntes Bitmuster nach jeweils  $n \times m$  Paketen des jeweiligen Datenstroms durch einen dem Speicher zugeordneten Zählerstand einer Zählleinrichtung gezählt wird, wobei insbesondere jeweils ein Zählerstand jedem Speicher zugeordnet ist.

Der durch die sonst im Verfahren befindlichen Druckschriften (1) und (2) belegte Stand der Technik liegt bzgl. der gemäß Patentanspruch 1 geforderten Zuordnung von jeweils einem Zählerstand zu einem jeden Speicher, wie oben unter Punkt 2. ausgeführt, weiter ab und kann dem Fachmann auch in der Zusammenschau mit den Druckschriften (3) und (4) ebenfalls keinen Hinweis geben auf die mit dem Gegenstand nach Anspruch 1 beanspruchte Maßnahme, nämlich, daß ein in einem der Speicher erkanntes Bitmuster nach jeweils  $n \times m$  Paketen des jeweiligen Datenstroms durch einen dem Speicher zugeordneten Zählerstand einer Zählleinrichtung gezählt wird, wobei jeweils ein Zählerstand jedem Speicher zugeordnet ist. Selbst unter Berücksichtigung weiterer, hier druckschriftlich nicht ausdrücklich belegter, aber dem allgemeinen Fachwissen zuzurechnender Kenntnisse, wie z.B.

die Strukturierung serieller, ggf. gemultiplexer, paketerorientierter Datenströme betreffend, ist keine Veranlassung für die genannte Maßnahme in der beanspruchten Merkmalsausprägung ersichtlich.

5. Die Abwandlung des Verfahrens gemäß Patentanspruch 3 ist sinngemäß aus den gleichen Gründen gewährbar wie das Verfahren nach Patentanspruch 1. Die Patentansprüche 2 und 4 bis 8 betreffen über das Selbstverständliche hinausgehende Ausgestaltungen der Gegenstände des Patentanspruchs 1 resp. des Patentanspruchs 3 und sind daher ebenfalls gewährbar.

6. Die Beschreibung genügt den an sie nach § 34 PatG zu stellenden Anforderungen.

Dr. Anders

Obermayer

Dr. Hartung

Martens

Pr