

# BUNDESPATENTGERICHT

23 W (pat) 33/01

---

(Aktenzeichen)

## BESCHLUSS

In der Beschwerdesache

...

**betreffend die Patentanmeldung 196 40 425.8-33**

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts in der Sitzung vom 27. Juni 2002 unter Mitwirkung des Vorsitzenden Richters Dr. Beyer sowie der Richter Dr. Meinel, Knoll und Lokys

beschlossen:

Die Beschwerde der Anmelderin gegen den Beschluß der Prüfungsstelle für Klasse H 01 L des Deutschen Patent- und Markenamts vom 5. Februar 2001 wird zurückgewiesen.

## **Gründe**

### **I**

Die vorliegende Patentanmeldung mit der Bezeichnung "Verfahren zur Waferidentifizierung in der Chipfertigung und Vorrichtung zur Durchführung des Verfahrens" ist am 30. September 1996 beim Deutschen Patent- und Markenamt eingereicht worden.

Mit Beschluß vom 5. Februar 2001 hat die Prüfungsstelle für Klasse H 01 L des Deutschen Patent- und Markenamts die Anmeldung zurückgewiesen. Sie hat ihre Entscheidung damit begründet, daß der Gegenstand des weiterverfolgten ursprünglichen Anspruchs 1 im Hinblick auf den Stand der Technik nach der japanischen Offenlegungsschrift 4-44207 mit zugehörigem englischsprachigen Abstract sowie den US-Patentschriften 5 432 702 und 4 833 306 nicht auf einer erfinderischen Tätigkeit beruhe.

Gegen diesen Zurückweisungsbeschluß hat die Anmelderin Beschwerde eingelegt und mit der Beschwerdebegründung vom 6. Juli 2001 geänderte Patentansprüche 1 bis 7 mit neuen Beschreibungsseiten 2, 2a, 2b vorgelegt.

Mit Schriftsatz vom 18. März 2002 hat die Anmelderin Entscheidung nach Aktenlage beantragt.

Der der Entscheidung zugrundeliegende Patentanspruch 1 vom 6. Juli 2001 – eingegangen am 12. Juli 2001 – hat folgenden Wortlaut:

Verfahren zur Waferidentifizierung in der Chipfertigung unter Einsatz einer Strichcodeleseeinheit, die eine Strichcodierung auf Wafern (1) liest und die Information an eine Rechneinheit zur Steuerung des Bearbeitungsprozesses für die Wafer (1) liefert, wobei:

- die Wafer (1) innerhalb einer Horde in Schlitzen untergebracht sind,
- die Horde in eine Ladestation (6) vor oder an einer Bearbeitungsmaschine eingelegt wird,
- die Wafer (1) zum Lesen der strichcodierten Daten mittels einer Hebe- und Lesestation (4) einzeln lediglich angehoben werden und sich bei der mittels der Hebe- und Lesestation vor dem Bearbeitungsprozeß ausgeführten Identifizierung in der Horde (2) befinden,
- die Wafer (1) wieder in die Horde (2) abgelegt werden und
- die Wafer (1) der Bearbeitungsstation einzeln zugeführt werden."

Wegen der geltenden nachgeordneten Ansprüche 2 bis 7 und der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

## II

Die zulässige Beschwerde hat in der Sache keinen Erfolg. Der Gegenstand des der beantragten Entscheidung zugrundeliegenden Anspruchs 1 ist nicht patentfähig.

1.) Die Patentanmeldung betrifft ein Verfahren zur Waferidentifizierung in der Chipfertigung unter Einsatz einer Strichcodeleseeinheit sowie eine Vorrichtung zur Durchführung dieses Verfahrens.

Dem Patentbegehren liegt die Aufgabe zugrunde, ein Verfahren und eine Vorrichtung bereitzustellen, womit bei der Chipherstellung die Daten von Wafern zuverlässig und wirtschaftlich detektiert und einem Prozeßleitsystem zugeführt werden können, vgl in der geltenden Beschreibung den die Seiten 2a, 2b überbrückenden Absatz.

Gelöst wird diese Aufgabe mit den Merkmalen gemäß dem Verfahrensanspruch 1 bzw dem auf die Verfahrensansprüche 1 bis 3 zurückbezogenen Vorrichtungsanspruch 4.

2.) Der Gegenstand nach Patentanspruch 1 ist zwar neu. Seine Lehre beruht jedoch nicht auf einer erfinderischen Tätigkeit; vielmehr ergibt sie sich für den zuständigen Durchschnittsfachmann, einen mit der prozeßgesteuerten industriellen Chipfertigung vertrauten, berufserfahrenen Physiker der Fachrichtung Halbleitertechnik mit Universitätsabschluß, auf der Grundlage seines allgemeinen Fachwissens und seines Könnens in naheliegender Weise aus dem Stand der Technik.

Aus dem englischsprachigen Abstract zur japanischen Offenlegungsschrift 4-44207 ist ein Verfahren zur Waferidentifizierung der Chipfertigung unter Einsatz einer Strichcodeleseeinheit bekannt, die eine Strichcodierung auf Wafern liest und die Information an eine möglicherweise eingesetzte Rechneinheit zur Steuerung des Bearbeitungsprozesses für die Wafer liefert. Dazu weist die Strichcodierung zur automatischen IC-Waferidentifizierung auf den Wafern Informationen hinsichtlich des IC-Typs, der Los-Nummer, der Wafer-Nummer usw auf, die während der einzelnen Wafer-Fertigungs- und Testprozesse mittels Strichcodelesern gelesen und bestätigt werden, um so eine Fehleranalyse bzw Gegenmaßnahmen bei Fehlern während des Prozesses schnell und angemessen durchzuführen.

Darüber hinaus weiß der Fachmann auch ohne ausdrücklichen Hinweis in dieser Zusammenfassung, daß bei einer derartigen automatisierten Chipfertigung die Wafer schon aus wirtschaftlichen Gründen nicht einzeln zu den jeweiligen Bearbeitungsstationen transportiert werden, sondern üblicherweise innerhalb einer Horde in Schlitzern untergebracht sind und die Horde in eine Ladestation vor oder an einer Bearbeitungsmaschine eingelegt wird, aus der die Wafer der Bearbeitungsstation einzeln zugeführt werden, vgl zum Nachweis dieser fachnotorisch bekannten Maßnahmen in der industriellen Chipfertigung zB die og US-Patentschrift 4 833 306, siehe dort die in den Figuren 1, 4 und 6 gezeigte Horde (carrier 12 or 50) iVm Spalte 1 Zeilen 7 bis 36, insbesondere Zeile 32/33, bzw die der Anmelderin aus dem parallelen europäischen Prüfungsverfahren bekannte US-Patentschrift 5 155 888, Spalte 1 Absatz 2 ("wafer boat").

Wenn nun die so in einer Horde transportierten Wafer vor dem Bearbeitungsprozeß – entsprechend der Lehre der og japanischen Offenlegungsschrift 4-44207 – automatisch einzeln identifiziert werden sollen, um Fehler, zB Verwechslungen, auszuschließen, müssen die in der Horde dicht hintereinander gestapelten Wafer zu ihrer Identifizierung mangels Sichtbarkeit ihres Strichcodes notwendigerweise einzeln angehoben werden, wobei es zum Lesen der Wafermarkierung offensichtlich genügt, die Wafer einzeln lediglich anzuheben und dann wieder in die Horde abzulegen, wie dies im übrigen zB in der US-Patentschrift 5 155 888 ("semiconductor wafer lifter") gelehrt wird, vgl dort Figur 1 bis 6c mit zugehöriger Beschreibung, insbes Sp 2 le Abs bis Sp 3 2. Abs.

Der Fachmann gelangt somit ausgehend vom nachgewiesenen Stand der Technik ohne erfinderisches Zutun zum Gegenstand des Anspruchs 1.

Das Verfahren zur Waferidentifizierung in der Chipfertigung gemäß Anspruch 1 ist daher nicht patentfähig.

Mit dem Patentanspruch 1 fallen – aufgrund der Antragsbindung (BGH GRUR 1997, 120, 122 – "Elektrisches Speicherheizgerät" mwNachw) – notwendigerweise auch die darauf zurückbezogenen nachgeordneten Patentansprüche.

Dr. Beyer

Dr. Meinel

Knoll

Lokys

Fa