



BUNDESPATENTGERICHT

17 W (pat) 18/04

(Aktenzeichen)

Verkündet am
28. März 2006

...

BESCHLUSS

In der Beschwerdesache

betreffend die Patentanmeldung 102 26 485.6-55

...

hat der 17. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 28. März 2006 unter Mitwirkung ...

beschlossen:

Die Beschwerde wird zurückgewiesen.

Gründe

I.

Die vorliegende Patentanmeldung mit der Bezeichnung:

„Halbleiterspeicher mit Adressdecodiereinheit“

ist am 14. Juni 2002 beim Deutschen Patent- und Markenamt eingereicht worden.

Sie wurde von der Prüfungsstelle für Klasse G 11 C des Deutschen Patent- und Markenamts durch Beschluss vom 17. November 2003 mit der Begründung zurückgewiesen, dass der Gegenstand des Patentanspruchs 1 nicht neu sei; dies gelte sinngemäß für den nebengeordneten, auf ein Verfahren gerichteten Anspruch 4.

Gegen diesen Beschluss wendet sich die Beschwerde der Anmelderin. Sie stellt den Antrag,

den angefochtenen Beschluss aufzuheben und das Patent mit folgenden Unterlagen zu erteilen:

Patentansprüche 1 bis 4, sowie Beschreibung Seiten 1 bis 10, jeweils eingegangen am 17. März 2006, mit Zeichnungen Figuren 1 und 2 eingegangen am 23. August 2002.

Der geltende Patentanspruch 1, hier mit einer denkbaren Gliederung versehen (ohne Korrektur von Schreibfehlern), lautet:

- „(A) Halbleiterspeicher mit wenigstens zwei Speicherbänken (1A - 1D), die jeweils eine Speicherzellenmatrix aufweisen,
- (B) und einer Adressdecodiereinheit, die eine Bankadressdecodiereinheit (2), eine Zeilenadressdecodiereinheit (3) und eine Spaltenadressdecodiereinheit (4) umfasst,
- (C) wobei die Zeilenadressdecodiereinheit und die Spaltenadressdecodiereinheit für jede Speicherbank jeweils eine Reihenschaltung aus einem Adresspufferspeicher (32A - 32D; 42A - 42D) und einem Adressdecodierer (33A - 33D; 43A - 43D) aufweisen,

dadurch gekennzeichnet, dass

- (D) die Zeilenadressdecodiereinheit (3) und/oder die Spaltenadressdecodiereinheit (4) einen Demultiplexer (31; 41; 51, 52, 53) aufweisen, der jeweils den Adresspufferspeichern (32A - 32D; 42A - 42D) der Zeilenadressdecodiereinheit und/oder der Spaltenadressdecodiereinheit vorgeschaltet und über Datenausgänge mit den Adresspufferspeichern (32A - 32D; 42A - 42D) verbunden ist,
- (E) wobei der Demultiplexer (31; 41; 51, 52, 53) über einen Steuereingang an die Bankadressdecodiereinheit (2) angeschlossen ist, um abhängig von einer durch die Bankadressdecodiereinheit (2) decodierten, an den Steuereingang anlegten Bankadresse ein am Dateneingang

anliegendes Adresssignal zum Adresspufferspeicher (32A - 32D; 42A - 42D) der entsprechenden Speicherbank über den zugehörige Datenausgang auszugeben.“

Der ihm nebengeordnete, auf ein entsprechendes Verfahren gerichtete Anspruch 4 (ebenfalls ohne Korrektur von Schreibfehlern) lautet:

„4. Verfahren zum Laden einer Adresse einer Speicherzelle eines Halbleiterspeicher, um auf die Speicherzelle zuzugreifen, wobei der Halbleiterspeicher wenigstens zwei Speicherbänken (1A - 1D) mit jeweils einer Speicherzellenmatrix und eine Adressdecodiereinheit aufweist, die eine Bankadressdecodiereinheit (2), eine Zeilenadressdecodiereinheit (3) und eine Spaltenadressdecodiereinheit (4) umfasst, wobei die Zeilenadressdecodiereinheit und die Spaltenadressdecodiereinheit für jede Speicherbank jeweils eine Reihenschaltung aus einem Adresspufferspeicher (32A - 32D; 42A - 42D) und einem Adressdecodierer (33A - 33D; 43A - 43D) aufweisen,

dadurch gekennzeichnet, dass

die Zeilenadressdecodiereinheit (3) und die Spaltenadressdecodiereinheit (4) an die Bankadressdecodiereinheit (2) angeschlossenen Demultiplexer (31; 41; 51, 52, 53) aufweisen, die jeweils den Adresspufferspeichern (32A - 32D; 42A - 42D) der Zeilenadressdecodiereinheit bzw. der Spaltenadressdecodiereinheit vorgeschaltet und über Datenausgänge mit den Adresspufferspeichern (32A - 32D; 42A - 42D) verbunden sind, wobei folgende Verfahrensschritte durchgeführt werden:

Übergeben eines RAS-Signals, eines CAS-Signals und gegebenenfalls eines Lese-/Schreibumschaltsignal an den Halbleiterspeicher;

Anlegen eines Bankadresssignal an die Bankadressdecodiereinheit (2), um die Speicherbank mit der adressierten Speicherzelle zu decodieren und das decodierte Bankadresssignal jeweils an einen Steuereingang der Demultiplexer (31; 41; 51, 52, 53) der Zeilenadressdecodiereinheit (3) und der Spaltenadressdecodiereinheit (4) auszugeben;

Anlegen einer Zeilenadresse an einen Dateneingang des Demultiplexer (31) der Zeilenadressdecodiereinheit (3), der entsprechend der decodierten Speicherbankadresse die angelegte Zeilenadresse auf einen Datenausgang zum Adresspufferspeicher (32) der entsprechenden Speicherbank ausgibt;

Einlatchen der angelegten Zeilenadresse im angesprochene Adresspufferspeicher (32) der Speicherbank, wenn gleichzeitig ein an einem Steuereingang des Adresspufferspeicher (32) anliegendes intern aus dem RAS-Signal abgeleitetes Signal anzeigt, dass die Zeilenadresse gültig ist;

Verstärken des Zeilenadresssignals und Ausgeben durch den Adresspufferspeicher (32) an den zugehörigen Adressdecodierer (33) der Speicherbank;

Ermitteln der Zeilenadresse der Zeile im Speicherzellenfeld der Speicherbank, die über die entsprechende Wortleitung angesprochen wird, durch den Adressdecodierer (33) der Speicherbank aus dem angelegten Zeilenadresssignal;

Anlegen einer Spaltenadresse an einen Dateneingang des Demultiplexer (41; 51, 52, 53) der Spaltenadressdecodiereinheit (4), der entsprechend der decodierten Speicherbankadresse die angelegte Spaltenadresse auf einen Datenausgang zum Adresspufferspeicher (42) der entsprechenden Speicherbank ausgibt;

Einlatchen der angelegte Spaltenadresse im angesprochene Adresspufferspeicher (32) der Speicherbank, wenn gleichzeitig ein an einem Steuereingang des Adresspufferspeicher (32) anliegendes, intern aus dem CAS-Signal abgeleitetes Signal anzeigt, dass die Spaltenadresse gültig ist;

Verstärken des Spaltenadresssignals und Ausgeben durch den Adresspufferspeicher (42) der Speicherbank an den zugehörigen Adressdecodierer (43); und

Ermitteln der Spaltenadresse der Spalte im Speicherzellenfeld der Speicherbank, die über das entsprechende Bitleitungspaar angesprochen wird, durch den Adressdecodierer (43) der Speicherbank aus dem angelegten Spaltenadresssignal.“

Hinsichtlich der Unteransprüche 2 und 3 wird auf die Akte verwiesen.

Der Anmeldung soll die **Aufgabe** zugrunde liegen, einen Halbleiterspeicher mit einer Adressendecodiereinheit und ein Verfahren zum Betreiben eines solchen Halbleiterspeichers bereitzustellen, die sich durch einen geringen Stromverbrauch auszeichnen (siehe geltende Beschreibung Seite 3 Absatz 4).

Die Anmelderin hat in der mündlichen Verhandlung erläutert, dass üblicherweise die Adresspufferspeicher der wenigstens zwei Speicherbänke an einen allen Spei-

cherbänken gemeinsamen Adressbus angeschlossen seien, so dass beim Ändern der Adresse die Latches in allen Speicherbänken umschalten müssten. Der dadurch bedingte Stromverbrauch könne vermieden werden, wenn die Adresssignale nur zu der Speicherbank geleitet würden, die sie benötigt. Dies geschehe mittels des beanspruchten Demultiplexers. Wenn in einer solchen Schaltung die Auswahl der anzusteuern Speicherbank früh, d. h. sehr weit vorne erfolge, bräuchten auch keine langen Leitungen unnötigerweise umgeladen zu werden, wodurch ebenfalls der Stromverbrauch sinke. Außerdem könne die Treibereinheit kleiner dimensioniert werden, da die jeweilige Adresse nur an einen einzelnen Adresspuffer statt an die Adresspuffer aller Speicherbänke weitergeleitet werden müsse.

II.

1. Die Beschwerde ist rechtzeitig eingelegt und auch sonst zulässig. Gegen die Zulässigkeit der neu formulierten Ansprüche bestehen gleichfalls keine Bedenken, da gegenüber den ursprünglichen Patentansprüchen 1 – 3 lediglich Klarstellungen vorgenommen wurden und der neu formulierte Verfahrensanspruch 4 sich aus Figur 1 und der zugehörigen Beschreibung, insbesondere Offenlegungsschrift Absätze [0018] – [0021] ergibt.

2. Die Beschwerde ist jedoch nicht begründet, weil die Lehre des geltenden Anspruchs 1 wie auch des nebengeordneten Anspruchs 4 für den Durchschnittsfachmann, einen Entwicklungsingenieur für Halbleiterspeicherschaltungen mit mehrjähriger Berufserfahrung, aus dem vorveröffentlichten Stand der Technik entnehmbar war.

Von besonderer Bedeutung ist hierfür die **D2**: US 6 366 524 B1 (Nummerierung wie im bisherigen Verfahren). Sie befasst sich mit der Adressdekodierung in Halbleiterspeicherarchitekturen, die mehrere Speicherbänke umfassen. Gemäß Figur 1 sind vier Speicherbänke 104, 106, 108, 110 vorgesehen, die jeweils eine Speicherzellenmatrix (Memory Array 4096 x 256 x 16) aufweisen. Zur Adressdekodie-

nung sind eine Bankadressdekodiereinheit (116), eine Zeilenadressdekodiereinheit (114, 118) und eine Spaltenadressdekodiereinheit (120, 122) vorhanden, wobei die letzteren beiden jeweils einen Pufferspeicher (Row Address Latch; Column Address Counter / Latch) und einen Adressdekodierer (Row Decoder, Column Decoder) aufweisen. Damit sind die Merkmale (A), (B) und (C) aus D2 vorbekannt.

Darüber hinaus wird in Figur 3A / 3B und Spalte 6 Zeile 20 ff. als Stand der Technik eine Eingangsstufe 200 beschrieben, die laut Spalte 5 Zeile 26 - 36 „häufig Teil eines Adressregisters“, somit in Figur 1 im Bereich des Eingangsadressregisters 112 anzuordnen ist. Diese Eingangsstufe enthält gemäß Figur 3B eine aus diskreten Elementen aufgebaute Verteilerschaltung, in welcher ankommende Adresssignale (Addr, 205c) parallel auf vier Transfer-Gatter (222a - 222d) gelegt sind; von deren Freigabeeingängen (260a - 260d) kann jeweils immer nur einer aktiviert sein (denn von den Bankadresssignalen Bank0 - Bank3 ist immer nur eines aktiv, siehe Figur 3A und Spalte 6 Zeile 55 - 59). Der Fachmann erkennt dies zweifelsfrei als Demultiplexer-Schaltung, vgl. etwa die Innenschaltung eines Demultiplexer-Bausteins nach **D3: 74AC11138 3-Line to 8-Line Decoder / Demultiplexer, Texas Instruments Datenblatt (April 1996)**, Seite 2: logic diagram.

Dieser Demultiplexer ist durch seine Anordnung in der Eingangsstufe den Adresspufferspeichern (in 118, 120) vorgeschaltet und mit diesen über seine Datenausgänge (B0Address - B3Address) verbunden. Er wird durch die Bankadresse (BA0, BA1 → Bank0 - Bank3) gesteuert und bewirkt, dass ein am Dateneingang anliegendes Adresssignal (Addr, 205c) nur zum Adresspufferspeicher der entsprechenden Speicherbank über den zugehörigen Datenausgang (einen von B0Address, B1Address, B2Address, B3Address) ausgegeben wird.

Somit sind auch die Merkmale (D) und (E) in D2 vorbeschrieben. Ob solch ein Demultiplexer entweder für die Zeilen- oder für die Spaltenadresse oder je ein De-

multiplexer für beide vorgesehen wird, macht für den Fachmann im gegebenen Zusammenhang technisch keinen Unterschied, liegt vielmehr im Bereich seiner Gestaltungsfreiheit. Demnach sind sämtliche Merkmale des Patentanspruchs 1 aus D2 vorbekannt.

Der von der Anmelderin beanspruchte Vorteil, dass nur der Pufferspeicher der jeweils adressierten Speicherbank umgeladen werden muss, ist hier ebenfalls schon realisiert. Das gilt durch die Anordnung in der Eingangsstufe automatisch für die nachgeordneten Row- / Column Address Latches, aber auch bereits in der Eingangsschaltung selbst, wo offensichtlich von den Latches 227a - 227d nur eines die Adresssignale erhält, während vor den anderen drei das Transfer-Gatter gesperrt bleibt, so dass sie nicht umgeladen werden.

Damit enthält der geltende Patentanspruch 1 nichts, was in irgendeiner Weise über die Lehre von D2 hinausginge. Er ist daher nicht schutzfähig.

Dasselbe gilt für den Verfahrensanspruch 4, der zwar etliche Details über die einzelnen Adressierungsschritte enthält; diese entsprechen jedoch den üblichen Adressierungsschritten bei Speicherzellenmatrizes und enthalten nichts, was der Fachmann in D2 nicht mitlesen würde, können daher eine Patentierbarkeit nicht begründen.

3. Die Anmelderin hat darüber hinaus noch vorgetragen, weil die Adressleitungen parallel an vier Transfer-Gattern anlägen, müssten im Stand der Technik nach D2 mehr Leitungen und Eingangsgatter aufgeladen werden als bei dem beanspruchten Einsatz eines Demultiplexers. Ferner könnten anmeldungsgemäß durch die Anordnung der Demultiplexer zentral zwischen den Speicherbänken (siehe Offenlegungsschrift Absatz [0010]) kurze Leitungsverbindungen erzielt werden.

Diese Argumente vermögen nicht zu einer anderen Beurteilung zu führen:

Denn auch im Innern eines Demultiplexer-Bausteins liegen die zu schaltenden Signale parallel an allen Transfer-Gattern an, vgl. D3 Seite 2 „logic diagram“; inso- weit besteht zwischen der Anmeldung und der Schaltung nach D2 kein Unter- schied. Dass das „Aufladen“ von Leitungen oder Gattern ein Problem darstellen könnte, ist im Übrigen in der gesamten Anmeldung nicht aufgeführt.

Außerdem haben diese Merkmale – soweit sie nicht ohnehin für den Fachmann nahe liegen – in der Formulierung der geltenden Patentansprüche keinen Nieder- schlag gefunden.

III.

Der Halbleiterspeicher nach Anspruch 1 und das Verfahren zum Laden einer Adresse nach Anspruch 4 sind somit nicht patentfähig und die genannten Ansprüche deshalb nicht gewährbar. Da über einen Antrag nur einheitlich ent- schieden werden kann, sind auch die Unteransprüche 2 und 3 nicht gewährbar.

Daher war die Beschwerde der Anmelderin gegen den Zurückweisungsbeschluss der Prüfungsstelle für Klasse G 11 C des Deutschen Patent- und Markenamts zu- rückzuweisen.

gez.

Unterschriften