



BUNDESPATENTGERICHT

17 W (pat) 106/04

(Aktenzeichen)

Verkündet am
11. Januar 2007

...

BESCHLUSS

In der Beschwerdesache

betreffend die Patentanmeldung 102 60 334.0-55

...

hat der 17. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 11. Januar 2007 unter Mitwirkung ...

beschlossen:

Auf die Beschwerde der Anmelderin wird der Beschluss der Prüfungsstelle für Klasse G 11 C des Deutschen Patent- und Markenamts vom 28. Juli 2004 aufgehoben und das Patent erteilt.

Der Erteilung liegen folgende Unterlagen zugrunde:

Patentansprüche 1- 15, 19 Seiten Beschreibung und 5 Blatt Zeichnungen mit Figuren 1- 5 und 6 A – F, jeweils überreicht in der mündlichen Verhandlung, sowie 2 Seiten Bezugszeichenliste vom Anmeldetag.

Die Rückzahlung der Beschwerdegebühr wird angeordnet.

Gründe

I.

Die vorliegende Patentanmeldung ist am 20. Dezember 2002 beim Deutschen Patent- und Markenamt eingereicht worden unter der Bezeichnung:

„Fin-Feldeffekttransistor-Speicherzelle, Fin-Feldeffekttransistor-Speicherzellen-Anordnung und Verfahren zum Herstellen einer Fin-Feldeffekttransistor-Speicherzelle“.

Sie wurde durch Beschluss der Prüfungsstelle für Klasse G 11 C des Deutschen Patent- und Markenamts vom 28. Juli 2004 mit der Begründung zurückgewiesen, dass anerkannte Fachleute der anspruchsgemäß einzusetzenden Fin-Feldeffekttransistor- (FinFET-) Technik zum Anmeldezeitpunkt die gewerbliche Reife abgesprochen hätten; da der Hauptanspruch die wesentlichen Merkmale (Dimensionie-

rung, Strukturierung, Dotierung, Prozessbedingungen) für die Ausführung von Fin-FETs nicht enthalte, sei keine klare technische Lehre gegeben bzw. keine in ihrem technischen Aspekt vollständige Problemlösung, die der Entwickler ohne weiteres im gesamten Schutzbereich realisieren könne.

Gegen diesen Beschluss ist die Beschwerde der Anmelderin gerichtet.

In ihrer Beschwerdebegründung führt sie aus, dass der geltende Hauptanspruch ihrer Auffassung nach alle wesentlichen Merkmale enthalte (PatV § 9 Abs. 4) und die Beschreibung dem Fachmann eine deutliche und klare Vorstellung gebe, wie er bei der Herstellung des beanspruchten Gegenstandes vorzugehen habe (PatG § 34 Abs. 4). Ferner sei der Gegenstand des Hauptanspruchs neu und am Anmeldetag für den Fachmann nicht naheliegend gewesen, beruhe daher auf erfindertätiger Tätigkeit. Dies gelte ebenso für die nebengeordneten Ansprüche 9 und 15.

Sie beantragt:

den angefochtenen Beschluss aufzuheben und das nachgesuchte Patent mit folgenden Unterlagen zu erteilen:

Patentansprüche 1 – 15, 19 Seiten Beschreibung sowie 5 Blatt Zeichnungen mit Figuren 1 – 5 und 6 A – F, jeweils überreicht in der mündlichen Verhandlung, und 2 Seiten Bezugszeichenliste vom Anmeldetag,

die Beschwerdegebühr zurückzuzahlen.

Ihren Antrag auf Rückzahlung der Beschwerdegebühr begründet sie damit, dass der Zurückweisungsbeschluss auf einer offensichtlich fehlerhaften Auslegung der rechtlichen Bestimmungen (nämlich der fehlerhaften Schlussfolgerung, welche

Merkmale in einem Patentanspruch 1 anzugeben sind) beruhe, und zudem ohne Not eine hilfsweise beantragte mündliche Anhörung versagt worden sei.

Anspruch 1 und die nebengeordneten Ansprüche 9 und 15 lauten:

„1. Fin-Feldeffekttransistor-Speicherzelle (200),
mit einem ersten (201) und einem zweiten Source-/Drain-Bereich (202);

mit einer den Kanal-Bereich aufweisenden Halbleiter-Finne (204) zwischen dem ersten (201) und dem zweiten Source-/Drain-Bereich (202);

mit einem Gate-Bereich (203), der über der Halbleiter-Finne (204) gebildet ist;

mit einer Ladungsspeicherschicht (207, 208), die zumindest teilweise auf dem Gate-Bereich (203) angeordnet ist;

mit einem Wortleitungs-Bereich (205, 206) auf zumindest einem Teil der Ladungsspeicherschicht (207, 208);

wobei die Ladungsspeicherschicht (207, 208) eine Ladungsfängerschicht aufweist; und

wobei die Ladungsspeicherschicht (207, 208) derart eingerichtet ist, dass mittels Anlegens vorgegebbarer elektrischer Potentiale an den ersten (201) und den zweiten (202) Source-/Drain-Bereich, an den Gate-Bereich (203) und an den Wortleitungs-Bereich (205, 206) in die Ladungsspeicherschicht (207, 208) elektrische Ladungsträger Source-/Drain-

seitig selektiv einbringbar oder daraus entfernbar sind, womit die elektrische Leitfähigkeit des Kanal-Bereichs veränderbar ist.

9. Fin-Feldeffekttransistor-Speicherzellen-Anordnung (300) mit einer Mehrzahl von Fin-Feldeffekttransistor-Speicherzellen (200, 301, 302, 303) nach einem der Ansprüche 1 bis 8.

15. Verfahren zum Herstellen einer Fin-Feldeffekttransistor-Speicherzelle (200), bei dem

ein erster (201) und ein zweiter (202) Source-/Drain-Bereich gebildet werden;

eine einen Kanal-Bereich aufweisende Halbleiter-Finne (204) zwischen dem ersten (201) und dem zweiten (202) Source-/Drain-Bereich gebildet wird;

ein Gate-Bereich (203) über der Halbleiter-Finne (204) gebildet wird;

eine Ladungsspeicherschicht (207, 208) gebildet wird, die zumindest teilweise auf dem Gate-Bereich (203) angeordnet wird;

ein Wortleitungs-Bereich (205, 206) auf zumindest einem Teil der Ladungsspeicherschicht (207, 208) gebildet wird;

die Ladungsspeicherschicht (207, 208) so gebildet wird, dass sie eine Ladungsfängerschicht aufweist;

die Ladungsspeicherschicht (207, 208) derart eingerichtet wird, dass mittels Anlegens vorgegebbarer elektrischer Potentiale an den ersten (201) und den zweiten (202) Source-/Drain-Bereich, an den Gate-Bereich (203) und an den Wortleitungs-Bereich (205, 206) in die Ladungsspeicherschicht (207, 208) elektrische Ladungsträger Source-/Drain-seitig selektiv einbringbar oder daraus entfernbar sind, womit die elektrische Leitfähigkeit des Kanal-Bereichs veränderbar ist.“

Ihnen soll die **Aufgabe** zugrundeliegen, eine Speicherzelle, eine Speicherzellen-Anordnung und ein Verfahren zum Herstellen einer Speicherzelle anzugeben, bei denen eine leistungsarme Programmierung, eine hohe Speicherdichte und eine gute Skalierbarkeit realisiert sind (siehe Beschreibung Seite 3 Absatz 3).

Bezüglich der Unteransprüche 2 bis 8 und 10 bis 14 sowie der weiteren Unterlagen wird auf die Akte verwiesen.

Von der Prüfungsstelle wurden folgende Druckschriften ins Verfahren eingeführt:

- D1** EITAN, B. et al.: NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell. In: IEEE Electron Device Letters, Vol. 21 No. 11, November 2000, S. 543 – 545
- D2** TOMIYE, H. et al.: A novel 2 bit/cell MONOS memory device with a wrapped-control-gate structure that applies source-side hot-electron injection. In: 2002 Symposium on VLSI Technology Digest of Technical Papers, S. 206 – 207
- D3** HERGENROTHER, J.M. et al.: The Vertical Replacement-Gate (VRG) MOSFET: A 50-nm Vertical MOSFET with Lito-

graphy-Independent Gate Length. In: IEDM Technical Digest, Dezember 1999, S. 75 – 78

- D4** HERGENROTHER, J.M. et al.: 50 nm Vertical Replacement-Gate (VRG) nMOSFETs with ALD HfO₂ and Al₂O₃ Gate Dielectrics. In: IEDM Technical Digest, Dezember 2001 3.1.1. - 3.1.4.
- D5** WONG, H.-S. P. et al.: Nanoscale CMOS. In: Proceedings of the IEEE, Vol. 87 No. 4, April 1999, S. 537 – 570
- D6** WONG, H.-S. P.: Beyond the conventional transistor. In: IBM J. Res.&Dev., Vol. 46 No. 2/3, März/Mai 2002, S. 133 – 168
- D7** HISAMOTO, D. et al.: A Fully Depleted Lean-Channel Transistor (DELTA) -- A novel vertical ultra thin SOI MOSFET -- . In: IEDM Technical Digest, Dezember 1989, S. 833 – 836
- D8** HISAMOTO, D. et al.: A New Stacked Cell Structure for Giga-Bit DRAMS. In: IEDM Technical Digest, Dezember 1991, S. 959 – 961
- D9** XIONG, S.; BOKOR, J.: Sensitivity of Double-Gate and FinFET Devices to Process Variations. In: IEEE Trans. on Electron Devices, Vol. 50 No. 11, November 2003, S. 2255 - 2261
- D10** HUANG, X. et al.: Sub-50 nm P-Channel FinFET. In: IEEE Trans. on Electron Devices, Vol. 48 No. 5, Mai 2001, S. 880 – 886

- D11** SCHULZ, T. et al.: 50-nm Vertical Sidewall Transistors With High Channel Doping Concentrations. In: IEDM Technical Digest, Dezember 2000, S. 61 – 64
- D12** SCHULZ, T. et al.: Short-Channel Vertical Sidewall MOS-FETs. In: IEEE Trans. on Electron Devices, Vol. 48 No. 8, August 2001, S. 1783 – 1788
- D13** US 5 773 331 A
- D14** US 6 413 802 B1
- D15** HAYASHI, Y. et al.: Twin MONOS Cell with Dual Control Gates. In: 2000 Symposium on VLSI Technology Digest of Technical Papers, Juni 2000, S. 122 – 123
- D16** YUEN, K.H. et al.: A 2-Bit MONOS Nonvolatile Memory Cell Based on Asymmetric Double Gate MOSFET Structure. In: IEEE Electron Device Letters, Vol. 24 No. 8, August 2003, S. 518 – 520
- D17** US 2003 / 178 670 A1

Der Senat hat noch folgende Druckschriften benannt:

- D18** SINGER, Peter: Transistors With Fins Provide Double-Gate Control. In: Semiconductor International, Nov. 2002, **zitiert aus** <http://www.reed-electronics.com/semiconductor/article/CA254457> (recherchiert am 14. November 2006)

D19 AMD Details Groundbreaking Research in New Transistor and Memory Cell Structures. In: Business Wire, 9. Dezember .2002, **zitiert** **aus** http://www.findarticles.com/p/articles/mi_m0EIN/is_2002_Dec_9/ai_95094702 (recherchiert am 4. November 2006)

Die Anmelderin legte in der mündlichen Verhandlung folgende Druckschrift vor:

D20 Specht, M. et al.: Novel Dual Bit Tri-Gate Charge Trapping Memory Devices. In: IEEE Electron Device Letters, Vol. 25 No. 12, Dezember 2004, S. 810 – 812

II.

Die Beschwerde ist frist- und formgerecht eingereicht. Sie hat auch Erfolg, da das nunmehrige Patentbegehren durch den im Verfahren zitierten Stand der Technik nicht nahegelegt ist und auch sonst die Kriterien zur Patenterteilung erfüllt (PatG §§ 1 bis 5, § 34).

1. Die Anmeldung betrifft eine Halbleiter-Speicherzelle auf Basis eines Fin-Feldeffekttransistors. Ausgehend von dem vorbekannten FinFET wird eine Halbleiterstruktur angegeben, die als Speicherzelle geeignet und dabei kompakt und gut skalierbar ist und leistungsarm programmiert werden kann. Dies wird insbesondere erreicht durch eine Ladungsfängerschicht zwischen einem Gate- und einem davon i. d. R. elektrisch entkoppelten Wortleitungs-Bereich, welche die Leitfähigkeit eines mittels der Halbleiter-Finne des FinFETs realisierten Kanalbereichs signifikant beeinflusst. Weiterhin betrifft die Anmeldung eine Speicherzellenanordnung mit einer Mehrzahl solcher Speicherzellen, sowie ein Verfahren zum Herstellen einer solchen Speicherzelle.

Als **Fachmann** für den Entwurf derartiger Speicherzellenstrukturen ist ein Entwicklungsingenieur für Feldeffekttransistor-basierte Speicherzellen mit langjähriger Berufserfahrung anzusehen.

2. Der Erteilungsantrag liegt im Rahmen der ursprünglichen Offenbarung.

Der Hauptanspruch und der nebengeordnete Anspruch 15 wurden um Bezugszeichen ergänzt und ferner konkretisiert, wobei die Änderungen insbesondere den Figuren 2 und 6 sowie der zugehörigen Beschreibung ohne weiteres entnehmbar sind; das zusätzliche Merkmal „Ladungsfängerschicht“ ist aus der ursprünglichen Beschreibungsseite 18 Zeile 9 („Trapping Layer der ONO-Schichtenfolge“) abgeleitet. Die geltenden Patentansprüche 2 bis 14 wurden lediglich um Bezugszeichen ergänzt, ansonsten stimmen sie mit den ursprünglichen Ansprüchen überein. Eine Erweiterung besteht daher nicht.

3. Die im Zurückweisungsbeschluss geltend gemachten Mängel rechtfertigen die Zurückweisung der Anmeldung nicht. Der Zurückweisungsbeschluss lässt nicht klar erkennen, auf welchen der in § 48 PatG in Bezug genommenen gesetzlichen Gründe für eine Zurückweisung er sich abstützt:

3.1 So wird im Zurückweisungsbeschluss festgestellt, der FinFET-Technik habe am Anmeldetag noch die „gewerbliche Reife“ gefehlt (unter Bezugnahme auf BVerfG 1 BvR 37/63: „unreife Erfindung“ wegen „mangelnder gewerblicher Verwertbarkeit“). An anderer Stelle wird bemängelt, eine „... vollständige Problemlösung, welche der Entwickler ohne weiteres im gesamten Schutzbereich realisieren kann“, sei auch unter Heranziehen der Beschreibung nicht erkennbar.

Weiterhin wird im Beschluss ausgeführt, dass für die Ausführung von FinFETs die Dimensionierung, Strukturierung, Dotierung und die Prozessbedingungen wesentlich seien. Die Anmeldung (insbesondere Seite 7 / 8) enthalte hierzu nur beispielhaft angegebene Parameter, die nichts festlegten. Die angegebenen Werteberei-

che seien gemäß den Druckschriften **D1** bis **D4** kritisch, und konkrete Angaben über die Dimensionierung der Finne fehlten gänzlich. Insgesamt scheint hier „fehlende Ausführbarkeit“ als Verstoß gegen § 34 Abs. 4 PatG gemeint zu sein.

Dabei wird verkannt, dass die Anmelderin nicht die Herstellung eines FinFETs beansprucht, sondern die Schichtenfolge, mit der eine Speicherzelle erhalten wird. Zwar mögen anerkannte Fachleute die Herstellung von FinFETs am Anmeldetag zu Recht für schwierig gehalten haben. Andererseits hatten die Firmen A... und B... kurz vor dem Anmeldetag solche Transistoren und eine damit aufgebaute SRAM-Speicherzelle vorgestellt, siehe **D18** und **D19**. Auch wenn es sich dabei nur um einzelne Labormuster gehandelt haben könnte, so war der Fertigungsprozess dem auf diesem Gebiet tätigen Fachmann dennoch im Prinzip vertraut. Dass möglicherweise nur bestimmte Parameterkombinationen gut funktionierende Speicherzellen ergeben, steht der Ausführbarkeit der beanspruchten Lehre (Schichtenfolge) nicht entgegen, vgl. Schulte, PatG, 7. Auflage (2005), § 34 Rdn. 364 – 376 m. w. N., z. B. BGH BIPMZ 91, 68 „Polyesterfäden“ insbesondere 3 d). Eine vollständige Marktreife ist keineswegs erforderlich, vgl. BGH GRUR 1999, 920 „Flächenschleifmaschine“.

Sonach ist die vorliegende Erfindung in der Anmeldung so deutlich und vollständig offenbart, dass ein Fachmann sie ausführen kann, und genügt damit § 34 Abs. 4 PatG.

3.2 Der Zurückweisungsbeschluss stellt andernteils darauf ab, dass die für die Ausführung von FinFETs wesentlichen Parameter nicht im Patentanspruch 1 enthalten seien; im ersten Patentanspruch müssten aber die wesentlichen Merkmale der Erfindung angegeben werden (PatV § 9 Abs. 4, bis 1. September 2003 PatAnmV § 4 Abs. 4). Dies wird im Beschluss gleichgesetzt mit fehlender „klarer technischer Lehre“ des Hauptanspruchs (vgl. dort Seite 5 Abs. 3).

Nach § 34 Abs. 3 Nr. 3 PatG muss die Anmeldung einen oder mehrere Ansprüche enthalten, in denen anzugeben ist, was als patentfähig unter Schutz gestellt werden soll. Nach § 14 PatG wird der Schutzbereich des (erteilten) Patents und der Patentanmeldung durch den Inhalt der Patentansprüche bestimmt und stellt die maßgebliche Grundlage für die Bestimmung des Schutzbereichs dar (vgl. BGH GRUR 1998, 1002, 1004 „Leuchtstoff“). Im Erteilungsverfahren ist daher für Patentansprüche zu sorgen, die die unter Schutz gestellte Erfindung klar und deutlich umschreiben (vgl. BGH in BGHZ 103, 261 Abschnitt V „Düngerstreuer“).

Insoweit ist das in § 9 PatV genannte Erfordernis, dass im Hauptanspruch die wesentlichen Merkmale der Erfindung anzugeben sind, zu verstehen als Anforderung an die sachgerechte Definition des Schutzbereichs. Dieser muss, ggf. unter Auslegung mittels der Beschreibung, so klar und eindeutig definiert sein, dass er „für Außenstehende hinreichend sicher vorhersehbar ist“ (vgl. BGH BIPMZ 90, 240 „Batteriekastenschnur“).

Im vorliegenden Fall sind die als fehlend bemängelten Parameter nicht Bestandteil der eigentlich beanspruchten Lehre, d. h. des Speicherzellenaufbaus als Schichtenfolge, sondern betreffen (nur) die zugrundeliegende Technologie der Feldeffekttransistor-Herstellung, die jedoch nicht beansprucht ist und im Übrigen auch vorbekannt war (s. o. 3.1). Die beanspruchte Lehre hingegen vermittelt auch ohne diese Parameter im ersten Patentanspruch einen klar definierten Schutzbereich.

Die möglicherweise von der Prüfungsstelle gemeinte „unangemessene Anspruchsbreite“ ist keine Frage der Zulässigkeit des Anspruchs oder der Klarheit, sondern der Neuheit und der erfinderischen Tätigkeit (siehe BPatG BIPMZ 2004, 63 „Frühestmöglicher Auslösezeitpunkt“).

Soweit zusammenfassend können die von der Prüfungsstelle angegebenen Gründe den Zurückweisungsbeschluss nicht tragen.

4. Der jeweilige Gegenstand der nunmehr geltenden nebengeordneten Patentansprüche 1, 9 und 15 ist durch die im Verfahren befindlichen Druckschriften **D1** bis **D20** (s. o.) nicht vorbekannt oder nahegelegt. Dabei sind die Dokumente **D9**, **D16**, **D17** und **D20** nachveröffentlicht – sie wurden aus anderen Gründen benannt - und zur Beurteilung dieser Frage nicht heranzuziehen.

Als nächstliegend wird **D5** insbesondere Figur 23 und zugehörige Beschreibung angesehen. Diese Druckschrift zeigt auch nach Auffassung der Anmelderin eine Fin-Feldeffekttransistor-Speicherzelle, wobei ein Floating Gate-Bereich aus Silizium als Ladungsspeicherschicht auf der oberen Oberfläche der Finne ausgebildet ist. Die Seitenflächen der Finne sind dabei nicht von dem Floating Gate-Bereich bedeckt. Eine Ladungsfängerschicht („charge trapping“) ist nicht vorgesehen. Die Struktur ist zum Erzielen einer hohen Speicherdichte wenig geeignet.

Kein anderes Dokument zeigt Fin-Feldeffekttransistor-Speicherzellen. Der Aufbau von FinFETs „an sich“ ist in **D6** oder **D14** erläutert, jedoch ohne auf Abwandlungen für den Einsatz als Speicherzelle einzugehen.

D1 und **D2** sind in der Anmeldung bereits abgehandelt. **D1** betrifft eine Feldeffekttransistor-Speicherzelle nach einem als NROM bezeichneten Aufbauprinzip. In einer Ebene („planar“) ist über einem Gate-Bereich eine ONO- (Oxid-Nitrid-Oxid-) Ladungsspeicherschicht angeordnet, darüber ein Wortleitungsbereich. Das Einbringen der Ladungsträger („Programmieren“) erfolgt mittels CHE („channel hot electron injection“) und das Entfernen („Löschen“) mittels „tunnel enhanced hot hole injection“. Es sind zwei Speicherbereiche pro Transistor vorgesehen. In der Ladungsspeicherschicht lassen sich eingebrachte Elektronen in der Nitrid-Schicht zwischen den zwei Oxid-Schichten einfangen (Ladungsfängerschicht, „charge trapping“). Der wesentliche Unterschied zur Anmeldung liegt darin, dass der beschriebene Feldeffekttransistor nicht nach dem FinFET-Prinzip aufgebaut ist, sondern planar.

D2 betrifft eine Feldeffekttransistor-Speicherzelle nach einem als MONOS bezeichneten Aufbauprinzip, das ähnlich **D1** ebenfalls von der Grundstruktur her planar ist. Zwar ist der Gate-Bereich als Erhebung über dem Kanalbereich angeordnet, letzterer befindet sich jedoch in der Grundebene auf dem Substrat, ohne dass die Vorteile einer den Kanalbereich aufweisenden Erhebung (Finne) zur Geltung kämen.

Die übrigen Druckschriften – soweit sie nicht nachveröffentlicht sind, s. o. - liegen deutlich weiter ab. Sie betreffen ähnliche Speicherzellenaufbauten oder andere Transistorstrukturen, die aber keine konkrete Anregung in Richtung auf die beanspruchte FinFET-Speicherzelle liefern können.

Der Gegenstand des Hauptanspruchs ist somit neu, da er im vorliegenden Stand der Technik nicht vorbeschrieben ist.

Er beruht auch auf erfinderischer Tätigkeit. Denn die zitierten Druckschriften geben keine Anregung, eine Speicherzelle auf Basis eines FinFETs (Vertikal-FETs) mit einer Ladungsfängerschicht zwischen einem Gate- und einem (davon i. d. R. elektrisch entkoppelten) Wortleitungs-Bereich aufzubauen, wobei – wie der Fachmann erkennt - die Ladungsfängerschicht die Leitfähigkeit eines mittels der Halbleiter-Finne des FinFETs realisierten Kanalbereichs signifikant beeinflussen kann. Wie die Anmelderin in der mündlichen Verhandlung überzeugend vortrug, fehlte es – auch wenn die FinFET-Struktur selbst beispielsweise in **D6** oder **D19** als vielversprechend und besonders geeignet für hohe Anordnungsdichte und Skalierbarkeit beschrieben wird - dennoch an konkreten Anregungen für die beanspruchte Anordnung, insbesondere für das Vorsehen einer Ladungsfängerschicht bei FinFETs.

Die gewerbliche Anwendbarkeit einer solchen Speicherzelle mit hoher Speicherdichte ist für den Fachmann evident.

Entsprechendes gilt für den formal nebengeordneten, auf Anspruch 1 zurückbezogenen Anspruch 9 und das Verfahren nach Anspruch 15, das inhaltlich nicht über das hinausgeht, was bereits die Vorrichtung nach Anspruch 1 vermittelt.

Folglich sind die Patentansprüche 1, 9 und 15 gewährbar.

Die Unteransprüche 2 bis 8 und 10 bis 14 beinhalten zweckmäßige, nicht selbstverständliche Ausgestaltungen der Erfindung und sind in Verbindung mit Anspruch 1 bzw. Anspruch 9 ebenfalls gewährbar.

III.

Die Rückzahlung der Beschwerdegebühr war gemäß § 80 Abs. 3 PatG anzuordnen. Danach ist die Beschwerdegebühr zurückzuzahlen, wenn dies der Billigkeit entspricht. Maßgebend dafür sind alle Umstände des Falles. Die Billigkeit der Rückzahlung kann sich danach aus der Sachbehandlung durch das Deutsche Patent- und Markenamt ergeben (vgl. Benkard, a. a. O., § 80 Rdnr. 21; Schulte, a. a. O., § 80 Rdnr. 66 ff.), wenn diese für die Erhebung der Beschwerde ursächlich war. Ursächlich in diesem Sinne ist ein Verstoß, wenn aus der Sicht eines verständigen Beschwerdeführers nicht auszuschließen ist, dass die Entscheidung ohne den Fehler anders ausgefallen wäre und er deshalb die Beschwerde für notwendig halten durfte. Dies ist hier der Fall.

Die Sachbehandlung durch das Deutsche Patent- und Markenamt enthält zwei Verfahrensverstöße, von denen bereits jeder einzeln, jedenfalls aber in der Summe die Billigkeit der Rückzahlung der Beschwerdegebühr begründet. Die Prüfungsstelle hat einem Antrag auf Durchführung einer sachdienlichen Anhörung nicht stattgegeben und mit der Begründung des Zurückweisungsbeschlusses eine zusätzliche Verletzung des rechtlichen Gehörs der Anmelderin begangen.

Die Ablehnung der von der Anmelderin beantragten Anhörung stellt einen die Rückzahlung der Beschwerdegebühr rechtfertigenden Verfahrensverstoß dar, denn eine solche – wenigstens einmalige – Anhörung wäre sachdienlich gewesen. Sachdienlich ist eine Anhörung grundsätzlich in jedem Verfahren einmal (§ 46 Abs. 1 Satz 2 PatG). Sie ist immer sachdienlich, wenn sie das Verfahren fördern kann, insbesondere wenn sie eine schnellere und bessere Klärung als eine schriftliche Auseinandersetzung verspricht. Eine Ablehnung eines Antrags auf Anhörung kommt deshalb nur ausnahmsweise in Betracht, nämlich wenn triftige Gründe dafür vorliegen, weil z. B. die Anhörung zu einer überflüssigen Verfahrensverzögerung führen würde (Schulte, a. a. O., § 46 Rdnr. 9 f.). Bei der Nachprüfung der Sachdienlichkeit der Anhörung ist der Senat unter Ausschluss von Zweckmäßigkeitserwägungen beschränkt auf eine Rechtskontrolle (Benkard, a. a. O., § 46 Rdnr. 8; BPatGE 24, 44).

Im vorliegenden Fall ist aber der Beurteilungsspielraum des Prüfers überschritten worden, da die Ablehnung eines Antrags auf Anhörung rechtfertigende Gründe nicht ersichtlich sind. Allerdings hat die Anmelderin in ihrer Erwiderung auf den Prüfungsbescheid die dort genannten Beanstandungen nicht vollständig aufgegriffen. Dies hat sie in ihrem Schriftsatz vom 20. Juli 2004 sogar deutlich dargelegt, wenn sie ausführt, es sei ihr im Hinblick auf einen ausreichenden Schutzzumfang der grundlegenden Erfindung nicht zuzumuten, die erfundene technische Lehre, die sie ausführlich erläutert, auf spezielle Materialien oder Dimensionen einzuschränken. Daraus durfte die Prüfungsstelle jedoch nicht den Schluss ziehen, dass die von der Anmelderin gleichzeitig beantragte Anhörung nicht sachdienlich sei. Denn die Anmelderin hat in dem genannten Schriftsatz neue Patentansprüche vorgelegt und damit zu erkennen gegeben, dass sie zu Änderungen der Ansprüche, die eine Gewährbarkeit des nachgesuchten Patents hätten begründen können, bereit war. Das bisherige Verhalten der Anmelderin durfte die Prüfungsstelle also nicht ohne weiteres zu der Annahme verleiten, eine Annäherung der gegensätzlichen Standpunkte von Anmelderin und Prüfungsstelle sei nicht zu erwarten und eine Anhörung verzögere das Verfahren lediglich. Sonstige

Anhaltspunkte, die die Annahme einer unnötigen Verfahrensverzögerung rechtfertigen würden, sind nicht ersichtlich. Vielmehr konnte die Anmelderin sowohl nach ihrem schriftsätzlichen Vortrag als auch nach ihrem Antrag auf Durchführung einer Anhörung davon ausgehen, vor einer Zurückweisung ihrer Anmeldung noch Gelegenheit zu einer mündlichen Stellungnahme vor der Prüfungsstelle zu erhalten.

Die Prüfungsstelle hat mit der Begründung ihres Zurückweisungsbeschlusses zudem eine zusätzliche Verletzung des rechtlichen Gehörs der Anmelderin begangen. Der Grundsatz der Gewährung rechtlichen Gehörs beinhaltet, dass sich der Einzelne vor einer Entscheidung, die seine Rechte betrifft, zum Verfahren und seinem voraussichtlichen Ergebnis äußern kann. Dies beinhaltet, dass eine Entscheidung nur auf Gründen beruhen darf, zu denen sich der Beteiligte äußern konnte. Stützt sich die Begründung eines Beschlusses auf Mängel, zu denen sich der Beteiligte vorher nicht äußern konnte, liegt eine Verletzung des rechtlichen Gehörs vor. Ausfluss dieses Grundsatzes sind u. a. die Vorschriften der § 42 Abs. 3 Satz 2 PatG, § 45 Abs. 2 PatG und § 48 Satz 2 PatG (vgl. hierzu Schulte, a. a. O., § 48 Rdnr. 15 ff.). Die Anmelderin konnte sich im vorliegenden Verfahren aber nicht zu den Gründen, auf denen der Zurückweisungsbeschluss beruht, äußern.

Im Prüfungsbescheid hat die Prüfungsstelle ausgeführt, dass der nachgesuchte Patentanspruch 1 keine neue technische Realisierungsform kennzeichne und im Hinblick auf verschiedene teils vor-, teils nachveröffentlichte Dokumente keine ausreichend konkrete, neue und erfinderische Lehre zum technischen Handeln ersichtlich sei, da die notwendigen Dimensionierungen und Materialien nicht bzw. nicht hinreichend deutlich angegeben seien. Dieses Wissen sei aber für die Bestimmung von brauchbaren und unbrauchbaren Lösungen des unbestimmten Parameterraumes wichtig. Auch das Herstellungsverfahren für die Ladungsspeicherschicht mit den gewünschten Eigenschaften sei nicht beschrieben.

Dagegen stellt der angefochtene Beschluss u. a. darauf ab, dass der Anmeldung die „gewerbliche Reife“ fehle und (sinngemäß) dem Fachmann keine klare technische Lehre an die Hand gegeben sei; ferner müssten im ersten Patentanspruch die wesentlichen Merkmale angegeben sein, damit der Schutzbereich nicht auch solche Gegenstände umfasse, die der Allgemeinheit (noch) nicht zugänglich gemacht wurden. Zu diesen erst im Beschluss genannten Argumenten konnte die Anmelderin vor dessen Erlass keine Stellung nehmen. Dass die Anmelderin in ihrer Erwiderung auf den Prüfungsbescheid versucht hat, zu möglichen Zurückweisungsgründen sozusagen vorsorglich Stellung zu nehmen, macht die amtsseitige Verletzung rechtlichen Gehörs weder ungeschehen noch entschuldbar, sondern zeigt im Ergebnis lediglich die Missverständlichkeit und Vieldeutigkeit des Prüfungsbescheids für den Empfängerhorizont. Die Anmelderin konnte und musste nämlich bei aller Sorgfalt nicht vorausahnen, ob und inwieweit die im Beschluss aufgeführten Zurückweisungsgründe von denjenigen des Prüfungsbescheids abweichen würden.

Es ist auch nicht die Pflicht der Anmelderin, bei Stellung eines Antrags auf Anhörung gleichzeitig mit anzugeben, was in dieser Anhörung noch zu klären wäre (vgl. Zurückweisungsbeschluss Seite 6 Abs. 2 vorletzter Satz). Vielmehr wäre es die Pflicht der Prüfungsstelle gewesen, ihre neuen Argumente in einer Anhörung zu erörtern.

Schließlich lässt der angefochtene Beschluss eine klare Angabe des gesetzlichen Grundes für die Zurückweisung nicht erkennen, statt dessen werden Teilargumente zu unterschiedlichen Erfordernissen des Patentrechts (fehlende „gewerbliche Reife“, der erste Patentanspruch enthalte nicht „die wesentlichen Merkmale“, der Anreiz zur Innovation werde gehemmt und dem Gemeinwohl geschadet) miteinander vermengt.

Nach alledem war die Sachbehandlung der Anmeldung durch die Prüfungsstelle mangelbehaftet und ursächlich für die Beschwerdeerhebung, so dass die angeordnete Rückzahlung der Beschwerdegebühr der Billigkeit entspricht.

gez.

Unterschriften