



BUNDESPATENTGERICHT

23 W (pat) 47/04

(Aktenzeichen)

Verkündet am
16. Oktober 2007

...

BESCHLUSS

In der Beschwerdesache

...

betreffend die Patentanmeldung 101 22 976.3 - 33

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts in der mündlichen Verhandlung vom 16. Oktober 2007 unter Mitwirkung des Vorsitzenden Richters Dr. Tauchert sowie der Richter Knoll, Lokys und Brandt

beschlossen:

Die Beschwerde der Anmelderin wird zurückgewiesen.

Gründe

I.

Die vorliegende Patentanmeldung ist mit der Bezeichnung „Verfahren zum Ausbilden eines selbstjustierenden Kontakts und Herstellungsverfahren für eine Halbleitervorrichtung mit einem selbstjustierenden Kontakt“ am 11. Mai 2001 beim Deutschen Patent- und Markenamt eingereicht worden. Für diese Anmeldung wird die Priorität der Anmeldung KR 00-55483 vom 21. September 2000 beim koreanischen Patentamt in Anspruch genommen.

Mit Beschluss vom 16. Juni 2004 hat die Prüfungsstelle für Klasse H 01 L die Anmeldung zurückgewiesen. Zur Begründung hat sie dargelegt, dass sich der Gegenstand des damals geltenden Anspruchs 1 für den Fachmann in naheliegender Weise aus dem Stand der Technik ergebe. Dabei hat sie u. a. auf die Druckschriften

- (1) JP 2000 - 058 482 A mit zugehörigem Abstract und
- (4) Kohyama, Y.; Ozaki, T.; Yoshida, S. u. a.: A Fully Printable Self-aligned and Planarized Stacked Capacitor DRAM Cell Technology for 1Gbit DRAM and Beyond. In: 1997 Symposium on VLSI Technology Digest of Technical Papers, 1997, S. 17 - 18

verwiesen. Als Übersetzungshilfe zur japanischsprachigen Druckschrift (1) hat sie das zu dieser Schrift gehörige nachveröffentlichte US-Familienmitglied gemäß der Druckschrift US 6 197 670 B1 in das Verfahren eingeführt.

Gegen diesen Zurückweisungsbeschluss richtet sich die Beschwerde der Anmelderin. Sie verfolgt ihr Schutzbegehren mit einem in der mündlichen Verhandlung

vom 16. Oktober 2007 vorgelegten neuen Patentanspruch 1 und den Patentansprüchen 2 bis 13, eingegangen am 10. Mai 2004, weiter und vertritt die Auffassung, dass der Gegenstand des nunmehr geltenden Anspruchs 1 gegenüber dem nachgewiesenen Stand der Technik patentfähig sei.

Die Anmelderin beantragt,

den Beschluss der Prüfungsstelle für Klasse H 01 L des Deutschen Patent- und Markenamts vom 16. Juni 2004 aufzuheben und das Patent mit folgenden Unterlagen zu erteilen:

- Patentanspruch 1, überreicht in der mündlichen Verhandlung vom 16. Oktober 2007,
- Patentansprüche 2 bis 13, eingegangen am 10. Mai 2004,
- ursprünglich eingereichte Beschreibungsseiten 1 bis 15 und
- ursprünglich eingereichte Zeichnung, Figuren 1 bis 14B.

Der geltende Patentanspruch 1 hat folgenden Wortlaut:

„Verfahren zum Ausbilden von selbstjustierten Kontakten, das die Schritte aufweist:

Ausbilden einer Vielzahl von Gates (610), die jeweils aus mehreren übereinander gestapelten Schichten (611, 612, 613) gebildet sind, in Form einer Serie von parallelen Streifen auf einem Halbleitersubstrat;

Ausbilden von Gateabstandshaltern (615) an den Seitenwänden der Gateschichtstapel (610);

Ausbilden von Leitungsschicht-Pads (720), die als eingebettete Kontakt-Pads zwischen den Gateabstandshaltern (615) dienen;

Ausbilden einer ersten Zwischenisolationsschicht (730) über den Leitungsschicht-Pads (720) und den Gateschichtstapeln (610);

Ausbilden von Bitleitungen (740), die jeweils aus mehreren übereinander gestapelten Schichten (741, 742, 743) gebildet sind, in Form einer Serie von parallelen Streifen, die relativ zu den Gateschichtstapeln (610) schräg verlaufen, auf der ersten Zwischenisolationsschicht (730);

Ausbilden von Bitleitungsabstandshaltern (750) auf den Seitenwänden der Bitleitungsschichtstapeln (740);

Ausbilden einer zweiten Zwischenisolationsschicht (760) auf der ersten Zwischenisolationsschicht (730) derart, dass die oberen Oberflächen der Bitleitungsschichtstapel (740) freigelegt sind;

Ausbilden eines Photolackschichtmusters (630) auf der zweiten Zwischenisolationsschicht (760) in Form von lateral beabstandeten einzelnen Streifen aus Photolack, die sich parallel zu den Gateschichtstapeln (610) erstrecken und die Teile der Gateschichtstapel (610) mit ihren Längsrandabschnitten so überlappen, dass das Photolackschichtmuster (630) Segmente der Bitleitungsschichtstapel (740) freilegt und Abschnitte der zweiten Zwischenisolationsschicht (760), die direkt über den jeweiligen der Leitungsschicht-Pads (720) liegen, quer zur Längsrichtung der Gateschichtstapel (610) freilegt;

Ätzen der zweiten Zwischenisolationsschicht (760) und der ersten Zwischenisolationsschicht (730) unter Verwendung des Photolackschichtmusters (630), der Bitleitungsschichtstapel (740) und der Bitleitungsabstandshalter (750) als Ätzmaske, um Kontaktöff-

nungen (770) auszubilden, die die Leitungsschicht-Pads (720) freilegen,

wobei die einzelnen Streifen aus Fotolack als Ätzmasken in Kombination mit den Bitleitungsschichtstapeln (740) beim Ätzvorgang gleichzeitig zur Ausbildung von Einzelkontaktöffnungen wirksam sind; und

Füllen der Kontaktöffnungen (770) mit einem leitenden Material zum Ausbilden von leitenden Plugs, die die Leitungsschicht-Pads (720) kontaktieren.“

Zu den geltenden Patentansprüchen 2 bis 13 und weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

II.

Die zulässige Beschwerde der Anmelderin ist nicht begründet, denn der Gegenstand des geltenden Anspruchs 1 erweist sich nach dem Ergebnis der mündlichen Verhandlung als nicht patentfähig. Bei dieser Sachlage kann die Zulässigkeit der geltenden Ansprüche dahingestellt bleiben (vgl. BGH GRUR 1991, 120, 121, Abschnitt II.1. - „Elastische Bandage“).

1. Die vorliegende Anmeldung betrifft gemäß der Beschreibungseinleitung ein Verfahren zum Ausbilden von selbstjustierten Kontakten. Die Herstellung höchst-integrierter Schaltkreise wie beispielsweise dynamischer Speicherbausteine (DRAM) mit ihren extrem geringen Strukturbreiten und -abständen erfordert höchste Justagegenauigkeit der einzelnen Maskenebenen relativ zu den bereits auf dem Wafer erzeugten Strukturen. Bereits geringe Fehljustagen können dazu führen, dass das hergestellte Bauelement nicht funktionstüchtig ist. Die Anmelderin erläutert derartige Probleme in der Beschreibungseinleitung der vorliegenden

Anmeldung anhand der Fig. 1 bis 5 und dem zugehörigen Text im Hinblick auf ein Verfahren zur Herstellung selbstjustierter Kontakte, bei dem zum Anschluss sogenannter eingebetteter Kontakte in ein Isolationsoxid Kontaktlöcher eingeätzt werden müssen, die nur eine geringe Fläche, aber eine hohe Tiefe, also ein ungünstiges Aspektverhältnis aufweisen. Dieses Aspektverhältnis wirkt sich beim Ätzvorgang insofern negativ aus, als sich beim Ätzen als Nebenprodukt entstehende Polymere in dem engen und tiefen Kontaktloch ablagern und den Ätzvorgang blockieren oder sogar zum Erliegen bringen, so dass das Kontaktloch nicht bis auf den Boden freigelegt wird. Modifiziert man als Gegenmaßnahme hierzu den Ätzprozess so, dass die Polymerablagerung verhindert wird, so sinkt unerwünschterweise die Selektivität des Ätzangriffs, also das Verhältnis zwischen der Ätzwirkung auf die zu entfernende Schicht und der Ätzwirkung auf die Maskenschicht. Bei geringer Fehljustierung der Kontaktloch-Maskenebene relativ zu den Bitlinestrukturen kann dies dazu führen, dass beim Ätzen des Kontaktlochs nicht nur das Isolationsoxid, sondern auch der seitlich neben dem Kontaktloch angeordnete Nitridspacer der Bitline-Leitung entfernt wird, so dass das leitfähige Material dieser Leitung seitlich freigelegt wird. Beim Auffüllen eines derartigen Kontaktlochs mit leitfähigem Material kommt es dann zu einem Kurzschluss zwischen dem Kontaktmaterial bzw. dem mit diesem kontaktierten Substratbereich und der Bitleitung, wie es in Fig. 5 der Anmeldung in dem mit „A“ bezeichneten Bereich gezeigt wird. Die entsprechende Speicherzellenanordnung ist damit von vorneherein funktionsuntüchtig.

Vor diesem Hintergrund liegt dem Anmeldungsgegenstand die Aufgabe zugrunde, ein Verfahren zum Ausbilden eines selbstjustierten Kontaktes anzugeben, mit dem derartige Probleme vermieden werden können. Zudem soll auch eine Halbleitervorrichtung geschaffen werden, bei der die vorgenannten Probleme nicht auftreten, vgl. die ursprünglichen Anmeldeunterlagen, S. 4, Zeilen 23 bis 27 und S. 6, Zeilen 11 bis 13.

Das Verfahren nach Anspruch 1 löst dieses Problem dadurch, dass als Ätzmaske beim Ätzen der Kontaktlöcher in Kombination sowohl ein Photolackschichtmuster als auch freigelegte Segmente der Bitleitungstapel genutzt werden, wobei beide Maskenstrukturen gleichzeitig wirksam sind. Hierzu ist das Photolackschichtmuster als Muster aus einzelnen Photolackstreifen ausgebildet, die Teile der vorher hergestellten Gateschichtstapel mit ihren Längsrandabschnitten insoweit überlappen, dass das Photolackschichtmuster Segmente der ebenfalls vorher hergestellten Bitleitungsschichtstapel und Abschnitte der zweiten Zwischenisolationsschicht, die über den jeweilig anzuschließenden Leitungsschicht-Pads liegen, quer zur Längsrichtung der Gateschichtstapel freilegt. Die Bitleitungstapel-Strukturen bilden dabei eine selbstjustierte Ätzmaske für das Kontaktlochätzen.

Die Vorteile dieser Anordnung bestehen einerseits darin, dass die Anordnung der Photolackstreifen winklig zur Bitleitungsstruktur hinsichtlich der Justagegenauigkeit unkritisch ist, denn bei winkliger Anordnung der Photolackstreifen kommt es im Gegensatz zur parallelen Anordnung nicht auf äußerst genaue Justierung relativ zu den Bitline-Streifen an. Andererseits wird die für das Kontaktloch-Ätzen wirksame Maskenöffnung im Photolack gegenüber herkömmlichen Prozessen vergrößert, denn die Maskenfunktion wird zum Teil von den Bitlinestreifen zu beiden Seiten der zu ätzenden Öffnung übernommen. Damit ist die durch Photolack definierte Öffnung bei nach wie vor geringer Kontaktlochfläche insgesamt größer als bei herkömmlichen Strukturen, so dass das Problem der Polymerabscheidung im Kontaktloch verringert wird. Dies wiederum gestattet es, zum Ätzprozess mit höherer Selektivität zurückzukehren, so dass die Gefahr des Anätzens des Nitridspacers vermindert wird.

2. Das Verfahren nach dem geltenden Anspruch 1 ergibt sich für den Fachmann, der hier als ein berufserfahrener, mit der Entwicklung von höchstintegrierten Halbleiterschaltungen und zugehörigen Herstellungsverfahren betrauter Diplom-Physiker oder Diplom-Ingenieur der Fachrichtung Elektrotechnik jeweils mit Hoch-

schulabschluss zu definieren ist, in naheliegender Weise aus dem Stand der Technik.

Wie ein Vergleich der von der Prüfungsstelle als Übersetzungshilfe zur japanischen Offenlegungsschrift gemäß Entgegenhaltung (1) eingeführten nachveröffentlichten US 6 197 670 B1 mit der vom japanischen Patentamt im Internet zur Verfügung gestellten Computerübersetzung ergeben hat, entspricht die US-Schrift inhaltlich der Computerübersetzung der japanischen Druckschrift und damit der japanischen Offenlegungsschrift gemäß (1). Im Folgenden wird daher auf die Zitatstellen in der US 6 197 670 B1 verwiesen, die zur Vermeidung von Wiederholungen als Druckschrift (1*) bezeichnet wird.

Die Druckschrift (1) offenbart bereits ein Verfahren zum Ausbilden selbstjustierter Kontakte bei einer dynamischen Speicherzelle (DRAM), bei dem ein durch Justagefehler verursachter Kurzschluss zwischen dem Kontaktanschluss zur Speicherzelle und der Bitleitung verhindert werden soll, vgl. insoweit in (1*) insbesondere den Text in Sp. 1, Zeilen 5 bis 8 und in Sp. 2, Zeilen 43 bis 47.

Zum Ausbilden der selbstjustierten Kontakte sieht das Verfahren nach (1) bzw. (1*) folgende Schritte vor:

- Ausbilden einer Vielzahl von Gates, die jeweils aus mehreren übereinander gestapelten Schichten gebildet sind, in Form einer Serie von parallelen Streifen auf einem Halbleitersubstrat (100), vgl. in (1*) vor allem die Fig. 2A und 4 und die Textpassage in Sp. 4, Zeilen 10 bis 17;
- Ausbilden von Gateabstandshaltern an den Seitenwänden der Gate-schichtstapel, vgl. in (1*) die Fig. 4 und den Text in Sp. 4, Zeilen 18 bis 23;

- Ausbilden von Leitungsschicht-Pads (106, 106a), die als eingebettete Kontakt-Pads zwischen den Gateabstandshaltern dienen, vgl. in (1*) die Fig. 2A und 4 und den Text in Sp. 4, Zeilen 26 bis 37;
- Ausbilden einer ersten Zwischenisolationsschicht (108) über den Leitungsschicht-Pads (106, 106a) und den Gateschichtstapeln, vgl. in (1*) die Fig. 2A und den Text in Sp. 4, Zeilen 38 bis 41;
- Ausbilden von Bitleitungen (112), die jeweils aus mehreren übereinander gestapelten Schichten (110, 111) gebildet sind in Form einer Serie von parallelen Streifen, die relativ zu den Gateschichtstapeln schräg verlaufen, auf der ersten Zwischenisolationsschicht (108), vgl. in (1*) die Fig. 2B und den Text in Sp. 4, Zeilen 45 bis 56, wobei sich die schräge, ggfs. auch rechtwinklige Anordnung von Gate- und Bitleitungen relativ zueinander aus der Tatsache ergibt, dass gemäß der Figurenlegende die Fig. 2A bis 2F die Ansicht der Anordnung in der Richtung parallel zur Erstreckung der Wordline zeigen, während die Fig. 4 die Ansicht der Speicherzelle parallel zur Bitline-Richtung wiedergibt, vgl. in (1*) den Text in Sp. 3, Zeilen 45 bis 48 und 53 bis 55;
- Ausbilden von Bitleitungsabstandshaltern (114) auf den Seitenwänden der Bitleitungsschichtstapel (112), vgl. in (1*) die Fig. 2B und den Text in Sp. 4, Zeilen 56 bis 63;
- Ausbilden einer zweiten Zwischenisolationsschicht (116) auf der ersten Zwischenisolationsschicht (108), vgl. in (1*) die Fig. 2B und den Text in Sp. 4, Zeilen 64 und 65;
- Ausbilden eines Photolackschichtmusters (117) auf der zweiten Zwischenisolationsschicht (116) in Form von lateral beanstandeten einzelnen Streifen aus Photolack, die sich parallel zu den Gateschichtstapeln

erstrecken und die Teile der Gateschichtstapel mit ihren Längsrandabschnitten so überlappen, dass das Photolackschichtmuster Abschnitte der zweiten Zwischenisolationsschicht (116) über den Bitleitungsschichtstapeln (112) und direkt über den jeweiligen der Leitungsschicht-Pads (106) quer zur Längsrichtung der Gateschichtstapel freilegt, vgl. in (1*) die Fig. 2C und 4 und den entsprechenden Text in Sp. 4, Zeile 66 bis Sp. 5, Zeile 11, wobei die Fig. 4 den Aufbau des Photolackmusters aus einzelnen lateral beabstandeten Streifen parallel zu den Gateschichtstapeln zeigt;

- Ätzen der zweiten Zwischenisolationsschicht (116) und der ersten Zwischenisolationsschicht (108) unter Verwendung des Photolackschichtmusters (117), der Bitleitungsschichtstapel (112) und der Bitleitungsabstandshalter (114) als Ätzmaske, um Kontaktöffnungen auszubilden, die die Leitungsschicht-Pads (106) freilegen, wobei die einzelnen Streifen aus Photolack (117) in Kombination mit den Bitleitungsschichtstapeln (112) beim Ätzvorgang zur Ausbildung von Kontaktöffnungen, nämlich Einzel- oder Serienkontaktöffnungen wirksam sind, vgl. wiederum in (1*) den Text in Sp. 4, Zeile 66 bis Sp. 5, Zeile 11;
- Füllen der Kontaktöffnungen mit einem leitenden Material zum Ausbilden von leitenden Plugs (118), die die Leitungsschicht-Pads (106) kontaktieren, vgl. die Fig. 2D und den Text in Sp. 5, Zeilen 12 bis 18.

Im Unterschied zu dem aus Druckschrift (1) bekannten Verfahren wird bei dem Verfahren nach dem geltenden Anspruch 1 die zweite Zwischenisolationsschicht (760) derart ausgebildet, dass „die oberen Oberflächen der Bitleitungsschichtstapel (740) freigelegt sind“. Hierzu wird - wie allerdings nicht im Anspruch 1, sondern in der Beschreibung auf Seite 11, Zeilen 1 bis 11 angegeben wird - ein Planarisierungsschritt ausgeführt, bspw. in Form eines Rückätzens oder eines chemisch-mechanischen Polierens. Durch diese Maßnahme sollen gemäß

der Textstelle auf Seite 11, Zeilen 8 bis 11 Abweichungen in der Schichtdicke der zweiten Zwischenisolationsschicht während darauf folgender Verfahren minimiert werden.

Eine derartige Vorgehensweise ist zwar der Druckschrift (1) bzw. (1*) nicht zu entnehmen; die Fig. 2B und 2C zeigen vielmehr, dass das Niveau der Zwischenisolationsschicht (116) über dem der Bitleitungsstapel (112) liegt, so dass deren Oberflächen nach dem Ausbilden der zweiten Zwischenisolationsschicht nicht freiliegen.

Die Planarisierung der Zwischenoxidschicht bis auf die Oberfläche der Bitleitungsstapel stellt für den vorstehend definierten Fachmann jedoch eine fachübliche und naheliegende Maßnahme dar.

Bei der Herstellung der in Rede stehenden hochintegrierten Schaltungen müssen Schichtdickenabweichungen insbesondere bei Isolationsschichten vermieden werden, denn andernfalls besteht die Gefahr, dass beim Ätzen der in diese Schichten einzubringenden Kontaktlöcher Probleme auftreten, indem entweder die ungleichmäßig dicken Schichten nicht über den gesamten Wafer ordnungsgemäß durchgeätzt werden oder ein ordnungsgemäßes Durchätzen über die gesamte Waferfläche nur durch ein Überätzen (also einen zeitlich verlängerten Ätzprozess) erreicht wird. Letztes birgt aber durch den überlangen Ätzvorgang die Gefahr des Anätzens, also der Beschädigung der seitlichen Nitridabstandshalter der Bitleitungen und damit wiederum das Risiko des Kurzschlusses zwischen Bitleitung und Kontaktmaterial in sich, das - wie dargelegt - aber gerade vermieden werden soll. Schon angesichts dieses Sachverhalts liegt es für den Fachmann nahe, im Rahmen eines Planarisierungsvorgangs das Zwischenoxid bis auf die Oberflächen der Bitleitungsstapel zu entfernen, um für eine einheitliche und geringstnötige Dicke dieses Oxids zu sorgen.

Dementsprechend ist eine derartige Vorgehensweise auch aus dem Stand der Technik bekannt. Beispielhaft wird hierzu auf die Druckschrift (4) verwiesen, die sich ebenfalls mit einem Verfahren zur Herstellung höchstintegrierter (nämlich 1Gbit -) DRAM-Speicher unter Einsatz von Verfahrensschritten zur Herstellung selbstjustierter Kontakte befasst. Gemäß dem Text zu den Fig. 2a und 5b auf S. 17, li. Sp., vorletzter und letzter Absatz wird bei dem Verfahren nach (4) im Rahmen eines Chemisch-Mechanischen Polierens (CMP) eine Zwischenoxidschicht (BPSG bzw. SiO_2) planarisiert, bis die Siliziumnitrid (Si_3N_4)-Oberflächen der Gateleitungsstapel (Fig. 2a) bzw. der Bitleitungsstapel (Fig. 5b) eine einheitliche Oberfläche mit den sie umgebenden Oxidbereichen bilden, d. h. bis jeweils die Oberflächen der Gate- und der Bitleitungsstapel freiliegen.

Damit liegt es für den Fachmann nahe, bei dem Verfahren nach Druckschrift (1) die zweite Zwischenisolationsschicht durch Einfügen eines Planarisierungsschritts in den Verfahrensablauf so auszubilden, „*dass die oberen Oberflächen der Bitleitungsschichtstapel freigelegt sind*“, wie es in dem das Ausbilden der zweiten Zwischenisolationsschicht angehenden Teilmerkmal des geltenden Anspruchs 1 heißt.

Bei einem derart modifizierten, ansonsten aber völlig unverändertem Ablauf des in (1) offenbarten Verfahrens liegen nach dem Aufbringen des Photolackmusters ohne weiteres Zutun nicht nur Abschnitte der zweiten Zwischenisolationsschicht, die direkt über den jeweiligen der Leitungsschicht-Pads (106) liegen, sondern auch Segmente der Bitleitungsschichtstapel (112) frei, so dass die Photolackstreifen und die freigelegten Segmente der Bitleitungsschichtstapel beim folgenden Ätzvorgang in Kombination *gleichzeitig* zur Ausbildung von Einzelkontaktöffnungen wirksam sind.

Wie sich aus den vorangehenden Darlegungen ergibt und in (1) bzw. (1*) im Text in Sp. 2, Zeilen 43 bis 47 und in Sp. 5, Zeilen 29 bis 36 zum Ausdruck gebracht wird, werden bei diesem Verfahren die anfangs erwähnten, durch Fehljustierung

verursachten Kurzschlüsse dadurch vermieden, dass die Bitleitungsabstandshalter (114) der Bitleitungsschichtstapel als selbstjustierte Maske verwendet werden, die beim Ätzvorgang die beiden sich in Bitline-Richtung erstreckenden Seitenränder der Kontaktlochöffnung definieren.

Darüber hinaus wird durch die Verwendung der Bitleitungsstrukturen als (selbstjustierter) Teil der Maske für den Kontaktloch-Ätzprozess zwangsläufig aber auch der Bedeckungsgrad des Wafers mit Photolack gegenüber herkömmlichen Kontaktloch-Herstellungsprozessen verringert, denn die Bitleitungsstrukturen übernehmen - wie dargelegt - einen Teil der sonst vom Photolack zu leistenden Maskierfunktion, so dass in diesen Bereichen auf eine Photolackmaske verzichtet werden kann. Damit werden zwangsläufig auch die Öffnungen in der Photolack-Maske größer als bei herkömmlichen Prozessen. Sowohl der geringere Photolack-Bedeckungsgrad als auch die größeren Öffnungen in der Photolack-Maske führen zu einer Entspannung des Problems des Polymerniederschlags, denn dieses hängt - so das Fachwissen des oben definierten Fachmanns - wesentlich von diesen beiden Faktoren ab.

Insofern werden die von der Anmelderin geltend gemachten Vorteile der Unempfindlichkeit gegen Fehljustierung und der Vermeidung des Polymerniederschlags im Kontaktloch auch bereits beim Stand der Technik erzielt.

Das Verfahren nach dem geltenden Anspruch 1 ergibt sich für den Fachmann somit in naheliegender Weise aus dem Stand der Technik.

3. Mit dem Anspruch 1 fallen wegen der Antragsbindung auch die übrigen Ansprüche 2 bis 13. Dies gilt insbesondere für den vom sachlichen Gehalt als nebengeordneten Anspruch zu bewertenden Anspruch 9, der auf ein „Verfahren zum Ausbilden einer Halbleitervorrichtung nach Anspruch 1“ und damit auf einen anderen Gegenstand als der Anspruch 1 gerichtet ist. Eines gesonderten Eingehens auf den Gegenstand dieses Anspruchs, der Gegenstand desselben Antrags auf

Patenterteilung ist, bedarf es nicht, weil das Verfahren nach Anspruch 9 nicht zum Gegenstand eines auf dessen selbständigen Schutz gerichteten Hilfsantrages gemacht worden ist, vgl. zu diesem Sachverhalt BGH GRUR 1997, 120, 121, II. 2., Abschnitte b) bis d) - „Elektrisches Speicherheizgerät“.

4. Daher war die Beschwerde der Anmelderin zurückzuweisen.

Dr. Tauchert

Knoll

Lokys

Brandt

Pr