



# BUNDESPATENTGERICHT

17 W (pat) 58/07

---

(Aktenzeichen)

Verkündet am  
20. März 2012

...

## BESCHLUSS

In der Beschwerdesache

**betreffend die Patentanmeldung 199 43 176.0-53**

...

hat der 17. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 20. März 2012 unter Mitwirkung des Vorsitzenden Richters Dipl.-Phys. Dr. Fritsch, der Richterin Eder sowie des Richters Dipl.-Ing. Baumgardt und der Richterin Dipl.-Ing. Wickborn

beschlossen:

Auf die Beschwerde der Anmelderin wird der Beschluss der Prüfungsstelle für Klasse G06F des Deutschen Patent- und Markenamts vom 17. April 2007 aufgehoben und das Patent mit folgenden Unterlagen erteilt:

Patentansprüche 1 bis 5 und  
Beschreibung Seiten 1 bis 3, 3a, 4 bis 25,  
jeweils überreicht in der mündlichen Verhandlung,  
8 Blatt Zeichnungen mit 13 Figuren vom Anmeldetag.

Die Rückzahlung der Beschwerdegebühr wird angeordnet.

## **Gründe**

### **I.**

Die vorliegende Patentanmeldung, die eine Priorität vom 18. September 1998 aus den USA in Anspruch nimmt, wurde am 9. September 1999 beim Deutschen Patent- und Markenamt eingereicht. Sie trägt nunmehr die Bezeichnung:

„Speichersteuereinheit zum Steuern eines SDRAM in einem Netzwerkschalter“.

Die Anmeldung wurde durch Beschluss der Prüfungsstelle für Klasse G 06 F des Deutschen Patent- und Markenamts zurückgewiesen und dies unter Bezugnahme auf die zum Anmeldezeitpunkt geltende PatAnmV vom 16. Juli 1998, § 5 Abs. 2 Nr. 3, damit begründet, dass die Aufgabenstellung nach wie vor unklar sei, bzw. das dem Anmeldungsgegenstand zugrunde liegende Problem, wie es zum Ver-

ständnis des mit dem Patentanspruch 1 beanspruchten Gegenstandes notwendig wäre, nicht hinreichend klar angegeben sei.

Auf die von der Anmelderin beantragte, aber nicht gewährte Anhörung geht der Beschluss nicht ausdrücklich ein; es wird jedoch festgestellt, dass „nach nunmehr vier Bescheiden und dem Angebot der Durchführung einer Anhörung ... der Anmelderin ausreichend rechtliches Gehör gewährt worden“ sei und sich „bezüglich der Aufgabenstellung ... nunmehr auch gefestigte Meinungen gegenüber“ stünden.

Gegen diesen Beschluss ist die Beschwerde der Anmelderin gerichtet.

Sie erläutert, dass die zweiteilige Aufgabe aus der Beschreibung nunmehr klar zum Ausdruck komme, und dass beide Teile der Aufgabe durch den Gegenstand des Anspruchs 1 gelöst würden. Die Patentverordnung schreibe nicht vor, dass bei einer Aufgabe, die aus zwei Teilaufgaben besteht, die Teilaufgaben in einem „Sinnezusammenhang“ miteinander stehen müssten (wie es die Prüfungsstelle anscheinend fordere). Wesentlich sei lediglich, dass die Erfindung beide Teile der Aufgabe auch wirklich erfülle.

In der mündlichen Verhandlung reicht sie klargestellte Patentansprüche und eine angepasste Beschreibung ein und beantragt,

den angegriffenen Beschluss aufzuheben und das nachgesuchte Patent mit folgenden Unterlagen zu erteilen:

Patentansprüche 1 bis 5 und  
Beschreibung Seiten 1 bis 3, 3a, 4 bis 25,  
jeweils überreicht in der mündlichen Verhandlung,  
8 Blatt Zeichnungen mit 13 Figuren vom Anmeldetag.

Das nunmehr geltende Patentbegehren lautet:

- „1. Speichersteuereinheit (424) zum Steuern eines SDRAM (410), das eine Mehrzahl von Speicherbänken umfaßt, wobei jede der Speicherbänke eine Mehrzahl von Seiten umfaßt, zum Einsatz in einem das SDRAM (410) enthaltenden Netzwerkschalter (110), der für den Fluss von Paketdaten zwischen Eingang- und Ausgangsports in einer Netzwerkkumgebung vorgesehen ist,

wobei der Netzwerkschalter einen Puffermanager (426) enthält, der den Datenfluss in das SDRAM (410) verwaltet, wobei der Puffermanager (426) auf der Basis eines ersten Takts arbeitet, der asynchron zu einem zweiten Takt ist, auf dessen Basis das SDRAM arbeitet und der schneller als der erste Takt ist,

und wobei die Speichersteuereinheit folgendes umfaßt:

einen Adreßwandler (520), der mit dem Puffermanager (426) betrieblich gekoppelt ist, so dass er von dem Puffermanager empfangene Adreßinformation in einen SDRAM Adreßraum übersetzt, wobei die Adreßübersetzung so durchgeführt wird, dass Daten eines Datenpaketes, dessen Umfang den Umfang einer Seite des SDRAM (410) übersteigt, in Seiten gespeichert werden, die in unterschiedlichen Bänken liegen, wobei der Adreßwandler (520) auf den zweiten Takt gestützt arbeitet,

eine Datensynchronisierschaltung (526-536), die mit dem Puffermanager (426) betrieblich gekoppelt ist und von die-

sem Paketdaten empfängt, und die so gesteuert ist, dass sie die Daten zu dem zweiten Takt synchronisiert, wobei die Datensynchronisierschaltung (526-536) bereits Daten zur Synchronisierung empfängt während der Adreßwandler (520) die Adreßinformation in den SDRAM-Adreßraum übersetzt;

und einen SDRAM-Controller (510), der mit dem Adreßwandler (520) und der Datensynchronisierschaltung (526-536) betrieblich gekoppelt ist, so dass er gestützt auf die übersetzte Adreßinformation Daten in das SDRAM (410) schreibt und aus diesem liest, wobei der SDRAM-Controller (510) auf der Basis des zweiten Takts arbeitet.

2. Speichersteuereinheit (424) nach Anspruch 1, wobei der Adreßwandler (520) eine erste Startadresse und eine Burstgröße empfängt und als Antwort darauf eine zweite Startadresse und eine Endadresse erzeugt.
3. Speichersteuereinheit (424) nach Anspruch 2, wobei Signale, welche die erste Startadresse und die Burstgröße enthalten, auf der Basis des ersten Taktes arbeiten und Signale, welche die zweite Startadresse und die Endadresse enthalten, auf Basis des zweiten Taktes arbeiten.
4. Speichersteuereinheit (424) nach einem der vorangehenden Ansprüche, wobei die Datensynchronisierschaltung (526-536) einen ersten FIFO (528) und einen zweiten FIFO (532) umfaßt.

5. Speichersteuereinheit (424) nach einem der vorangehenden Ansprüche, wobei die Daten Ethernet-Paketdaten umfassen.“

Der Anmeldung soll sinngemäß die **Aufgabe** zugrundeliegen, ein SDRAM bereitzustellen, das als ein Puffer zum Speichern von Ethernet-Paketdaten konfiguriert werden kann; dabei soll das SDRAM in einem anderen Taktbereich arbeiten können als ein Steuerprozess, und gleichzeitig so arbeiten, dass es Zugriffsverzögerungen minimiert (siehe geltende Beschreibungsseite 3a, Absatz 3).

## II.

Die frist- und formgerecht eingelegte und auch sonst zulässige Beschwerde hat Erfolg.

1. Der Zurückweisungsbeschluss ist unbegründet, weil der behauptete Mangel keinen gesetzlichen Zurückweisungsgrund darstellt.

Die Prüfungsstelle stützt ihren Beschluss allein darauf, dass das dem Anmeldegegenstand zugrunde liegende Problem, wie es zum Verständnis des mit dem Patentanspruch 1 beanspruchten Gegenstandes notwendig wäre, nicht hinreichend klar angegeben sei.

Auf die anmelderseitig formulierte Aufgabenstellung kommt es aber nicht entscheidend an.

Der Bundesgerichtshof hat in seiner Entscheidung „Anbieten interaktiver Hilfe“ (BIPMZ 2005, 77) festgestellt: „Welches technische Problem durch eine Erfindung gelöst wird, ist objektiv danach zu bestimmen, was die Erfindung tatsächlich leistet. Die in der Patentschrift angegebene Aufgabe ist demgegenüber als solche

nicht maßgeblich, sondern lediglich ein Hilfsmittel für die Ermittlung des objektiven technischen Problems.“

Wenn aber die in der Anmeldung genannte Aufgabe nicht maßgeblich ist, fehlt jede Grundlage, die Anmeldung wegen nicht hinreichend klarer Angabe derselben zurückzuweisen. Vielmehr obliegt es grundsätzlich der Prüfungsstelle, das „objektive technische Problem“, das der Anmeldung zugrundeliegt, zu ermitteln. Zwar kann die Anmelderin durch Angabe einer klaren Aufgabenstellung maßgeblich zum richtigen Verständnis der Erfindung beitragen; durch eine evtl. ungeeignete Formulierung der Aufgabenstellung läuft sie Gefahr, dass vielleicht wesentliche Aspekte der Erfindung nicht als solche erkannt werden. Dies ist ein Risiko, das die Anmelderin zu tragen hat, kann aber eine Zurückweisung der Anmeldung keinesfalls rechtfertigen.

**2.** Die vorliegende Patentanmeldung betrifft eine Optimierung der Ansteuerung von Speicherbausteinen (SDRAM) für den Einsatz als Pufferspeicher in einem Netzwerkschalter.

**2.1** In der Beschreibung ist erläutert, dass ein Netzwerkschalter (z. B. ein Ethernet-Switch) Paketdaten aus einem der angeschlossenen Netze (Figur 1: 130 – 135) empfängt, sie temporär zwischenspeichert und dann in ein anderes angeschlossenes Netz weitergibt. Dazu wird intern ein SDRAM-Speicherbaustein als Pufferspeicher in eine Vielzahl von Puffer-Blöcken für Datenpakete aufgeteilt (siehe Seite 3 Absatz 1 / 2, Figur 9 – hier und im Folgenden bezogen auf die geltende Beschreibung).

Die Anmeldung geht von einer bestimmten Zusammenstellung solcher Speicherbausteine aus (Seite 1 letzte Zeile: „übliches SDRAM mit 48 Bit breitem Datenbus“), die eine „Seitengröße“ von rund 1,5 kByte zur Folge hat (Seite 2 Zeile 1). Das entspricht zwar der maximalen Größe von üblichen Ethernet-Frames; die Anmeldung führt aber aus, dass bei der Aufteilung von Paketdaten im Netzwerk-

schalter durch zusätzliche Kopfdaten Paketgrößen von über 1,5 kByte, jedoch unter ca. 2 kByte auftreten können (Seite 3 Absatz 1).

Beim Einsatz des „üblichen SDRAMs“ als Pufferspeicher in einem Ethernet-Switch entsteht daher die Situation, dass eine Speicherseite für einen Frame nicht ausreichen könnte, d. h. der Speicherplatzbedarf überschreitet die Seitengrenze von rund 1,5 kByte. Es war jedoch allgemein bekannt, dass beim Abruf einer zweiten Speicherseite aus einem SDRAM eine gewisse zusätzliche Verzögerung für Vorlade- und Aktivierungsoperationen entsteht (Seite 2 Zeile 5 – 8).

**2.2** Um speziell diese Verzögerung beim Puffern eines Frames zu vermeiden, schlägt die Anmeldung vor, den Speicherzugriff so zu organisieren, dass die zweite benötigte Speicherseite in einer anderen Speicherbank liegt. Speicherbänke besitzen jeweils eigene Adressierungsschaltungen, so dass eine Voraufladung und Aktivierung in der zweiten Bank bereits anlaufen kann, während die erste Bank noch arbeitet (Seite 2 Zeile 13 – 18).

Darüber hinaus will die Anmeldung die SDRAMs mit einer von der übrigen Schaltung, insbesondere von der Speicherverwaltung (Puffermanager) unabhängigen höheren Taktfrequenz betreiben (Seite 2 Zeile 19 – 22; Seite 7 Zeile 11 – 15; Tabelle Seite 8 oben). Dazu sind gemäß Patentanspruch 1 ein Adreßwandler und eine Datensynchronisierschaltung so ausgelegt, dass sie einen Transfer zwischen den Teilschaltungen in den unterschiedlichen Taktbereichen ermöglichen. Insbesondere soll die Datensynchronisierschaltung bereits Daten empfangen, während der Adreßwandler noch die Adreßinformationen übersetzt.

**2.3** Als **Fachmann**, der mit der Aufgabe betraut wird, die Schaltung eines Pufferspeichers zum Zwischenspeichern von Paketdaten in einem Netzwerkschalter zu optimieren, ist hier ein Diplom-Ingenieur der Elektrotechnik mit Hochschul- oder Fachhochschul-Ausbildung und mehrjähriger Berufserfahrung im Bereich der Schaltungsentwicklung für Datennetze anzusehen.

**2.4** Der geltende Patentanspruch 1 wird zwecks einfacherer Bezugnahme mit folgender Gliederung versehen:

**Speichersteuereinheit**

- (a) zum Steuern eines SDRAM, das eine Mehrzahl von Speicherbänken umfasst, wobei jede der Speicherbänke eine Mehrzahl von Seiten umfasst,
- (b) zum Einsatz in einem das SDRAM (410) enthaltenden Netzwerkschalter (110), der für den Fluss von Paketdaten zwischen Eingang- und Ausgangsports in einer Netzwerkkumgebung vorgesehen ist,
- (c) wobei der Netzwerkschalter einen Puffermanager (426) enthält, der den Datenfluss in das SDRAM (410) verwaltet,
- (d) wobei der Puffermanager (426) auf der Basis eines ersten Takts arbeitet,
- (d1) der asynchron zu einem zweiten Takt ist, auf dessen Basis das SDRAM arbeitet
- (d2) und der schneller als der erste Takt ist,

**und wobei die Speichersteuereinheit folgendes umfasst:**

- (e) einen Adreßwandler (520), der mit dem Puffermanager (426) betrieblich gekoppelt ist, so dass er von dem Puffermanager empfangene Adreßinformation in einen SDRAM Adreßraum übersetzt,
- (e1) wobei die Adreßübersetzung so durchgeführt wird, dass Daten eines Datenpaketes, dessen Umfang den Umfang einer

Seite des SDRAM (410) übersteigt, in Seiten gespeichert werden, die in unterschiedlichen Bänken liegen,

**(e2)** wobei der Adreßwandler (520) auf den zweiten Takt gestützt arbeitet,

**(f)** eine Datensynchronisierschaltung (526-536), die mit dem Puffermanager (426) betrieblich gekoppelt ist und von diesem Paketdaten empfängt, und die so gesteuert ist, dass sie die Daten zu dem zweiten Takt synchronisiert,

**(f1)** wobei die Datensynchronisierschaltung (526-536) bereits Daten zur Synchronisierung empfängt während der Adreßwandler (520) die Adreßinformation in den SDRAM-Adreßraum übersetzt;

**(g)** und einen SDRAM-Controller (510), der mit dem Adreßwandler (520) und der Datensynchronisierschaltung (526-536) betrieblich gekoppelt ist, so dass er gestützt auf die übersetzte Adreßinformation Daten in das SDRAM (410) schreibt und aus diesem liest,

**(g1)** wobei der SDRAM-Controller (510) auf der Basis des zweiten Takts arbeitet.

**3.** Das nunmehr geltende Patentbegehren erfüllt die Kriterien für eine Patenterteilung (PatG §§ 1 bis 5, § 34).

**3.1** Das geltende Patentbegehren ist zulässig.

**3.1.1** Der neue Patentanspruch 1 basiert auf dem ursprünglichen (einzigem) Patentanspruch und wurde um Details ergänzt, die insbesondere der Figur 5 nebst zugehöriger Beschreibung entnehmbar sind.

So ist Merkmal **(a)** hinsichtlich der „Mehrzahl von Speicherbänken“ auf Seite 1 Zeile 13, Seite 7 Zeile 2 offenbart; die „Mehrzahl von Seiten“ ist auf Seite 2 Absatz 1/2 erläutert (hier und im Folgenden beziehen sich die Zitate auf die ursprüngliche Beschreibung vom Anmeldetag).

Der „Einsatz in einem Netzwerkschalter“ (Merkmal **(b)**) und die dort genannten Details basieren auf Seite 3 Absatz 1.

Dass der „erste“ Takt des Puffermanagers clk50cgm\_c asynchron zu dem „zweiten“ Takt clk\_sdram\_out\_c sein soll (Merkmal **(d1)**), ergibt sich aus Seite 7 Absatz 3. Der zweite Takt ist gemäß der Tabelle auf Seite 8 schneller als der erste Takt (Merkmal **(d2)**). Welche Baugruppen mit welchem der beiden Takte arbeiten, ist in Figur 5 dargestellt (punktierte senkrechte Linie zur Trennung der Taktbereiche – Merkmale **(d)**, **(e2)**, **(g1)**).

Auf Seite 17 Zeile 8 in Verbindung mit Seite 19 Zeile 1–6 ist beschrieben, dass die Adreßübersetzung so durchgeführt wird, dass Daten eines Datenpaketes, dessen Umfang den Umfang einer Seite des SDRAM übersteigt, in Seiten gespeichert werden, die in unterschiedlichen Bänken liegen (Merkmal **(e1)**).

Die Datensynchronisierschaltung (Merkmal **(f)**) ist auf Seite 14 Absatz 3 ff. näher erläutert. Hinsichtlich Merkmal **(f1)**, dass die Datensynchronisierschaltung bereits Daten zur Synchronisierung empfängt, während der Adreßwandler die Adreßinformation in den SDRAM-Adreßraum übersetzt, wurde eine Klarstellung vorgenommen. Die Anmelderin hat zur Offenbarung auf den ursprünglichen einzigen Anspruch oder beispielsweise Seite 16 Zeile 15/16 hingewiesen; demnach würden „die Daten zu einem zweiten Takt synchronisiert, während die Adreßübersetzungsschaltung die Adreßinformation in den SDRAM-Adreßraum übersetzt“; bzw. die Daten würden „über die Taktbereiche hinweg simultan mit der Adreßumwandlung übersetzt“. Diese Lehre erscheint jedoch missverständlich, weil einerseits keine Daten synchronisiert, also mit einem anderen Takt aus der Synchronisier-

schaltung ausgegeben werden können, solange nicht die umgesetzte Startadresse vorliegt; und andererseits vom Adreßwandler nur zwei Adressen (Startadresse, Endadresse) erzeugt werden, so dass während der folgenden Synchronisation von beispielsweise mehreren hundert Datenworten keine Adressen umgesetzt werden. Nachvollziehbar und richtig ist jedoch, dass die Daten während der Adreßumwandlung bereits in die Synchronisationsschaltung ingelesen werden können, was nunmehr durch die Klarstellung von Merkmal **(f1)** zum Ausdruck kommt.

**3.1.2** Unteranspruch 2 ergibt sich aus Seite 16 Absatz 2, die Taktzuordnung gemäß Unteranspruch 3 aus Figur 5. Die FIFOs des Unteranspruchs 4 sind auf Seite 14 Absatz 3 bis Seite 15 Absatz 1 beschrieben. Zu Unteranspruch 5 siehe Seite 3 Zeile 22/23 und Seite 5 Zeile 8 ff.. Alle geltenden Patentansprüche bleiben damit im Rahmen der ursprünglichen Offenbarung.

**3.1.3** Die beanspruchte Lehre ist nunmehr klagestellt und für den Fachmann ausführbar.

Die Beschreibung wurde in zulässiger Weise angepasst. Insbesondere wurde eine sinnentstellende Übersetzung auf Seite 22 Absatz 3 (ursprünglich: „nicht auf derselben Seite in verschiedenen Banken gespeichert“) richtiggestellt („ordnet diese Abbildung Paketdaten, auf die zusammenhängend zugegriffen wird, die jedoch nicht auf derselben Seite gespeichert werden können, in verschiedenen Bänken an“). Der Fachmann hätte diesen Fehler erkannt, weil das dort beschriebene Prinzip etwa auf der ursprünglichen Beschreibungsseite 17 Zeile 8, Seite 19 Zeile 1 bis 6 korrekt beschrieben ist.

Auf den Seiten 11, 17 (2x), 22, 23 und 24 wurden nachträglich noch redaktionelle Korrekturen (jeweils Änderung von „Banken“ in „Bänke“ oder „Bänken“) durchgeführt.

**3.2** Der ermittelte Stand der Technik steht dem geltenden Patentbegehren nicht patenthindernd entgegen.

Im Prüfungsverfahren wurden ermittelt:

- D1** US 5 784 582 A
- D2** US 5 784 705 A
- D3** US 5 778 419 A
- D4** WO 98 / 36 538 A1

Der Senat hat nachträglich noch benannt:

- D5** EP 0 420 236 A2

**D1** beschreibt einen Netzwerk-Schalter, welcher SDRAMs mit zwei Speicherbänken als Pufferspeicher verwendet und eine Speichersteuereinheit (SDRAM controller / arbiter 20) und einen Puffermanager (Router processor complex 10) aufweist (Merkmale **(a)**, **(b)**, **(c)**, **(g)**). Hier ist bereits die Maßnahme vorweggenommen, die Speicherbänke abwechselnd zu beschreiben, um die Vorauf- und Aktivierungsverzögerungen zu kaschieren (Spalte 6 Zeile 35-38 u. a. – Merkmale **(e)**, **(e1)**). Darüber hinaus sind auch zwei unterschiedliche Taktsignale vorgesehen (Figur 2: Taktgenerator 61 empfängt den Prozessortakt PCLK und erzeugt einen zweiten Takt MEMCLK – Spalte 4 Zeile 55-57); es bleibt jedoch offen, in welcher Beziehung die beiden Taktsignale zueinander stehen – insbesondere muss der Fachmann aus der Darstellung schließen, dass die Signale synchron zueinander sind.

**D2** geht ebenfalls von dem Problem aus, dass bei Überschreitung der Seitengrenze bei DRAMs ein besonderer Zeitaufwand erforderlich ist (Spalte 2 Zeile 8-20). Zur Beschleunigung des Zugriffs werden Pufferspeicher vorgeschlagen (Figur 1). Auch wenn hier unterschiedliche Taktfrequenzen erkennbar sind (CLK,

ASHIFT / DSHIFT – siehe Figur 10), hängen diese Signale jedoch voneinander ab und sind somit nicht asynchron (vgl. Spalte 12 Zeile 45-65).

**D3** wurde in Verbindung mit **D2** lediglich als Beispiel für einen Netzwerk-Schalter mit Pufferspeicher aus DRAMs benannt. Asynchrone Taktsignale sind nicht entnehmbar, im Gegenteil ist eine PLL-Schaltung zur Reduzierung des Jitters der Taktsignale, also zur Synchronisierung, vorgesehen (Figur 7).

Auch **D4** beschreibt einen Netzwerkschalter mit einem SDRAM 34 als Pufferspeicher (siehe z. B. Seite 5 Zeile 3-12). Gemäß Seite 5 vorletzter Absatz können Ports mit sehr unterschiedlichen Taktfrequenzen angeschlossen werden. Es sind aber keine Einzelheiten erkennbar, wie Daten synchronisiert und Adressen über die Grenze hinweg umgesetzt würden. Insbesondere findet sich kein Hinweis, dass die Taktfrequenzen asynchron sein könnten.

**D5** betrifft eine Speichersteuerschaltung zur Ansteuerung beliebiger Hauptspeicher-Bausteine. Hier arbeitet – im Unterschied zur Anmeldung – die CPU (first clock) schneller als der Speicher (second clock), und deshalb sind Puffer- und Übersetzungsschaltungen zur Umsetzung und Synchronisierung von Adressen und Statusdaten (reply data) zwischen den beiden Takträumen vorgesehen (siehe insbesondere Figur 3 und zugehörige Beschreibung – CLK SYNC 36, 30). Eine Synchronisierung auch der Speicherdaten ist explizit nicht vorgesehen (siehe Spalte 3 Zeile 22-24), sie erfolgt indirekt durch die Busdatenübertragungs-Logik. Somit bestehen wesentliche Unterschiede zur beanspruchten Speichersteuereinheit, so dass der Fachmann keine konkreten Anregungen für einen asynchronen, schnelleren Speichertakt und die dafür erforderlichen Umsetzungsschaltungen, insbesondere die Datensynchronisierschaltung, erhalten konnte.

Zusammenfassend ist festzustellen, dass der bekannt gewordene Stand der Technik insbesondere keine Anregung liefert, das SDRAM asynchron und mit einer schnelleren Taktfrequenz anzusteuern als die Steuerschaltung des Netzwerk-

Schalters, und die Datensynchronisierschaltung so anzusteuern, dass sie bereits Daten zur Synchronisierung empfängt, während der Adreßwandler noch die Adreßinformation in den SDRAM-Adreßraum übersetzt.

**3.3** Der geltende Patentanspruch 1 ist sonach patentfähig. Die Unteransprüche stellen nicht selbstverständliche Weiterbildungen dar. Die Beschreibung wurde in zulässiger Weise angepasst. Das Patent konnte daher so, wie nunmehr beantragt, erteilt werden.

### III.

Die Rückzahlung der Beschwerdegebühr entspricht der Billigkeit.

Wie der Senat bereits mehrfach festgestellt hat, stellt die Ablehnung einer von der Anmelderin beantragten Anhörung in der Regel einen Verfahrensfehler dar; denn eine Ablehnung eines Antrags auf Anhörung kommt nur ausnahmsweise in Betracht. Im vorliegenden Fall ist nicht erkennbar, dass triftige Gründe dafür vorgelegen hätten. Die Anmelderin ist in ihren Erwiderungen stets auf die von der Prüfungsstelle genannten Mängel eingegangen und hat versucht, sie zu beseitigen. Diese offensichtliche Dialogbereitschaft konterkariert die Behauptung des Prüfers, dass sich „gefestigte Meinungen gegenüber“-stünden. Es erscheint durchaus wahrscheinlich, dass im Rahmen einer Anhörung – so wie nunmehr im Verfahren vor dem Bundespatentgericht – Einvernehmen über die Sach- und Rechtslage hätte erzielt werden können, so dass der Zurückweisungsbeschluss und damit auch die Beschwerde der Anmelderin nicht nötig gewesen wären. Unabhängig davon entspricht es der Lebenserfahrung, dass selbst dann, wenn sich wirklich „gefestigte Meinungen gegenüber“-stehen, ein direkter Dialog die scheinbar „harten“ Verhandlungspositionen aufweicht. Gerade im vorliegenden Fall hätte bei

der Formulierung der Aufgabe so viel Spielraum bestanden, dass eine Verweigerung des Dialogs durch Ablehnung des Antrags auf Anhörung nicht hinnehmbar erscheint.

Dr. Fritsch

Eder

Baumgardt

Wickborn

Me