



# BUNDESPATENTGERICHT

23 W (pat) 57/07

---

(Aktenzeichen)

Verkündet am  
20. April 2012

...

## BESCHLUSS

In der Beschwerdesache

...

### betreffend die Patentanmeldung 10 2006 009 272

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 20. April 2012 unter Mitwirkung des Vorsitzenden Richters Dr. Strößner und der Richter Brandt, Metternich und Dr. Friedrich

beschlossen:

1. Der Beschluss der Prüfungsstelle für Klasse H 01 L des Deutschen Patent- und Markenamts vom 3. August 2007 wird aufgehoben.
2. Es wird ein Patent mit der Bezeichnung „Verfahren zur Herstellung eines verspannten Transistors durch eine späte Amorphisierung und durch zu entfernende Abstandshalter“ und dem Anmeldetag 28. Februar 2006 auf der Grundlage folgender Unterlagen erteilt:

Patentansprüche 1 bis 12, eingegangen am 20. April 2012, geänderte Beschreibungsseiten 1 bis 21, eingegangen am 20. April 2012, und 6 Blatt Zeichnungen mit Figuren 1a bis 2h, eingegangen am 29. Mai 2006.

## **Gründe**

### **I.**

Die Anmeldung 10 2006 009 272 wurde am 28. Februar 2006 in englischer Sprache beim Deutschen Patent- und Markenamt eingereicht. Die zugehörige beglaubigte Übersetzung hat die Anmelderin am 29. Mai 2006 nachgereicht. Die deutschsprachige Bezeichnung lautet „Technik zur Herstellung eines verformten Transistors durch eine späte Amorphisierung und durch zu entfernende Abstandshalter“.

Die Prüfungsstelle für Klasse H 01 L des Deutschen Patent- und Markenamts hat gerügt, dass die nebengeordneten Patentansprüche 1 und 12 unklar seien, da sie

mehrfach die Formulierung „im wesentlichen“ enthielten. Zum Stand der Technik hat sie auf die Druckschriften

D1 DE 102 60 613 A1 und

D2 US 2005/0285187 A1

hingewiesen. Nachdem die Anmelderin den Anspruchssatz unverändert weiterverfolgt hat, hat die Prüfungsstelle die Anmeldung mit Beschluss vom 3. August 2007 wegen der ihrer Auffassung nach unklaren Angabe „im wesentlichen“ im Patentanspruch 1 zurückgewiesen.

Gegen den am 5. Oktober 2007 zugestellten Beschluss hat die Anmelderin mit Schriftsatz vom 5. November 2007, eingegangen am selben Tag, fristgerecht Beschwerde eingelegt.

Mit der Terminladung hat der Senat zur Vorbereitung der mündlichen Verhandlung noch auf die Druckschrift

D3 US 2005/0260808 A1

hingewiesen.

In der mündlichen Verhandlung stellte die Anmelderin den Antrag,

1. den Beschluss der Prüfungsstelle für Klasse H 01 L des Deutschen Patent- und Markenamts vom 3. August 2007 aufzuheben;
2. ein Patent mit der Bezeichnung „Verfahren zur Herstellung eines verspannten Transistors durch eine späte Amorphisierung und durch zu entfernende Abstandshalter“ und dem

Anmeldetag 28. Februar 2006 auf der Grundlage folgender Unterlagen zu erteilen:

Patentansprüche 1 bis 12, eingegangen am 20. April 2012, geänderte Beschreibungsseiten 1 bis 21, eingegangen am 20. April 2012, und 6 Blatt Zeichnungen mit Figuren 1a bis 2h, eingegangen am 29. Mai 2006.

Der geltende Anspruch 1 lautet:

„Verfahren zur Herstellung eines Transistorelements mit einem verspannten Kanalgebiet mit den folgenden Schritten in der angegebenen Reihenfolge:

Bilden von Source- und Draingebieten (213) in einer kristallinen Halbleiterschicht benachbart zu einer Gateelektrode (204) mit einer ersten Seitenwandabstandshalterstruktur (220), die an deren Seitenwand gebildet ist, wobei dieser Schritt umfasst:

Ausführen mindestens eines Ionenimplantationsprozesses (217) und Ausheizen der Halbleiterschicht zur Aktivierung der Dotierstoffatome;

Entfernen der ersten Seitenwandabstandshalterstruktur (220);

Ionenimplantation (208) zur Amorphisierung von Gebieten der Halbleiterschicht und des Source- und Draingebiets,

Bilden einer verspannten Schicht (209s) mit einer spezifizierten inneren Verspannung zumindest über einem Teil der Halbleiterschicht; und

Rekristallisieren der amorphen Gebiete in Anwesenheit der verspannten Schicht durch Ausführen einer Wärmebehandlung (224).“

Hinsichtlich der geltenden Unteransprüche 2 bis 12 sowie hinsichtlich der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

## II.

Die frist- und formgerecht erhobene Beschwerde ist zulässig und auch begründet, denn der geltende Anspruch 1 ist zulässig und gibt eine klare Lehre; außerdem erweist sich das in ihm angegebene Verfahren nach dem Ergebnis der mündlichen Verhandlung als patentfähig.

1. Die Anmeldung betrifft ein Verfahren zur Herstellung eines verspannten Transistors durch eine späte Amorphisierung und durch zu entfernende Abstandshalter, vgl. die geltenden Beschreibungsunterlagen.

Für die Stromtreiberfähigkeit von MOS-Transistoren ist vor allem die Leitfähigkeit im Kanalgebiet der Transistoren und damit die Beweglichkeit der entsprechenden Ladungsträger (Löcher bzw. Elektronen) in diesem Gebiet maßgeblich. In einem durch externe Spannungen verformten Kristallgitter nimmt die Beweglichkeit in beachtlichem Ausmaß (bis zu 50 %) zu, so dass mehrere technologische Ansätze verfolgt werden, um sich diesen Effekt für künftige Bauelementgenerationen zunutze zu machen.

So wurde bspw. vorgeschlagen, Silizium/Germanium-Schichten oder Silizium/Kohlenstoff-Schichten in oder unter dem Kanalgebiet zu erzeugen. Durch die abweichende Gitterkonstante der in das Silizium eingebrachten Fremdstoffschichten kommt es zu einer Gitterfehlpassung zwischen dieser Schicht und

dem benachbarten Silizium des Kanalgebiets, so dass die Fremdstoffschicht Zug- oder Druckspannungen auf dieses Gebiet ausübt und das Silizium-Kristallgitter im Kanalbereich verspannt. Dabei wird durch Zugspannungen die Elektronenbeweglichkeit und durch Druckspannungen die Löcherbeweglichkeit angehoben.

Da dieser Ansatz zusätzliche Prozeßschritte zur herkömmlichen CMOS-Technologie erfordert, die in den ohnehin aufwendigen CMOS-Fertigungsprozess eingefügt werden müssen, verfolgt ein anderer Ansatz das Ziel, Verspannungen im Kanalgebiet durch über dem Kanalgebiet liegende Schichten wie bspw. die sogenannten Spacer („Abstandselemente“) auf beiden Seiten der Gateelektrode zu erzeugen, d. h. ohnehin im Rahmen der CMOS-Technologie durchzuführende Fertigungsschritte bzw. Schichten zum Erzeugen von Verspannungen zu nutzen. Diese Vorgehensweise ist allerdings nicht immer sehr effektiv, da die Effizienz der Spannungsübertragung auf das Kanalgebiet von prozess- und bauteilspezifischen Gegebenheiten abhängt, die nicht veränderbar sind.

Eine weitere Möglichkeit zum Einbringen von Verspannungen in das Kanalgebiet besteht darin, in die zum Kanalgebiet benachbarten Source/Drain-Gebiete Silizium/Germanium-Schichten einzubauen, die das Kanalgebiet verformen. Abgesehen davon, dass diese Vorgehensweise eine aufwendige Technologie erfordert, müssen durch entsprechendes Design bei CMOS-Schaltungen auch die unterschiedlichen Leistungszuwächse der PMOS- und der NMOS-Transistoren kompensiert werden.

Bei einer weiteren anhand der Fig. 1a bis 1c der Anmeldung erläuterten Technologie wird mit Hilfe einer Ionenimplantation in die zum Kanalgebiet benachbarten Source/Drain-Gebiete ein in sich verspanntes amorphisiertes Gebiet benachbart zur Gateelektrode erzeugt, dessen Verspannungen auf die danach erzeugte Spacerschicht übertragen werden, so dass nach deren Strukturieren die auf beiden Seiten der Gateelektrode erzeugten Spacer eine Zug- oder Druckspannung auf das Substrat ausüben, die seitlich in den Kanalbereich zwischen Source und

Draingebieten fortwirkt. Das amorphisierte Gebiet in den Source/Drain - Bereichen wird rekristallisiert, wobei aber die Verspannungen in den Spacern erhalten bleiben, so dass der Kanalbereich verspannt bleibt.

Diese Technik ist zwar hinsichtlich des Erzeugens deformierter Kanalbereiche sehr effektiv, jedoch weisen die Transistoren erhöhte Leckströme auf, was auf die durch die Amorphisierung erzeugten Kristalldefekte im pn-Übergang zwischen Source-/Drain-Gebieten und dem Kanal zurückgeführt wird, die als Generations-/Rekombinationszentren wirken und den Minoritätsträgerstrom durch den pn-Übergang erhöhen, vgl. insoweit in der geltenden Beschreibungseinleitung S. 1, 1e. Abs. bis S. 7, 1. Abs.

Der Anmeldung liegt als technisches Problem die Aufgabe zugrunde, eine verbesserte Technik für die Herstellung von Transistorelementen mit einem verformten Kanalgebiet anzugeben, wobei eines oder mehrere der zuvor genannten Probleme vermieden oder deren Auswirkungen zumindest reduziert werden, vgl. in den geltenden Beschreibungsunterlagen S. 7, 2. Abs.

Gemäß dem geltenden Anspruch 1 wird diese Aufgabe durch ein Verfahren zur Herstellung eines Transistorelements mit einem verspannten Kanalgebiet gelöst, bei dem zunächst Source- und Draingebiete in einer kristallinen Halbleiterschicht benachbart zu einer Gateelektrode mit einer ersten Seitenwandabstandshalterstruktur an deren Seitenwand gebildet werden, wobei hierbei ein Ionenimplantationsprozess und ein Ausheizen der Halbleiterschicht zur Aktivierung der Dotierstoffatome erfolgt. Nach dem Entfernen der ersten Seitenwandabstandshalterstruktur wird dann eine Ionenimplantation zur Amorphisierung von Gebieten der Halbleiterschicht und des Source- und Draingebiets durchgeführt. Im weiteren wird zumindest über einem Teil der Halbleiterschicht eine verspannte Schicht mit einer spezifizierten inneren Verspannung gebildet, in deren Anwesenheit dann die amorphisierten Gebiete durch Ausführen einer Wärmebehandlung rekristallisiert werden.

Für das anmeldungsgemäße Verfahren ist damit wesentlich, dass das amorphisierte Gebiet nach dem Bilden der Source- und Drain-Gebiete benachbart zur Gateelektrode und nach dem anschließenden Entfernen der Spacerstruktur an der Seitenwand der Gateelektrode in dem dotierten Gebiet und der Halbleiterschicht gebildet wird, so dass das durch Ionenimplantation erzeugte amorphisierte Gebiet ebenso wie die danach erzeugte Verspannungen aufweisende Schicht seitlich bis an die Gateelektrode heranreicht und damit unmittelbar an das Kanalgebiet angrenzt. Da außerdem das amorphisierte Gebiet durch eine Wärmebehandlung in Anwesenheit der verspannten Schicht rekristallisiert wird, werden die entsprechenden Verspannungen mit hoher Effektivität auf die unmittelbar seitlich an das Kanalgebiet angrenzenden Gebiete des Transistors übertragen.

2. Die geltenden Ansprüche sind zulässig.

Der geltende Anspruch 1 geht auf die ursprünglichen Ansprüche 1 und 2 zurück, wobei die demgegenüber vorgenommene Präzisierung, dass es sich um ein Verfahren zur Herstellung eines Transistorelementes mit einem verspannten Kanalgebiet handelt, auf S. 7, 4. Abs. i. V. m. S. 7, 1e. Abs. bis S. 8, 1. Absatz der ursprünglichen deutschsprachigen Übersetzungsunterlagen zurückgeht. Dass die Amorphisierung durch eine Ionenimplantation von Gebieten der Halbleiterschicht und der Source- und Draingebiete erzeugt wird, ist auf S. 15, 2. Abs. bis S. 16, 1. Abs. der ursprünglichen Unterlagen offenbart, wobei sich für den Fachmann aus dem Einsatz der Ionenimplantation bei diesem Prozessschritt im Zusammenhang mit den zugehörigen Angaben in dieser Zitatstelle ergibt, dass lediglich „ein im Wesentlichen amorphisiertes Gebiet“ gebildet wird, wie es im ursprünglichen Anspruch 1 angegeben war. Dass die im Anspruch 1 angegebenen Verfahrensschritte in der angegebenen Reihenfolge durchgeführt werden, wie es ebenfalls neu im Anspruch 1 angegeben wird, geht aus dem anhand der Fig. 2a bis 2e beschriebenen Prozessablauf hervor.

Die in den Unteransprüchen vorgenommenen Präzisierungen und Anpassungen an den Anspruch 1 sind ebenfalls ursprünglich offenbart:

Der geltende Unteranspruch 2 geht auf S. 14, 2. Abs. bis S. 15, 1. Abs. der ursprünglichen Unterlagen zurück. Die Vorgehensweise nach den Unteransprüchen 3 und 4 ist auf S. 12, drittletzte Zeile, bis S. 13, Zeile 14 offenbart. Die im Unteranspruch 5 beanspruchte Maßnahme ist auf S. 14, 2. Abs., Zeilen 1 bis 5 offenbart. Das Ausheizen gemäß Unteranspruch 6 ist auf S. 15, 1. Abs., Zeilen 9 bis 12 der ursprünglichen Unterlagen angegeben. Die Lehre des Unteranspruchs 7 geht auf S. 16, 3. Abs. bis S. 17, Zeile 2 zurück. Die Unteransprüche 8 und 9 gehen auf S. 17, 1e. Abs. i. V. m. dem ursprünglichen Unteranspruch 9 zurück. Der Unteranspruch 10 ist durch den ursprünglichen Unteranspruch 11 gedeckt. Der Unteranspruch 11 geht auf den ursprünglichen selbständigen Anspruch 12 und S. 19, 2. Abs. bis S. 21, 1. Abs. i. V. m. Fig. 2f bis 2h zurück. Der Unteranspruch 12 entspricht dem ursprünglichen Unteranspruch 19.

3. Der geltende Anspruch 1 gibt auch eine klare Lehre.

Die von der Prüfungsstelle als unklar gerügte Angabe „Bilden eines im wesentlichen amorphisierten Gebiets“ ist im geltenden Anspruch 1 nicht mehr enthalten; die Anmelderin hat sie durch die Angabe „Ionenimplantation zur Amorphisierung von Gebieten der Halbleiterschicht und des Source- und Draingebiets“ ersetzt. Diese gibt dem Fachmann eine klare eindeutige Anweisung, wie die Amorphisierung der entsprechenden Gebiete im Rahmen des unter Schutz gestellten Verfahrens erreicht wird.

4. Das Verfahren nach dem geltenden Anspruch 1 ist darüber hinaus auch patentfähig, denn es ist gegenüber dem nachgewiesenen Stand der Technik neu (§ 3 PatG) und beruht für den Fachmann auf einer erfinderischen Tätigkeit (§ 4 PatG).

Als Fachmann ist hier ein in der Halbleiterindustrie tätiger und mit der Entwicklung von Prozessen zur Fertigung von höchstintegrierten CMOS-Schaltkreisen befasster Diplom-Physiker oder Diplom-Ingenieur der Elektrotechnik, jeweils mit Hochschulabschluss zu definieren.

5. Die Druckschrift D1 offenbart ein Verfahren zur Herstellung eines Transistorelements, das in Übereinstimmung mit der Lehre des geltenden Anspruchs 1 folgende Verfahrensschritte vorsieht:

- Bilden von Source- und Draingebieten (*Sourcebereich 8, Drainbereich 9*) in einer kristallinen Halbleiterschicht (*Substrat 2*) benachbart zu einer Gateelektrode (*Gateelektrode 7*) mit einer Seitenwandabstandshalterstruktur (*Sidewall-Spacer 12, 13*), die an deren Seitenwand gebildet ist, wobei dieser Schritt das Ausführen mindestens eines Ionenimplantationsprozesses umfasst,
- Entfernen der ersten Seitenwandabstandshalterstruktur (*Sidewall-Spacer 12, 13*),
- Ionenimplantation zur Amorphisierung von Gebieten der Halbleiterschicht (*amorphisierte Bereiche 14, 15*) und des Source- und Draingebiets, und
- Rekristallisieren der amorphisierten Gebiete (*14, 15*) durch Ausführen einer Wärmebehandlung

*(Mit Bezug auf Fig. 5 wird eine weitere veranschaulichende Ausführungsform der vorliegenden Erfindung beschrieben. In einem Zwischenstadium der Herstellung umfasst ein Feldeffekttransistor 1 ein Substrat 2, eine aktive Zone 3, Trench-Isolations 4, 5, eine Gateisolierschicht 6, eine Gateelektrode 7, Sidewall-Spacer 12, 13, einen erweiterten Sourcebereich 10, einen erweiterten Drainbereich 11, einen Sourcebereich 8 und einen Drainbereich 9. Der Transistor 1 kann in Übereinstimmung mit gut bewährten Techniken, die mit Bezug auf Fig. 1 beschrieben wurden, ausgebildet werden. Anschließend wird ein Ionenstrahl 18 auf das Substrat 2 gerichtet. Der Ionenstrahl 18 umfasst Ionen eines nicht dotierenden Elements. Die Implantation dieser Ionen ins Substrat führt dazu, dass sich ein erster amorphisierter Bereich 14 und ein zweiter amorphisierter Bereich 15 ausbilden. Der erste amorphisierte Bereich 14 um-*

*fasst den erweiterten Sourcebereich 16. Der zweite amorphisierte Bereich 15 umfasst den erweiterten Drainbereich 11. Der erste amorphisierte Bereich 14 kann auch den Sourcebereich 8 und den Drainbereich 9 umfassen. Die Sidewall-Spacer 12, 13 können während dem Ausbilden der amorphisierten Bereiche 14, 15 auf der Oberfläche bleiben. Das ist vorteilhaft, wenn der Ionenstrahl 18 geneigt auf dem Substrat auftrifft, da dann die Sidewall-Spacer 12, 13 die Gateisolierschicht 6 vor einer Beschädigung durch die Bestrahlung mit energiereichen Ionen schützt. Anschließend wird das Substrat annealt, um festphasenepitaktische Rekristallisation der amorphisierten Bereiche 14, 15 zu erreichen. In anderen Ausführungsformen der vorliegenden Erfindung werden die Sidewall-Spacer 12, 13 vor dem Ausbilden der amorphisierten Bereiche 14, 15 entfernt / Abschnitte [0045] bis [0047] i. V. m. Fig. 5).*

Im Gegensatz zu herkömmlichen Prozessen, bei denen zum Aktivieren der Dotierstoffe für die Source- und Draingebiete und zum Ausheilen der durch die entsprechende Ionenimplantation verursachten Gitterschäden Hochtemperaturprozesse eingesetzt werden, erfolgt die Aktivierung der Dotierstoffe und das Ausheilen der Gitterdefekte hier durch die festphasenepitaktische Rekristallisation der zuvor amorphisierten und mit dem Source- und Drain-Dotierstoff implantierten Gebiete. Da dieser Vorgang bei niedrigeren Temperaturen durchgeführt werden kann als die herkömmlichen Ausheizprozesse, ist diese Vorgehensweise mit einem niedrigeren thermischen Budget und einer geringeren Verbreiterung des Diffusionsprofils verbunden *(Die vorliegende Erfindung ermöglicht die Herstellung von Feldeffekttransistoren mit verringertem thermischen Budget. Hierfür werden in einem Substrat amorphisierte Bereiche ausgebildet. Das Ausbilden der amorphisierten Bereiche kann vor oder nach der Implantation von Ionen einer ersten und einer zweiten Dotiersubstanz durchgeführt werden. Das Substrat wird annealt, um festphasenepitaktische Rekristallisation der amorphisierten Bereiche zu erreichen. Festphasenepitaktische Rekristallisation führt zur Ausbildung dotierter Bereiche mit einer geringen Dichte von Gitterdefekten. Die erste und die zweite Dotiersubstanz werden in das Kristallgitter des Substrats eingebaut, wodurch sie aktiviert*

*werden und als Elektronendonoren oder Akzeptoren wirken. Da die festphasen-epitaktische Rekristallisation eines amorphisierten Bereichs bei niedrigeren Temperaturen durchgeführt werden kann als das Ausheilen von Gitterdefekten in einem kristallinen Substrat, erfordert dieser Prozess ein erheblich geringeres thermisches Budget als die in der Technik bisher bekannten Verfahren. Folglich wird die Diffusion der Dotiersubstanzen und damit das "Verschwimmen" des Doterprofils vermindert / Abschnitt [0018]).*

Dementsprechend wird bei dem Verfahren nach der Druckschrift D1 im Gegensatz zur Lehre des Anspruchs 1 beim Bilden der Source- und Draingebiete nach dem entsprechenden Implantationsprozess kein Ausheizvorgang durchgeführt. Zudem offenbart die Druckschrift D1 auch keinerlei Maßnahmen zur Erhöhung der Ladungsträgerbeweglichkeit im Kanalgebiet des Transistors, so dass weder das Bilden einer verspannten Schicht noch die im geltenden Anspruch 1 angegebene Prozessabfolge „Ionenimplantation zur Amorphisierung - Bilden einer verspannten Schicht - Rekristallisieren der amorphisierten Gebiete in Anwesenheit der verspannten Schicht“ offenbart wird. Das Verfahren nach dem geltenden Anspruch 1 ist somit gegenüber dem Stand der Technik gemäß der Druckschrift D1 neu.

In gleicher Weise gilt dies auch gegenüber dem Stand der Technik gemäß der Druckschrift D3.

Zwar offenbart diese ein Verfahren zur Herstellung von Feldeffekttransistoren, bei dem die Beweglichkeit der Ladungsträger im Kanalgebiet durch Aufbringen einer spezifizierten inneren Verspannung aufweisenden Schicht (*stress inducing liner 15'*) erhöht wird, wobei diese wie bei dem Verfahren nach dem geltenden Anspruch 1 nach dem Bilden der Source- und Draingebiete (*source/drain extension regions 7, deep source/drain regions 6*) und nach dem Entfernen der für die entsprechenden Implantationsprozesse als Maske verwendeten Seitenabstandshalterschicht (*disposable spacer 14'*) aufgebracht wird, so dass sie unmittelbar an die Gateelektrode angrenzt und damit die auf den Kanalbereich ausgeübten Verspan-

nungen erhöht (Referring to FIG. 5, a gate region 5 is formed atop a substrate 10 utilizing conventional methods including deposition and lithography. Specifically, a gate stack is first provided atop the substrate 10 by depositing a gate dielectric layer and then a gate conductor layer using conventional forming methods, such as chemical vapor deposition / Abschnitt [0045] // In a preferred embodiment, following the formation of the gate region 5, a thin sidewall spacer 4 is formed abutting and protecting the gate region 5 sidewalls. [...] Referring to FIG. 6, source/drain extension regions 7 are then formed in substrate 10 and partially extend under the gate region 5. Source/drain extension regions 7 are formed via ion implantation and comprise a combination of normally incident and angled implants to form the desired grading in the extensions. [...] Referring to FIG. 7, following source/drain extension region 7 implants, a disposable spacer 14' is formed abutting the exterior surface of the thin sidewall spacer 4. In an alternative embodiment, the disposable spacer 14' may be formed abutting the gate conductor 3 by omitting the thin sidewall spacer. [...] Following disposable spacer 14' formation, a higher energy ion implant is conducted to form deep source/ drain regions 6. [...] Following deep source/drain region 6 formation, the source/drain region 6 and gate region 5 are activated by activation annealing using conventional processes such as, but not limited to: rapid thermal annealing, furnace annealing, flash lamp annealing or laser annealing. Activation anneal is conducted at a temperature ranging from about 850° C to about 1350°C / Abschnitte [0053] bis [0057] // Referring to FIG. 8, the disposable spacer 14' is then removed prior to the deposition of the stress inducing liner. By removing the disposable spacer 14' prior to the formation of the stress inducing liner, the stress inducing liner is positioned in closer proximity to the sidewalls of the gate region 5 than previously possible in prior FETs. Reducing the distance between the stress inducing liner 15' and the gate region 5, increases the stress produced in the device channel 12/ Abschnitt [0059] // Referring to Fig. 9, a stress inducing liner 15' is then deposited atop the entire structure depicted in Fig. 8. Specifically, the stress inducing liner 15' is formed atop the gate region 5, the silicide contact 11 and the exposed surface 9 of the substrate 10 adjacent the gate region 5 / Abschnitt [0061]).

Jedoch wird bei diesem Prozessablauf die verspannte Schicht auf die mit Silizidkontakten versehenen Source-Drain-Gebiete sowie die neben der Gateelektrode freiliegenden Bereiche der kristallinen Halbleiterwaferoberfläche aufgebracht, wie sich aus der zuletzt zitierten Textstelle ergibt (*Specifically, the stress inducing liner 15' is formed atop the gate region 5, the silicide contact 11 and the exposed surface 9 of the substrate 10 adjacent the gate region 5*). Ein Amorphisieren der Halbleiteroberfläche vor dem Aufbringen der verspannten Schicht wird hier ebenso wenig erwähnt wie ein nachfolgendes Rekristallisieren in Anwesenheit der verspannten Schicht, so dass auch die Druckschrift D3 keinerlei Hinweis auf die im Anspruch 1 angegebene Prozessabfolge „Amorphisieren - Bilden einer verspannten Schicht - Rekristallisieren in Anwesenheit der verspannten Schicht“ vermittelt. Somit ist die im geltenden Anspruch 1 gegebene Lehre auch gegenüber dem Stand der Technik gemäß der Druckschrift D3 neu.

6. Diese Lehre ergibt sich für den Fachmann auch nicht in naheliegender Weise.

Wie oben im Zusammenhang mit dem Abschnitt [0018] der Druckschrift D1 dargelegt, beschäftigt sich diese Druckschrift allein mit Maßnahmen zur Verringerung des thermischen Budgets bei der Aktivierung der Dotierstoffe und beim Ausheilen der Gitterschäden und lehrt dementsprechend die Anwendung der Verfahrensschritte des Amorphisierens und Rekristallisierens der Halbleiteroberfläche lediglich im Hinblick auf diesen Zweck. Die Druckschrift D3 offenbart zwar - wie ebenfalls vorangehend dargelegt - das Aufbringen einer verspannten Schicht zur Erzeugung von Verspannungen im Kanalgebiet, enthält jedoch keinerlei Anregung dahingehend, die Wirkung dieser Schicht durch ein vorheriges Amorphisieren und ein nachfolgendes Rekristallisieren in Anwesenheit der Schicht zu erhöhen. Insofern führt auch eine Zusammenschau der beiden Druckschriften D1 und D3 nicht zur Lehre des Anspruchs 1.

7. In gleicher Weise gelten die vorangehenden Darlegungen zur Neuheit und zur erfinderischen Tätigkeit auch für die Druckschrift D2. Denn wie die Druckschrift D3 offenbart auch diese lediglich ein Verfahren, bei dem eine verspannte Schicht (*strain inducing liner 25*) auf den Gatebereich und die benachbarten freiliegenden kristallinen Substratbereiche aufgebracht wird, wobei zusätzlich zu dieser Schicht eine weitere spannungserzeugende Schicht im Substrat (*biaxial tensile strained semiconducting layer 15*) vorgesehen werden kann (*Following the formation of the stacked structure 10 having a biaxial tensile strained semiconducting layer 15, NFET devices 20 are then formed using conventional MOS-FET processing steps including, but not limited to: conventional gate oxidation pre-clean and gate dielectric 2 formation, gate electrode 3 formation and patterning; gate reoxidation, source and drain extension formation, side-wall spacer 4 formation by deposition and etching; and source and drain 13 formation. In a next process step, a tensile strain inducing liner 25 is then deposited at least atop the gate region 5 and the exposed surface of the biaxial tensile strained semiconducting layer 15 adjacent the gate region 5. The tensile strain inducing liner 25 in conjunction with the biaxial tensile strained semiconducting layer 15 produces a uniaxial tensile strain within the device channel 12 of the nFET device having a direction parallel with the device channel 12 / Abschnitte [0075] und [0076] i. V. m. Fig. 1).*

Auch diese Druckschrift enthält damit keinerlei Hinweise auf ein Amorphisieren der Halbleiteroberfläche vor dem Aufbringen der verspannten Schicht und ein Rekristallisieren in Anwesenheit dieser Schicht und kann eine dementsprechende Prozessfolge damit auch nicht nahelegen.

8. Das Verfahren nach dem geltenden Anspruch 1 ist damit patentfähig.

9. An den geltenden Patentanspruch 1 können sich die direkt oder indirekt auf diesen rückbezogenen Unteransprüche 2 bis 12 anschließen, die vorteilhafte und nicht selbstverständliche Ausbildungen des Verfahrens nach Anspruch 1 betreffen.

10. In der geltenden Beschreibung ist der Stand der Technik, von dem die Erfindung ausgeht, angegeben und die Erfindung anhand der Figurenbeschreibung ausreichend erläutert. Auch die übrigen Unterlagen entsprechen den Anforderungen.

11. Bei der dargelegten Sachlage war der Beschwerde der Anmelderin stattzugeben und das Patent wie beantragt zu erteilen.

Dr. Strößner

Brandt

Metternich

Dr. Friedrich

CI