



BUNDESPATENTGERICHT

23 W (pat) 47/08

(Aktenzeichen)

Verkündet am
6. Juli 2012

...

BESCHLUSS

In der Beschwerdesache

...

betreffend die Patentanmeldung 102 62 272.8-33

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 6. Juli 2012 unter Mitwirkung des Vorsitzenden Richters Dr. Strößner und der Richter Brandt, Metternich und Dr. Friedrich

beschlossen:

Die Beschwerde der Anmelderin wird zurückgewiesen.

Gründe

I.

Die vorliegende Patentanmeldung 102 62 272 mit der Bezeichnung „Halbleitervorrichtung“ ist durch die Teilungserklärung vom 4. Oktober 2007 aus der Stammanmeldung 102 41 158 abgetrennt worden, die am 5. September 2002 unter Inanspruchnahme der japanischen Priorität JP 2002/3266 vom 10. Januar 2002 beim Deutschen Patent- und Markenamt eingereicht worden ist.

Die Prüfungsstelle für Klasse H 01 L hat die vorliegende Trennanmeldung mit Beschluss vom 19. November 2007 zurückgewiesen mit der Begründung, der Gegenstand des Anspruchs 1 sei gegenüber der ursprünglichen Offenbarung unzulässig erweitert, denn die beanspruchte Form der Invertergateleitungen sei ursprünglich nicht offenbart. Da die Trenn- bzw. Ausscheidungsanmeldung in dem Verfahrensstand weitergeführt werde, in dem sich die Stammanmeldung zum Zeitpunkt der Ausscheidung befand (vgl. BPatGE 43, 159 - „Akustisches Oberflächenfilter“), und die Prüfungsstelle den genannten Mangel bereits im Verfahren zur Stammanmeldung im Hinblick auf den Gegenstand des dort beanspruchten Anspruchs 1 gerügt habe, gälten die Feststellungen der Prüfungsstelle im Prüfungsverfahren zur Stammanmeldung unverändert auch für das Prüfungsverfahren in der Trennanmeldung, so dass die Anmeldung ohne weiteren Bescheid zurückzuweisen sei.

Gegen den am 7. Dezember 2007 zugestellten Beschluss hat die Anmelderin mit Schriftsatz vom 3. Januar 2008, eingegangen beim Deutschen Patent- und Markenamt am selben Tag, frist- und formgerecht Beschwerde eingelegt.

Zur Vorbereitung der mündlichen Verhandlung hat der Senat mit Zwischenverfügung vom 19. Juni 2012 darauf hingewiesen, dass neben der Zulässigkeit des geltenden Anspruchssatzes auch die Patentfähigkeit der Halbleitervorrichtung nach den geltenden Ansprüchen zu erörtern sein dürfte. Dabei hat der Senat zum Stand der Technik auf die bereits im Prüfungsverfahren zur Stammanmeldung gewürdigte Druckschrift

D1 JP 2001 - 028 401 mit englischsprachiger Maschinenübersetzung des japanischen Patentamts

verwiesen und der Anmelderin zusammen mit einer Kopie dieser Schrift und der Maschinenübersetzung auch eine Kopie der zugehörigen nachveröffentlichten US 6 677 649 B2 als englischsprachiges Familienmitglied übersandt.

In der mündlichen Verhandlung vom 6. Juli 2012 beantragt die Anmelderin,

1. den Beschluss der Prüfungsstelle für Klasse H 01 L des Deutschen Patent- und Markenamts vom 19. November 2007 aufzuheben;
2. ein Patent mit der Bezeichnung „Halbleitervorrichtung“, dem Anmeldetag 5. September 2002 und der ausländischen Priorität 10. Januar 2002 - JP-2002/3266 auf der Grundlage folgender Unterlagen zu erteilen:

Patentansprüche 1 bis 4, eingegangen am 16. Juli 2008, sowie Beschreibungsseiten 1 bis 27 und 11 Blatt Zeichnungen

mit Figuren 1 bis 17, jeweils eingegangen am 4. Oktober 2007 (Hauptantrag);

3. hilfsweise, ein Patent mit der vorgenannten Bezeichnung, dem vorgenannten Anmeldetag und der vorgenannten ausländischen Priorität auf der Grundlage folgender Unterlagen zu erteilen:

Patentansprüche 1 bis 4, eingegangen am 6. Juli 2012 als Hilfsantrag 1, sowie Beschreibungsseiten und Zeichnungen gemäß Hauptantrag.

4. weiterhin hilfsweise, ein Patent mit der vorgenannten Bezeichnung, dem vorgenannten Anmeldetag und der vorgenannten ausländischen Priorität auf der Grundlage folgender Unterlagen zu erteilen:

Patentansprüche 1 bis 15, eingegangen am 6. Juli 2012 als Hilfsantrag 2, sowie Beschreibungsseiten und Zeichnungen gemäß Hauptantrag.

5. weiterhin hilfsweise, ein Patent mit der vorgenannten Bezeichnung, dem vorgenannten Anmeldetag und der vorgenannten ausländischen Priorität auf der Grundlage folgender Unterlagen zu erteilen:

Patentansprüche 1 bis 16, eingegangen am 6. Juli 2012 als Hilfsantrag 3, sowie Beschreibungsseiten und Zeichnungen gemäß Hauptantrag.

6. weiterhin hilfsweise, ein Patent mit der vorgenannten Bezeichnung, dem vorgenannten Anmeldetag und der vorgenannten ausländischen Priorität auf der Grundlage folgender Unterlagen zu erteilen:

Patentanspruch, eingegangen am 6. Juli 2012 als Hilfsantrag 4, sowie Beschreibungsseiten und Zeichnungen gemäß Hauptantrag.

7. weiterhin hilfsweise, ein Patent mit der vorgenannten Bezeichnung, dem vorgenannten Anmeldetag und der vorgenannten ausländischen Priorität auf der Grundlage folgender Unterlagen zu erteilen:

Patentansprüche 1 bis 16, eingegangen am 6. Juli 2012 als Hilfsantrag 5, sowie Beschreibungsseiten und Zeichnungen gemäß Hauptantrag.

Ferner regte die Anmelderin an, die Sache an das Deutsche Patent- und Markenamt zurückzuverweisen und die Rückzahlung der Beschwerdegebühr anzuordnen.

Der geltende Anspruch 1 nach Hauptantrag lautet:

- „1. Halbleitervorrichtung mit:

einer Speicherzellengruppe, welche erste bis vierte statische Speicherzellen (10a, 10b, 10c, 10d) aufweist, wobei jede statische Speicherzelle ein Paar Treibertransistoren (11), ein Paar Lasttransistoren (12), einen Latch-Schaltkreis, welcher ein Paar Inverter aufweist, und ein Paar Zugriffstransistoren (13) enthält, welche mit

dem Latch-Schaltkreis verbunden sind, wobei ein Inverter durch einen Treibertransistor und einen Lasttransistor definiert ist und der andere Inverter durch den anderen Treibertransistor und den anderen Lasttransistor definiert ist, wobei

eine Wortleitung, welche elektrisch mit einer Gateelektrode des Zugriffstransistors verbunden ist, sich entlang einer ersten Richtung erstreckt,

die erste und zweite statische Speicherzelle (10a, 10b) zueinander benachbart entlang der ersten Richtung angeordnet sind,

eine Gateelektrode jedes Transistors der ersten statischen Speicherzelle und eine Gateelektrode jedes Transistors der zweiten statischen Speicherzelle spiegelsymmetrisch bezüglich einer zweiten Richtung angeordnet sind, die senkrecht zu der ersten Richtung verläuft,

die dritte und vierte statische Speicherzelle (10c, 10d) zueinander benachbart entlang der ersten Richtung angeordnet sind,

eine Gateelektrode jedes Transistors der dritten statischen Speicherzelle und eine Gateelektrode jedes Transistors der vierten statischen Speicherzelle spiegelsymmetrisch bezüglich der zweiten Richtung angeordnet sind,

die erste und dritte statische Speicherzelle (10a, 10c) zueinander benachbart entlang der zweiten Richtung angeordnet sind,

eine Gateelektrode jedes Transistors der ersten statischen Speicherzelle und eine Gateelektrode jedes Transistors der dritten statischen Speicherzelle spiegelsymmetrisch bezüglich der ersten Richtung angeordnet sind,

die zweite und vierte statische Speicherzelle (10b, 10d) zueinander benachbart entlang der zweiten Richtung angeordnet sind,

eine Gateelektrode jedes Transistors der zweiten statischen Speicherzelle und eine Gateelektrode jedes Transistors der vierten statischen Speicherzelle spiegelsymmetrisch bezüglich der ersten Richtung angeordnet sind,

eine erste Invertergateleitung (3a, 3b) durch die Gateelektroden eines Lasttransistors und eines Treibertransistors der ersten statischen Speicherzelle integriert ausgebildet ist,

eine zweite Invertergateleitung durch die Gateelektroden eines Lasttransistors und eines Treibertransistors der zweiten statischen Speicherzelle ausgebildet ist,

die Gateelektrode eines Zugriffstransistors der ersten statischen Speicherzelle, die erste Invertergateleitung, die zweite Invertergateleitung und die Gateelektrode eines Zugriffstransistors der zweiten statischen Speicherzelle auf einer ersten geraden Linie entlang der ersten Richtung der Reihe nach angeordnet sind,

eine dritte Invertergateleitung durch die Gateelektroden des anderen Lasttransistors und des anderen Treibertransistors der ersten statischen Speicherzelle integriert ausgebildet ist,

eine Zweizellengateleitung (3c, 3d) durch die Gateelektrode des anderen Zugriffstransistors der ersten statischen Speicherzelle und die Gateelektrode des anderen Zugriffstransistors der zweiten statischen Speicherzelle integriert ausgebildet ist,

eine vierte Invertergateleitung durch die Gateelektroden des anderen Lasttransistors und des anderen Treibertransistors der zweiten statischen Speicherzelle integriert ausgebildet ist,

die dritte Invertergateleitung, die Zweizellengateleitung und die vierte Invertergateleitung auf einer zweiten geraden Linie entlang der ersten Richtung der Reihe nach angeordnet sind,

aktive Gebiete der Transistoren einer statischen Speicherzelle jeweils entlang der zweiten Richtung angeordnet sind,

die erste bis vierte Invertergateleitung und die Zweizellengateleitung eine rechteckige Form besitzen, welche ein Paar einer längeren Seite entlang der ersten Richtung und einer kürzeren Seite entlang der zweiten Richtung aufweist,

jede Invertergateleitung mit dem entsprechenden aktiven Gebiet an einem Endabschnitt der Invertergateleitung durch einen ersten Metallverbinder verbunden ist,

jede Zweizellengateleitung mit der Wortleitung an einem mittleren Abschnitt der Zweizellengateleitung durch einen zweiten Metallverbinder verbunden ist,

jede statische Speicherzelle auf einem Halbleitersubstrat gebildet ist,

jede statische Speicherzelle des weiteren eine Ätzstoppschicht und eine dielektrische Zwischenschicht enthält, welche auf der Ätzstoppschicht gebildet ist, wobei die Ätzstoppschicht auf der Gateelektrode jedes Transistors und einer auf der Seite der Gateelektrode gebildeten Seitenwand gebildet ist,

ein erstes aktives Gebiet eines Treibertransistors und ein zweites aktives Gebiet eines Lasttransistors durch eine Grabenisolierung voneinander getrennt sind,

ein drittes aktives Gebiet des anderen Treibertransistors und ein viertes aktives Gebiet des anderen Lasttransistors durch die Grabenisolierung voneinander getrennt sind, und

ein oberes Teil jeder Grabenisolierung höher befindlich als jedes aktive Gebiet ist.“

Der geltende Anspruch 1 nach Hilfsantrag 1 unterscheidet sich von diesem Anspruch dadurch, dass die den Latch-Schaltkreis und dessen Aufbau aus einem Paar von Invertern betreffenden Angaben gestrichen wurden. Außerdem wurde die Angabe „Gateelektrode“ durchgehend durch den in der Anmeldung verwendeten Begriff „Gateverdrahtungselement“, die Angabe „Invertergateleitung“ durch „Gateleitung“ und der Begriff „Zweizellengateleitung“ durch „fünfte Gateleitung“ ersetzt. Die Angaben bezüglich der Erstreckung der aktiven Gebiete wurden gestrichen und die Angaben zur Isolierung durch eine Grabenisolierung umformuliert.

Der geltende Anspruch 1 nach Hilfsantrag 1 lautet somit:

„1. Halbleitervorrichtung mit:

einer Speicherzellengruppe, welche erste bis vierte statische Speicherzellen (10a, 10b, 10c, 10d) aufweist, wobei jede statische Speicherzelle ein Paar Treibertransistoren (11), ein Paar Lasttransistoren (12) und ein Paar Zugriffstransistoren (13) enthält, wobei

eine Wortleitung, welche elektrisch mit einem Gateverdrahtungselement des Zugriffstransistors verbunden ist, sich entlang einer ersten Richtung erstreckt,

die erste und zweite statische Speicherzelle (10a, 10b) zueinander benachbart entlang der ersten Richtung angeordnet sind,

Gateverdrahtungselemente der ersten statischen Speicherzelle und Gateverdrahtungselemente der zweiten statischen Speicherzelle spiegelsymmetrisch bezüglich einer zweiten Richtung angeordnet sind, die senkrecht zu der ersten Richtung verläuft,

die dritte und vierte statische Speicherzelle (10c, 10d) zueinander benachbart entlang der ersten Richtung angeordnet sind,

Gateverdrahtungselemente der dritten statischen Speicherzelle und Gateverdrahtungselemente der vierten statischen Speicherzelle spiegelsymmetrisch bezüglich der zweiten Richtung angeordnet sind,

die erste und dritte statische Speicherzelle (10a, 10c) zueinander benachbart entlang der zweiten Richtung angeordnet sind,

Gateverdrahtungselemente der ersten statischen Speicherzelle und Gateverdrahtungselemente der dritten statischen Speicherzelle spiegelsymmetrisch bezüglich der ersten Richtung angeordnet sind,

die zweite und vierte statische Speicherzelle (10b, 10d) zueinander benachbart entlang der zweiten Richtung angeordnet sind,

Gateverdrahtungselemente der zweiten statischen Speicherzelle und Gateverdrahtungselemente der vierten statischen Speicherzelle spiegelsymmetrisch bezüglich der ersten Richtung angeordnet sind,

eine erste Gateleitung (3a, 3b) durch die Gateverdrahtungselemente eines Lasttransistors und eines Treibertransistors der ersten statischen Speicherzelle gebildet ist,

eine zweite Gateleitung durch die Gateverdrahtungselemente eines Lasttransistors und eines Treibertransistors der zweiten statischen Speicherzelle ausgebildet ist,

ein Gateverdrahtungselement eines Zugriffstransistors der ersten statischen Speicherzelle, die erste Gateleitung, die zweite Gateleitung und die Gateelektrode eines Zugriffstransistors der zweiten statischen Speicherzelle auf einer ersten geraden Linie entlang der ersten Richtung der Reihe nach angeordnet sind,

eine dritte Gateleitung durch die Gateverdrahtungselemente des anderen Lasttransistors und des anderen Treibertransistors der ersten statischen Speicherzelle gebildet ist,

eine fünfte Gateleitung (3c, 3d) durch das Gateverdrahtungselement des anderen Zugriffstransistors der ersten statischen Speicherzelle und das Gateverdrahtungselement des anderen Zugriffstransistors der zweiten statischen Speicherzelle gebildet ist,

eine vierte Gateleitung durch die Gateverdrahtungselemente des anderen Lasttransistors und des anderen Treibertransistors der zweiten statischen Speicherzelle gebildet ist,

die dritte Gateleitung, die fünfte Gateleitung und die vierte Gateleitung auf einer zweiten geraden Linie entlang der ersten Richtung der Reihe nach angeordnet sind,

die erste bis vierte Gateleitung und die fünfte Gateleitung eine rechteckige Form besitzen, welche ein Paar einer längerer Seite entlang der ersten Richtung und einer kürzeren Seite entlang der zweiten Richtung aufweist,

jede erste bis vierte Gateleitung an einem Endabschnitt der Gateleitung durch einen ersten Metallverbinder verbunden ist,

jede fünfte Gateleitung mit der Wortleitung an einem mittleren Abschnitt der fünften Gateleitung durch einen zweiten Metallverbinder verbunden ist,

jede statische Speicherzelle des weiteren eine Ätzstoppschicht und eine dielektrische Zwischenschicht enthält, welche auf der Ätzstoppschicht gebildet ist, wobei die Ätzstoppschicht auf der Gateelektrode jedes Transistors und einer auf der Seite der Gateelektrode gebildeten Seitenwand gebildet ist,

ein Treibertransistor und ein Lasttransistor durch eine Grabenisolierung voneinander getrennt sind,

ein anderer Treibertransistor und ein anderer Lasttransistor durch die Grabenisolierung voneinander getrennt sind, und ein oberes Teil jeder Grabenisolierung höher befindlich als jedes aktive Gebiet ist.“

Der geltende Anspruch 1 nach Hilfsantrag 2 ist auf den Aufbau der Halbleitervorrichtung aus Speicherzellengruppen, auf die Anordnung der Wort- und Bitleitungen, auf die Ausbildung der Gateverdrahtungselemente, auf die Verbindungen von Wort- und Bitleitungen mit den Gateverdrahtungselementen sowie auf eine zwischen dem jeweiligen Gateverdrahtungselement und den Verbindern vorgesehene Seitenwand gerichtet. Er lautet:

„1. Halbleiterspeichervorrichtung, die aufweist:

eine Speicherzellengruppe, die Speicherzellen (10) aufweist, von denen jede erste und zweite Treibertransistoren (11), erste und zweite Lasttransistoren (12) und erste und zweite Zugriffstransistoren (13) aufweist, wobei die Speicherzellen zweidimensional auf einem Halbleitersubstrat (1) angeordnet sind;

eine Mehrzahl von Wortleitungen, die mit den Speicherzellen verbunden sind und entlang einer ersten Richtung parallel zueinander angeordnet sind;

eine Mehrzahl von Bitleitungen, die mit den Speicherzellen verbunden sind, wobei die Bitleitungen entlang einer zweiten Richtung, die senkrecht zu der ersten Richtung verläuft, parallel zueinander angeordnet sind;

ein erstes Gateverdrahtungselement (3; 3a, 3b), das eine Gateelektrode des ersten Treibertransistors und des ersten Lasttransistors bildet und eine rechteckige Form aufweist, die eine gerade Linie auf gegenüberliegenden Seiten aufweist;

ein zweites Gateverdrahtungselement (3; 3c, 3d), das eine Gateelektrode des Zugriffstransistors bildet und eine rechteckige Form aufweist, die eine gerade Linie auf gegenüberliegenden Seiten aufweist;

einen ersten Verbinder (5; 5a, 5b), der das erste Gateverdrahtungselement, einen aktiven Bereich des zweiten Treibertransistors und einen aktiven Bereich des zweiten Lasttransistors miteinander verbindet;

einen zweiten Verbinder (5; 5c, 5d), der das zweite Gateverdrahtungselement und die Wortleitungen miteinander verbindet, und

eine Seitenwand (4), die seitlich neben einem jeweiligen Gateverdrahtungselement (3) sowie zwischen diesem und dem jeweiligen Verbinder (5) angeordnet ist.“

Der Hilfsantrag 2 umfasst außerdem den nebengeordneten Anspruch 12. Dieser unterscheidet sich vom Anspruch 1 dieses Hilfsantrags durch die Angaben zum zweiten Gateverdrahtungselement, wonach das Gateverdrahtungselement mit dem Zugriffstransistor verbunden ist, wobei die ersten und zweiten Gateverdrahtungselemente entlang der ersten Richtung Längsrichtungen aufweisen, die zueinander parallel sind. Der Anspruch lautet:

„12. Halbleiterspeichervorrichtung, die aufweist:

eine Speicherzellengruppe, die Speicherzellen (10) aufweist, von denen jede erste und zweite Treibertransistoren (11), erste und zweite Lasttransistoren (12) und erste und zweite Zugriffstransistoren (13) aufweist, wobei die Speicherzellen zweidimensional auf einem Halbleitersubstrat (1) angeordnet sind;

eine Mehrzahl von Wortleitungen, die mit den Speicherzellen verbunden sind und entlang einer ersten Richtung parallel zueinander angeordnet sind;

eine Mehrzahl von Bitleitungen, die mit den Speicherzellen verbunden sind, wobei die Bitleitungen entlang einer zweiten Richtung, die senkrecht zu der ersten Richtung verläuft, parallel zueinander angeordnet sind;

ein erstes Gateverdrahtungselement (3; 3a, 3b), das eine Gateelektrode des ersten Treibertransistors und des ersten Lasttransistors bildet; und

ein zweites Gateverdrahtungselement (3; 3c, 3d), das mit dem Zugriffstransistor verbunden ist, wobei die ersten und zweiten

Gateverdrahtungselemente entlang der ersten Richtung Längsrichtungen aufweisen, die zueinander parallel sind,

einen ersten Verbinder (5; 5a, 5b), der das erste Gateverdrahtungselement, einen aktiven Bereich des zweiten Treibertransistors und einen aktiven Bereich des zweiten Lasttransistors miteinander verbindet;

einen zweiten Verbinder (5; 5c, 5d), der das zweite Gateverdrahtungselement und die Wortleitungen miteinander verbindet, und

eine Seitenwand (4), die seitlich neben einem jeweiligen Gateverdrahtungselement (3) sowie zwischen diesem und dem jeweiligen Verbinder (5) angeordnet ist.“

Im Anspruch 1 nach Hilfsantrag 3 ist der Schicht- und Strukturaufbau der Halbleiterspeichervorrichtung angegeben, der sich aus den Prozess-Schritten zu ihrer Herstellung ergibt. Dieser Anspruch lautet:

„1. Halbleiterspeichervorrichtung mit einer

Speicherzellengruppe, die Speicherzellen (10) aufweist, von denen jede erste und zweite Treibertransistoren (11), erste und zweite Lasttransistoren (12) und erste und zweite Zugriffstransistoren (13) aufweist,

einem Halbleitersubstrat (1) auf dem die Speicherzellen zweidimensional angeordnet sind,

einem Elementeisolieroxidfilm (2) an einem vorbestimmten Bereich des Halbleitersubstrats (1),

aufeinanderfolgenden Bereichen einer P-Mulde, einer N-Mulde und einer P-Mulde auf dem Halbleitersubstrat 1 in einer ersten Richtung gleich der Längsrichtung der Speicherzelle (10),

einem Gateoxidfilm und Polysiliziumverdrahtungsschichten (3), die als Gateverdrahtungsschichten dienen,

wobei die Transistoren (11, 12, 13) in einem vorbestimmten Bereich ausgebildet sind,

ersten Gateverdrahtungselementen (3a, 3b), die als Gateelektroden des Treibertransistors (11) und des Lasttransistors (12) strukturiert sind, und zweiten Gateverdrahtungselementen (3c, 3d), die als Gateelektroden des Zugriffstransistors (13) entlang der ersten Richtung in Form von Rechtecken ohne Einkerbung oder Auskrägung strukturiert sind,

einer Seitenwand (4),

Sources und Drains der Transistoren (11, 12, 13),

einer CoSi_2 - Schicht,

einer Ätzstoppschicht und einem ersten Isolierfilm (6a), wobei ein Teil der Ätzstoppschicht entfernt ist, um einen Graben für den lokalen Zwischenverbinder (5a - 5d) auszubilden,

in dem Graben ist Wolfram für den lokalen Zwischenverbinder (5a-5d) vorhanden, wobei die sich ergebende Struktur geebnet ist, um den lokalen Zwischenverbinder (5a - 5d) auszubilden,

einem zweiten Isolierfilm (6b),

Stapeldurchgangslöchern (7) , in denen Wolfram vorhanden ist,

einer strukturierten ersten Metallschicht (8), die eine Wortleitung (WL) bildet,

einem dritten Isolierfilm (6c),

einem ersten Durchgangsloch (14), in dem Wolfram vorhanden ist,

einer strukturierten zweiten Metallschicht (9), die eine Bitleitung (BIT) und Stromversorgungsleitungen (VDD, GND) bildet,

einem vierten Isolierfilm (6d),

einem zweiten Durchgangsloch, in dem Wolfram vorhanden ist,
und

einer dritten strukturierten Metallschicht (15).“

Der Anspruch 1 nach Hilfsantrag 4 umfasst die im Anspruch 1 nach Hilfsantrag 2 angegebenen Merkmale und zusätzlich die Merkmale aller Unteransprüche des Hilfsantrags 2. Er lautet:

„1. Halbleiterspeichervorrichtung, die aufweist:

eine Speicherzellengruppe, die Speicherzellen (10) aufweist, von denen jede erste und zweite Treibertransistoren (11), erste und zweite Lasttransistoren (12) und erste und zweite Zugriffstransistoren (13) aufweist, wobei die Speicherzellen zweidimensional auf einem Halbleitersubstrat (1) angeordnet sind;

eine Mehrzahl von Wortleitungen, die mit den Speicherzellen verbunden sind und entlang einer ersten Richtung parallel zueinander angeordnet sind;

eine Mehrzahl von Bitleitungen, die mit den Speicherzellen verbunden sind, wobei die Bitleitungen entlang einer zweiten Richtung, die senkrecht zu der ersten Richtung verläuft, parallel zueinander angeordnet sind;

ein erstes Gateverdrahtungselement (3; 3a, 3b), das eine Gateelektrode des ersten Treibertransistors und des ersten Lasttransistors bildet und eine rechteckige Form aufweist, die eine gerade Linie auf gegenüberliegenden Seiten aufweist;

ein zweites Gateverdrahtungselement (3; 3c, 3d), das eine Gateelektrode des Zugriffstransistors bildet und eine rechteckige Form aufweist, die eine gerade Linie auf gegenüberliegenden Seiten aufweist;

einen ersten Verbinder (5; 5a, 5b), der das erste Gateverdrahtungselement, einen aktiven Bereich des zweiten Treibertransistors und einen aktiven Bereich des zweiten Lasttransistors miteinander verbindet;

einen zweiten Verbinder (5; 5c_f, 5d), der das zweite Gateverdrahtungselement und die Wortleitungen miteinander verbindet, und

eine Seitenwand (4), die seitlich neben einem jeweiligen Gateverdrahtungselement (3) sowie zwischen diesem und dem jeweiligen Verbinder (5) angeordnet ist,

wobei die ersten und zweiten Gateverdrahtungselemente derart angeordnet sind, daß sich Längsrichtungen der ersten und zweiten Gateverdrahtungselemente in einer Richtung einer Gatebreite des Zugriffstransistors ausdehnen,

wobei die ersten und zweiten Gateverdrahtungselemente derart angeordnet sind, daß Längsrichtungen der ersten und zweiten Gateverdrahtungselemente entlang der ersten Richtung parallel zueinander verlaufen,

wobei die ersten und zweiten Gateverdrahtungselemente derart angeordnet sind, daß sie im wesentlichen einen gleichen Abstand zwischen einem des ersten Gateverdrahtungselements und einem des zweiten Gateverdrahtungselements aufweisen, die in der ersten Richtung aneinander angrenzen,

wobei die ersten und zweiten Gateverdrahtungselemente derart angeordnet sind, daß sie im wesentlichen einen gleichen Abstand zwischen einem des ersten Gateverdrahtungselements und einem des zweiten Gateverdrahtungselements aufweisen, die in der zweiten Richtung aneinander angrenzen,

wobei die ersten und zweiten Gateverdrahtungselemente kürzere Seiten aufweisen, die im wesentlichen zueinander gleiche Längen aufweisen,

wobei Formen des ersten Gateverdrahtungselements und des zweiten Gateverdrahtungselements, die auf einer Ebene hervorstehen, die parallel zu dem Substrat verläuft, im wesentlichen gleich sind,

wobei die ersten und zweiten Gateverdrahtungselemente bezüglich eines Punkts punktsymmetrisch sind,

wobei die ersten und zweiten Gateverdrahtungselemente ein Verhältnis einer längeren Seite zu einer kürzeren Seite von nicht kleiner als 5 aufweisen,

wobei Seiten der ersten und zweiten Gateverdrahtungselemente Längen aufweisen, die nicht länger als 0,15 m sind,

wobei die ersten und zweiten Verbinder aus damastiertem Wolfram bestehen.“

Anspruch 1 nach Hilfsantrag 5 ist als „product-by-process“-Anspruch formuliert und beansprucht Schutz für eine Halbleiterspeichervorrichtung, die durch das Verfahren mit den im Anspruch angegebenen, mit den Buchstaben (a) bis (z) bezeichneten Verfahrensschritten hergestellt wird. Dieser „product-by-process“-Anspruch lautet:

„1. Halbleiterspeichervorrichtung mit einer Speicherzellen-
gruppe, die Speicherzellen (10) aufweist, von denen jede erste
und zweite Treibertransistoren (11), erste und zweite Lasttransis-

toren (12) und erste und zweite Zugriffstransistoren (13) aufweist, wobei die Speicherzellen zweidimensional auf einem Halbleitersubstrat (1) angeordnet sind, hergestellt durch ein Verfahren mit den Schritten:

- (a) Bereitstellen des Halbleitersubstrats (1),
- (b) Bilden eines Elementeisolieroxidfilms (2) an einem vorbestimmten Bereich des Halbleitersubstrats (1),
- (c) Implantieren von Ionen in einen vorbestimmten Bereich, um aufeinanderfolgende Bereiche einer P-Mulde, einer N-Mulde und einer P-Mulde auf dem Halbleitersubstrat (1) in einer ersten Richtung gleich der Längsrichtung der Speicherzelle (10) auszubilden,
- (d) Abscheiden eines Gateoxidfilms und darauffolgendes Abscheiden von Polysiliziumverdrahtungsschichten (3), die als Gateverdrahtungsschichten dienen,
- (e) Implantieren von Ionen in einen vorbestimmten Bereich, um die Transistoren (11, 12, 13) auszubilden,
- (f) Strukturieren von ersten Gateverdrahtungselementen (3a, 3b) als Gateelektroden des Treibertransistors (11) und des Lasttransistors (12) und von zweiten Gateverdrahtungselementen (3c, 3d) als Gateelektroden des Zugriffstransistors (13) entlang der ersten Richtung in Form von Rechtecken ohne Einkerbung oder Auskragung,
- (g) Bilden einer Seitenwand (4),
- (h) Bilden von Source und Drain der Transistoren (11, 12, 13) durch Ionenimplantierung,
- (i) Bilden einer CoSi_2 -Schicht,
- (j) Abscheiden einer Ätzstoppschicht und eines ersten Abflachisolierfilms (6a),

- (k) Ätzen des ersten Abflach-Isolierfilms (6a) unter Verwendung einer Maske für einen lokalen Zwischenverbinder (5a - 5d), wobei das Ätzen durch die Ätzstoppschicht gestoppt wird,
- (l) Entfernen der durch Ätzen des ersten Abflach-Isolierfilms (6a) freigelegten Ätzstoppschicht, um einen Graben für den lokalen Zwischenverbinder (5a - 5d) auszubilden,
- (m) Abscheiden von Wolfram in dem Graben für den lokalen Zwischenverbinder (5a - 5d) und Ebenen der sich ergebenden Struktur, um den lokalen Zwischenverbinder (5a - 5d) auszubilden,
- (m') Entfernen von Wolfram mit Ausnahme in dem Graben für den lokalen Zwischenverbinder (5a - 5d),
- (n) Abscheiden eines zweiten Abflach-Isolierfilms (6b),
- (o) Bilden von Stapeldurchgangslöchern (7),
- (o') Abscheiden von Wolfram in den Stapeldurchgangslöchern (7),
- (p) Entfernen von Wolfram mit Ausnahme in den Stapeldurchgangslöchern (7),
- (q) Abscheiden einer ersten Metallschicht (8) auf der gesamten Oberfläche der sich ergebenden Struktur,
- (r) Strukturieren der ersten Metallschicht (8) zur Bildung einer Wortleitung (WL) unter Verwendung einer Maske,
- (s) Abscheiden eines dritten Isolierfilms (6c),
- (t) Ausbilden eines ersten Durchgangslochs (14),
- (u) Abscheiden von Wolfram in dem ersten Durchgangsloch (14) und Entfernen von Wolfram ausgenommen in dem ersten Durchgangsloch durch Ätzen,
- (v) Abscheiden einer zweiten Metallschicht (9) und Strukturieren der zweiten Metallschicht zur Bildung einer Bitleitung (BIT) und von Stromversorgungsleitungen (VDD, GND),
- (w) Abscheiden eines vierten Isolierfilms (6d),

- (x) Ausbilden eines zweiten Durchgangslochs durch Ätzen,
- (y) Abscheiden von Wolfram in dem zweiten Durchgangsloch und Entfernen von Wolfram ausgenommen in dem zweiten Durchgangsloch, und
- (z) Abscheiden einer dritten Metallschicht (15) und Strukturieren der dritten Metallschicht.“

Hinsichtlich der jeweiligen Unteransprüche sowie hinsichtlich der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

II.

Die zulässige Beschwerde der Anmelderin erweist sich nach dem Ergebnis der mündlichen Verhandlung als nicht begründet. Die Ansprüche 1 nach dem Hauptantrag und nach dem Hilfsantrag 1 sind nicht zulässig (§ 38 PatG). Die Gegenstände der Ansprüche 1 nach den Hilfsanträgen 2 bis 5 sind nicht patentfähig, denn die Halbleiterspeichervorrichtung nach dem Anspruch 1 nach dem Hilfsantrag 2 ist nicht neu (§ 3 PatG) und die Halbleiterspeichervorrichtungen der Ansprüche 1 nach den Hilfsanträgen 3 bis 5 beruhen nicht auf einer erfinderischen Tätigkeit des Fachmanns (§ 4 PatG).

Als Fachmann ist ein in der Halbleiterindustrie tätiger, mit dem Entwurf und der Technologie von SRAM-Speicherschaltungen befasster Diplom-Physiker oder Diplom-Ingenieur der Elektrotechnik mit Hochschulabschluss zu definieren.

1. Die Anmeldung betrifft eine Halbleiterspeichervorrichtung, nämlich einen statischen Direktzugriffsspeicher (SRAM).

Statische Direktzugriffsspeicher benötigen im Gegensatz zu dynamischen Speichern keine Auffrischungsvorgänge (Refresh), da bei ihnen der Speicherzustand

durch die beiden Schaltzustände einer bistabilen Kippstufe in Form eines Flip-Flops gespeichert wird. Die Kippstufe wird durch eine Schaltung aus zwei Invertern gebildet, bei der der Ausgang des ersten Inverters mit dem Eingang des zweiten Inverters und der Ausgang des zweiten Inverters mit dem Eingang des ersten Inverters verbunden ist, so dass die beiden Inverter jeweils gegenläufig zueinander zwischen den Ausgangszuständen „0“ und „1“ hin- und hergeschaltet werden. Der Signalpegel an den beiden Inverterausgängen wird über einen jeweiligen Zugriffstransistor, dessen Gateelektrode mit der Wortleitung verbunden ist, an die entsprechenden Bitleitungen gelegt und von einem Leseverstärker detektiert.

Diese Schaltung wird in CMOS-Technologie mit sechs MOS-Transistoren pro Speicherzelle realisiert, nämlich zwei Paaren von CMOS-Transistoren für die beiden Inverter und zwei Zugriffstransistoren. Im Vergleich zu den mit weniger Transistoren auskommenden DRAM's verbrauchen SRAM's damit mehr Fläche, so dass die für die Erhöhung der Speicherkapazität erforderliche Flächenverkleinerung der Speicherzellen schon durch die Zahl der pro Speicherzelle notwendigen Transistoren besondere Probleme bereitet, vgl. in den geltenden Beschreibungsunterlagen die Fig. 1 und die zugehörige Beschreibung.

Die JP 9 - 270 468 (US 5 744 844 A) und die JP 10 - 178 110 (US 5 930 163 A) offenbaren Beispiele von SRAM-Anordnungen, bei denen die Zelle in Wortleitungsrichtung länger als in Bitleitungsrichtung hoch ist, so dass kurze Bitleitungslängen erzielt werden, was die Bitleitungsgeschwindigkeit erhöht. Zudem weist die aktive Schicht und die Gateverdrahtung bei diesen Anordnungen eine einfache Form auf, um die Zellenfläche zu verringern, vgl. S. 1, 2. Absatz der geltenden Unterlagen der vorliegenden Trennanmeldung.

Einer Flächenverkleinerung der Speicherzellenstrukturen steht bisher entgegen, dass beim Design der Speicherzellen unvermeidbare fertigungstechnische Probleme berücksichtigt werden müssen. So müssen bspw. die bei der Herstel-

lung von Kontaktlöchern zur Kontaktierung der Gateverdrahtungsebenen auftretenden fotolithografischen und ätztechnischen Probleme durch Vorgabe entsprechender Bedeckungsspielräume, d. h. durch eine Verbreiterung der Gatestrukturen im Bereich der Kontaktlöcher berücksichtigt werden, vgl. S. 1, 1e. Abs. bis S. 3, 1. Abs. der Trennanmeldungsunterlagen.

Der Anmeldung liegt daher als technisches Problem die Aufgabe zugrunde, Lithographie- und Verarbeitungsspielräume sicherzustellen, ohne eine Gateform beim Ausbilden eines Gateverdrahtungselements einer Halbleiterspeicher-vorrichtung, insbesondere eines SRAM, kompliziert zu deformieren, vgl. S. 3, 2. Abs. der Trennanmeldungsunterlagen.

Diese Aufgabe wird durch die Halbleitervorrichtung der Patentansprüche 1 nach dem Hauptantrag bzw. nach den Hilfsanträgen 1 bis 5 gelöst. Wesentlich für die Lösung ist gemäß den Ansprüchen 1 nach Hauptantrag und nach den Hilfsanträgen 1, 2 und 4 die Zusammenfassung von jeweils vier Speicherzellen zu einer Speicherzellengruppe, die symmetrische Anordnung der Speicherzellen innerhalb der Gruppen, die dieser Anordnung entsprechende Ausrichtung und Formgebung der Gateverdrahtungselemente für die Transistoren der Speicherzellen sowie die Verbindungselemente in Form von Metallverbindern. Wesentlich ist weiterhin auch das Vorsehen einer Ätzstoppschicht auf der Gateelektrode und auf einer auf dieser gebildeten Seitenwand sowie die Grabenisolation der aktiven Gebiete der Transistoren. Für die Lösungen gemäß den Ansprüchen 1 nach Hilfsantrag 3 und Hilfsantrag 5 ist die dort angegebene Schichtanordnung der entsprechenden Speicherzellenanordnung bzw. die dieser Anordnung zugrundeliegende Prozessabfolge zur Herstellung der Speicherzellenanordnung wesentlich.

2. Der Anspruch 1 nach dem Hauptantrag ist nicht zulässig, denn der in ihm beanspruchte Gegenstand geht über den in der Stammanmeldung ursprünglich offenbarten Sachverhalt hinaus.

Die ursprünglichen Unterlagen der Stammanmeldung erwähnen an keiner Stelle, dass die einzelnen Speicherzellen einen Latch-Schaltkreis, der ein Paar Inverter aufweist, und ein Paar mit dem Latch-Schaltkreis verbundener Zugriffstransistoren enthalten und dass die Inverter jeweils durch einen Treiber- und einen Lasttransistor definiert sind. Denn der Fachmann wird auf diese Angaben als für eine SRAM-Speicherzelle übliche Merkmale allenfalls und ausschließlich unter Heranziehung seines allgemeinen Fachwissens schließen. Dies ändert jedoch an der fehlenden ursprünglichen Offenbarung dieser Merkmale nichts, denn zum Offenbarungsgehalt einer Patentanmeldung gehört nur das, was den ursprünglich eingereichten Unterlagen unmittelbar und eindeutig zu entnehmen ist, nicht jedoch eine weitergehende Erkenntnis, zu der der Fachmann aufgrund seines Fachwissens gelangt, vgl. BGH GRUR 2010, 910, insbesondere Tz. 62 - „Fälschungssicheres Dokument“.

Weiterhin offenbaren die ursprünglichen Unterlagen auch keine Invertergateleitungen, die durch die Gateelektroden des jeweiligen Last- und Treibertransistors der entsprechenden Speicherzelle integriert ausgebildet sind, wie sie im geltenden Anspruch 1 als erste, zweite, dritte und vierte Invertergateleitungen beansprucht werden. In den ursprünglichen Unterlagen sind lediglich erste und zweite Gateverdrahtungselemente „3a, 3b“ bzw. „3c, 3d“ offenbart, die jeweils Gateelektroden des Treiber- und des Lasttransistors „11, 12“ sind, vgl. S. 11, 2. Abs. bis S. 13, 1. Abs. i. V. m. Fig. 2 sowie S. 17, 1e. Abs. bis S. 18, 2. Abs. i. V. m. Fig. 12 und 13.

Ebenso wenig offenbaren die ursprünglichen Unterlagen auch eine Zweizellengateleitung, gemäß Anspruch 1, die durch die Gateelektrode des anderen Zugriffstransistors der ersten Speicherzelle und die Gateelektrode des anderen Zugriffstransistors der zweiten Speicherzelle integriert ausgebildet ist, denn dort ist weder von einer Zweizellengateleitung die Rede noch überhaupt von einer Leitung, die aus den Gateelektroden der Zugriffstransistoren einer ersten und einer zweiten Speicherzelle gebildet wird, vgl. die oben genannten Zitatstellen.

Weiterhin ist in den ursprünglichen Unterlagen auch keine nach Anspruch 1 beanspruchte Grabenisolierung offenbart, die jeweils die aktiven Gebiete der Treiber- und der Lasttransistoren voneinander trennt. Zur Bauelementisolation wird in den ursprünglichen Unterlagen der Stammanmeldung lediglich ausgesagt, dass die Treibertransistoren „11“, die Lasttransistoren „12“ und die Zugriffstransistoren „13“ derart ausgebildet sind, dass die Transistoren von einem Elementisolationsoxidfilm „2“ voneinander isoliert sind, der an einem vorbestimmten Bereich des Halbleitersubstrats ausgebildet wird, vgl. S. 12, Zeilen 13 bis 17 und S. 13, Zeilen 18 bis 20 i. V. m., Fig. 3 und 5. Die ursprünglichen Unterlagen machen somit keine Aussage dahingehend, dass die Isolation speziell durch eine Grabenisolierung erfolgt und dass dabei ein oberes Teil jeder Grabenisolierung höher befindlich als jedes aktive Gebiet sein soll. Das in der mündlichen Verhandlung vorgetragene Argument, bei den oberen Teilen der Grabenisolierung handele es sich um die in Fig. 6 gezeigten, nach oben über die Ebene der aktiven Gebiete herausragenden hörnerartigen Vorsprünge, vermochte den Senat nicht zu überzeugen, denn diese Vorsprünge werden in der Beschreibung weder erwähnt noch wird ihr Zustandekommen durch entsprechende Prozeßschritte beschrieben, so dass der Fachmann keinen Anlass hat, das in der Figur gezeigte Detail als erfindungswesentliches Merkmal wahrzunehmen.

Der geltende Anspruch 1 geht somit über den Inhalt der ursprünglichen Offenbarung der Stammanmeldung hinaus und ist damit gemäß § 38 PatG unzulässig.

3. Gleiches gilt auch für den Anspruch 1 nach Hilfsantrag 1.

Zwar wurde in diesem gegenüber dem Anspruch 1 nach Hauptantrag eine Reihe der oben als ursprünglich nicht offenbart gerügten Merkmale gestrichen, jedoch enthält dieser nach wie vor die Angabe, dass Treiber- und Lasttransistoren durch eine Grabenisolierung voneinander getrennt sind und ein oberes Teil jeder Grabenisolierung höher befindlich als jedes aktive Gebiet ist. Wie vorangehend darge-

legt, ist diese Lehre in den ursprünglichen Unterlagen der Stammanmeldung nicht offenbart, so dass auch dieser Anspruch 1 unzulässig ist.

4. Die Halbleiterspeichervorrichtung nach Anspruch 1 nach Hilfsantrag 2 ist gegenüber der in der Druckschrift D1 offenbarten Halbleiterspeichervorrichtung nicht neu.

Die Maschinenübersetzung zur Druckschrift D1 weist zwar sprachliche Mängel auf. Entgegen der Auffassung der Anmelderin vermittelt der Übersetzungstext in seinem Gesamtzusammenhang sowie im Zusammenhang mit den dort erläuterten Figuren der zugehörigen japanischen Offenlegungsschrift trotz dieser Mängel dem Fachmann eine eindeutige und nachvollziehbare Lehre über die Halbleiterspeichervorrichtung nach der Druckschrift D1.

So offenbart die Druckschrift D1 eine Halbleiterspeichervorrichtung mit SRAM-Speicherzellen (*This invention is concerned with a semiconductor integrated circuit device, and relates to the memory especially constituted using the layout of a SRAM (static random access memory) cell and this cell / Abschnitt [0001] der Maschinenübersetzung zur D1*), die in Übereinstimmung mit der Lehre des Anspruchs 1 nach Hilfsantrag 2 eine Speicherzellengruppe (*array form mit in x- und y-Richtung jeweils symmetrischer Anordnung der Speicherzellen*) mit Speicherzellen (*MC*) aufweist, von denen jede erste und zweite Treibertransistoren (*TP1, TP2*), erste und zweite Lasttransistoren (*TN1, TN2*) und erste und zweite Zugriffstransistoren (*TN3, TN4*) aufweist, wobei die Speicherzellen zweidimensional auf einem Halbleitersubstrat (*semiconductor substrate*) angeordnet sind (*Layout MC of the SRAM cell of this invention is shown in drawing 1 and drawing 2. [...] Inverter INV1 is constituted by P channel type MOS Transistor TP1 [...] [and] N-channel type MOS-transistor TN1 [...]. Inverter INV2 is constituted by N channel type MOS transistor TN2 [...] and P channel type MOS transistor TP2 [...]. The output of inverter INV 1 is electrically connected with the input of inverter INV2 by contact SC1. The output of inverter INV2 is electrically connected with the input of*

inverter INV1 by contact SC2. N channel type MOS transistor TN3, a drain electrode is connected to bit line BL1, a source electrode is connected to the drain of N channel type MOS transistor TN1, and a gate electrode is connected to the word line WD. Similarly, a drain electrode is connected to bit line BL2 N channel type transistor TN4, a source electrode is connected to the drain of N channel type MOS transistor TN2, and a gate electrode is connected to the word line WD / Abschnitte [00018] bis [0021]) // The example at the time of arranging memory cell MC of the working example 1 to array form is shown in drawing 4. [...] Adjacent memory cell MC is arranged to the y-axis at axial symmetry, and up-and down memory cell is arranged to a x-axis at axial symmetry / Abschnitte [0029] und [0030] i. V. m. Fig. 4, die das gesamte Speicherzellenarray mit der symmetrische Anordnung der Speicherzellen zeigt, vgl. hierzu die Reihenfolge der Leitungen von links nach rechts).

Die Halbleiterspeichervorrichtung weist in weiterer Übereinstimmung mit der Lehre des Anspruchs 1 eine Mehrzahl von Wortleitungen (*word lines WD*), die mit den Speicherzellen verbunden sind und entlang einer ersten Richtung parallel zueinander angeordnet sind und eine Mehrzahl von Bitleitungen (*bit lines BL1, BL2*) auf, die mit den Speicherzellen verbunden sind, wobei die Bitleitungen entlang einer zweiten Richtung, die senkrecht zu der ersten Richtung verläuft, parallel zueinander angeordnet sind (*polycrystalline silicon wiring layer FG3 used for the gate electrode of N channel type MOS transistor TN3 and polycrystalline silicon wiring layer FG4 used for the gate electrode of N channel type MOS transistor TN4 is connected to the word line WL which uses the 2nd metallic wiring layer [...] / Abschnitt [0025] // Bit line BL1 is inserted into power-supply-potential Vcc1 and earth-potentials Vss1, and bit line BL2 is inserted into power-supply-potentials Vcc1 and earth-potentials Vss2 / Abschnitt [0027] i. V. m. Fig. 4, die das Speicherzellenarray mit horizontal verlaufenden Wortleitungen WD und vertikal verlaufenden Bitleitungen BL1, BL2 zeigt).*

Dabei weisen ein erstes Gateverdrahtungselement (FG5), das eine Gateelektrode des ersten Treibertransistors und des ersten Lasttransistors (TP1, TN1) bildet, und ein zweites Gateverdrahtungselement (FG8), das eine Gateelektrode des Zugriffstransistors (TN4) bildet, jeweils eine rechteckige Form auf, die eine gerade Linie auf gegenüberliegenden Seiten aufweist (*Memory cell MC3 of the working example 4 differs compared with memory cell MC2 of the working example 3 in that the form of a polycrystalline silicon wiring layer (FG5, FG6, FG7, FG8) is a rectangle. In this cell, there is no bending, pattern correction (OCP) is unnecessary and the balance of transistors becomes good / Abschnitt [0037] i. V. m. Fig. 7, wobei die Verdrahtungsschichten FG5 bis FG8 dieses Ausführungsbeispiels den als Gateelektroden dienenden Verdrahtungsschichten FG1 bis FG4 der Ausführungsbeispiele gemäß den Fig. 1 bis 5 entsprechen, d. h. die Gateelektroden bilden*).

Ferner weist die Halbleiterspeichervorrichtung nach der Druckschrift D1 auch einen ersten Verbinder (SC4 in Fig. 7) auf, der das erste Gateverdrahtungselement (FG5 in Fig. 7), einen aktiven Bereich des zweiten Treibertransistors und einen aktiven Bereich des zweiten Lasttransistors (TP2 und TN2 in Fig. 7) miteinander verbindet (*The output of inverter INV2 is electrically connected with the input of inverter INV1 by contact SC2 / Abschnitt [0020] // Contact (SC1, SC2) is the same except for the point currently replaced by contact (SC3, SC4) and the metallic layer (M11, M12) of the 1st layer / Abschnitt [0035] , wobei der Ausgang des Inverters INV2 von dem aktiven Bereich zwischen Treiber- und Lasttransistor dieses Inverters und der Eingang des Inverters INV1 von der Gateelektrode von Treiber- und Lasttransistor des Inverters INV1 gebildet wird*). Außerdem ist auch ein zweiter Verbinder vorgesehen, der das zweite Gateverdrahtungselement (FG8 in Fig. 7 bzw. das entsprechende Gateverdrahtungselement FG4 in Fig. 1) und die Wortleitungen miteinander verbindet (*Polycrystalline silicon wiring layer FG4 used for the gate electrode of N channel type MOS transistor TN4 is connected to the wordline WL / Abschnitt [0025]*).

Schließlich ist in Übereinstimmung mit der Lehre des letzten Merkmals des Anspruchs 1 nach Hilfsantrag 2 bei der Halbleiterspeichervorrichtung gemäß Druckschrift D1 seitlich neben einem jeweiligen Gateverdrahtungselement sowie zwischen diesem und dem jeweiligen Verbinder auch eine Seitenwand angeordnet. Denn bei der anhand der Fig. 22 (a) bis (f) und 23 (a) bis (g) erläuterten Prozessfolge zum Herstellen eines Verbinders aus Wolfram (*W*) zwischen einer Gateelektrode aus einem Wolfram-Silizid (*Schichtanordnung aus PolySi und W auf dem Gateoxid i. V. m. Abs. [0043]*) und einem P⁺-Diffusionsgebiet (*P⁺ - Gebiet im Substrat*) ist seitlich neben dem Gateverdrahtungselement sowie zwischen diesem und dem Verbinder aus Wolfram ein Siliziumoxid-Spacer (*SiO*) vorgesehen, der für einen vergrößerten Abstand zwischen der Gateverdrahtung und der Diffusionszone sorgt und damit einen Leckstrom verhindert (*When forming the contact which connects the polycrystalline silicon wiring layer and a diffusion zone, [...] a side spacer also lengthens the intervall of diffusion-zone TP2 and polycrystalline wiring layer FG1, n- is not formed in a diffusion zone but leakage current can be prevented / Abschnitt [0028]*) und der eine Seitenwand des Gateverdrahtungselements bildet, wie insbesondere die Fig. 22 (f) und 23 (g) zeigen, in denen die Anordnung mit dem Verbinder zwischen der Gateelektrode und dem Diffusionsgebiet mit der SiO-Seitenwand als Endprodukt der in anhand der Fig. 22 und 23 erläuterten Prozessfolge dargestellt ist.

Somit offenbart die Druckschrift D1 eine Halbleiterspeichervorrichtung mit allen Merkmalen der Halbleiterspeichervorrichtung gemäß Anspruch 1 nach Hilfsantrag 2, die mithin i. S. d. § 3 PatG nicht neu ist.

5. Die Halbleiterspeichervorrichtung nach Anspruch 1 nach Hilfsantrag 4 beruht nicht auf einer erfinderischen Tätigkeit des Fachmanns.

Dieser Anspruch ist durch Anfügen der Merkmale der Unteransprüche des Anspruchssatzes nach Hilfsantrag 2 an den Anspruch 1 nach Hilfsantrag 2 entstanden. Im Hinblick auf die mit dem Anspruch 1 nach Hilfsantrag 2 identischen Merkmale wird somit auf die vorangehenden Darlegungen unter Ziffer 4 verwiesen, wonach die Druckschrift D1 eine Halbleiterspeichervorrichtung mit einer Speicherzellengruppe mit zweidimensional auf einem Halbleitersubstrat angeordneten Speicherzellen mit Treiber-, Last- und Zugriffstransistoren, Wort- und Bitleitungen in zwei senkrecht zueinander verlaufenden Richtungen, ersten und zweiten Gateverdrahtungselementen mit rechteckiger Form, erste und zweite Verbinder und einer Seitenwand auf der Seite des Gateverdrahtungselements aufweist.

Darüber hinaus offenbart die Druckschrift D1 aber auch folgende der neu in den Anspruch 1 nach Hilfsantrag 4 aufgenommenen Merkmale:

Wie insbesondere die Fig. 7 dieser Druckschrift zeigt, sind die ersten und zweiten Gateverdrahtungselemente (*FG5, FG8 im Ausführungsbeispiel gemäß Fig. 7*) so angeordnet, dass sich die Längsrichtungen der Gateverdrahtungselemente in der Richtung der Gatebreite des Zugriffstransistors (*TN4*) ausdehnen und dass Längsrichtungen der ersten und zweiten Gateverdrahtungselemente (*FG5, FG8*) entlang der ersten Richtung parallel zueinander verlaufen.

Da das gesamte Speicherzellenarray durch axialsymmetrische Anordnung der einzelnen Speicherzellen sowohl in x- als auch in y-Richtung entsteht (*The example at the time of arranging memory cell MC of the working example 1 to array form is shown in drawing 4. [...] Adjacent memory cell MC is arranged to the y-axis at axial symmetry, and up-and down memory cell is arranged to a x-axis at axial symmetry / Abschnitte [0029] und [0030]*), sind nach Druckschrift D1 die ersten und zweiten Gateverdrahtungselemente außerdem auch derart angeordnet, dass sie zumindest „im wesentlichen“ einen gleichen Abstand zwischen einem des ersten Gateverdrahtungselements und einem des zweiten Gateverdrahtungsele-

ments aufweisen, die in der ersten Richtung aneinander grenzen und die in der zweiten Richtung aneinander angrenzen, wie es der Anspruch weiterhin lehrt.

Wie Fig. 7 außerdem zeigt, weisen die kürzeren Seiten der beiden Gateverdrahtungselemente (*FG5*, *FG8*) auch im wesentlichen zueinander gleiche Längen auf. Weiterhin sind auch die Formen des ersten und des zweiten Gateverdrahtungselements, die auf einer Ebene, die parallel zu dem Substrat verläuft, im wesentlichen gleich, denn die Gateverdrahtungselemente weisen in der parallel zur Substratebene verlaufenden Gateelektroden-Verdrahtungsebene alle eine rechteckige Form auf. Mit dieser rechteckigen Form sind die ersten und zweiten Gateverdrahtungselemente außerdem bezüglich eines Punkts, nämlich bspw. bezüglich des Mittelpunkts des jeweiligen Rechtecks, punktsymmetrisch.

Darüber hinaus entnimmt der Fachmann insbesondere der bereits mehrfach zitierten Fig. 7 der Druckschrift D1, dass die Längen der ersten und zweiten Gateverdrahtungselemente jeweils wesentlich größer als ihre Breiten sind, so dass sich ein entsprechend hoher Wert für das Verhältnis von längerer zu kürzerer Seite ergibt. Insofern beruht die in dem entsprechenden Teilmerkmal des Anspruchs 1 gegebene Lehre, dass das Verhältnis von längerer zu kürzerer Seite nicht kleiner als 5 ist, nicht auf einer erfinderischen Tätigkeit des Fachmanns.

Dass dabei Seiten der ersten und zweiten Gateverdrahtungselemente Längen aufweisen, die nicht länger als 0,15 μm sind, wobei es sich bei der Angabe der Einheit in „ μm “ im geltenden Anspruch 1 nach Hilfsantrag 4 um einen offensichtlichen Schreibfehler handelt, der im Sinne der ursprünglichen Offenbarung, bspw. des ursprünglichen Unteranspruchs 10 in „ μm “ zu korrigieren ist, beruht ebenfalls nicht auf einer erfinderischen Tätigkeit des Fachmanns. Denn zum Prioritätszeitpunkt der vorliegenden Anmeldung waren in der MOS-Technik bereits Strukturbreiten im Sub- μm -Bereich, insbesondere im Bereich unterhalb der Wellenlänge sichtbaren Lichts üblich, vgl. bspw. in der Druckschrift D1 den Abschnitt [0004], in dem von Strukturdimensionen unterhalb der Lichtwellenlängen und dem Einsatz von Ex-

cimer-Lasern die Rede ist. Angesichts dieser Vorbemerkung in der Druckschrift D1 geht der Fachmann beim Lesen dieser Druckschrift von Gateverdrahtungselementen mit entsprechend geringen Breiten, d. h. Kanallängen im Bereich von etwa 100 nm und darunter aus.

Das damit noch verbleibende Merkmal des Anspruchs 1 nach Hilfsantrag 4, dass die ersten und zweiten Verbinder aus damastiertem Wolfram bestehen, entnimmt der Fachmann ebenfalls bereits der Druckschrift D1. Unter der „Damascene-Technik“ versteht der Fachmann das Erzeugen einer lokalen Verbindungs- und Metallisierungsebene durch Auffüllen von zuvor in ein Isolationsmaterial eingetätzten Vertiefungen bzw. Gräben mit einem Metallisierungsmaterial, bspw. Wolfram, vgl. in der Anmeldung selbst auf S. 10, Zeilen 15 bis 30 und S. 14, Zeile 28 bis S. 15, Zeile 20 der ursprünglichen Unterlagen angegeben wird. Diese Technik zum Erzeugen lokaler Verbindungsleitungen ist aber bereits in der Druckschrift D1 offenbart, denn dort ist ein Verfahren zum Erzeugen lokaler Verbindungen (*local interconnections LI1, LI2 anstelle von SC1, SC2 in Fig. 1 oder SC3, SC4 in Fig. 7*) angegeben, bei dem Vertiefungen in ein Oxid (TEOS) geätzt werden, die anschließend mit Wolfram (*tungsten*) befüllt werden (*In working example 1, since contact SC1 and SC2 are formed by other contacts and a same layer, restrictions that metallic wiring of the 1st layer cannot be arranged are on SC1 and SC2. In working example 8, with contact, in order to form by local intaconekuto (was „interconnection“ bedeuten soll) LI1 of a different layer, and LI2, the metallic wiring of the 1st layer can be arranged upwards, and as compared with the working example 1, metallic wiring can be reduced by one layer / Abschnitt [0052] // The working example 9 is an example of the process of forming the three-layer contact part of the working examples 1, 3, 4, 5 and 8 / Abschnitt [0053] // Hereafter, drawing 22 explains the process flow of the working example 9. After forming a gate electrode and diffusion-zone P⁺, the silicon nitride film SiN is deposited as an etching stopper (drawing 22 (a)) [...] The silicon nitride film of the portion which makes the contact hole on a gate electrode is removed by dry etching (drawing 22 (b)). The TEOS film by plasma CVD, etc. are deposited and an interlayer*

insulation film is formed (drawing 22 (c)). The oxide film of a contact opening part is etched by high selection dry etching with a silicon nitride film (drawing 22 (d)) [...] as a stopper. [...] A silicon nitride film is removed by high selection dry etching (drawing 22 (e)). Metal, such as tungsten, is made the portion of a contact hole with an embedded plug (drawing 22 (f)) / Abschnitte 0055] bis [0061]). Wie oben schon dargelegt und in Fig. 22 (f) gezeigt, bildet ein derartiger, in Damascene - Technik hergestellter Wolfram-Verbinder (f) eine lokale Verbindung zwischen Gateelektrode und P⁺ - Diffusionsgebiet.

Damit beruht die Halbleiterspeichervorrichtung nach Anspruch 1 nach Hilfsantrag 4 nicht auf einer erfinderischen Tätigkeit des Fachmanns.

6. Dies gilt auch für die Halbleiterspeichervorrichtung gemäß Anspruch 1 nach Hilfsantrag 3.

Denn die in der Druckschrift D1 offenbarte Halbleiterspeichervorrichtung mit einer Speicherzellengruppe mit Speicherzellen, die jeweils erste und zweite Treibertransistoren, erste und zweite Lasttransistoren und erste und zweite Zugriffstransistoren aufweisen, weist ein Halbleitersubstrat (*semiconductor substrate / Abschnitt [0018]*) auf, auf dem die Speicherzellen zweidimensional, nämlich in einem Array angeordnet sind (*The example at the time of arranging memory cell MC of the working example 1 to array form is shown in drawing 4 / Abschnitt [0029] i. V. m. Fig. 4*).

In Übereinstimmung mit der im Anspruch 1 nach Hilfsantrag 3 gegebenen Lehre weist diese Halbleiterspeichervorrichtung auf:

- einen Elementeisolieroxidfilm an einem vorbestimmten Bereich des Halbleitersubstrats (*vgl. hierzu das Bezugszeichen „SGI“ in Fig. 15 und 21 bis 23, wobei „SGI“ die fachspezifische Abkürzung für „shallow groove isola-*

tion“ ist, die üblicherweise aus einer in einem flachen Graben erzeugten Oxidschicht gebildet wird),

- aufeinanderfolgende Bereiche einer P-Mulde, einer N-Mulde und einer P-Mulde auf dem Halbleitersubstrat in einer ersten Richtung gleich der Längsrichtung der Speicherzelle (*The above mentioned 1st and 3rd N channel type MOS transistors are formed in 1st P well area, as opposed to a boundary with 1st n well area in which [...] the 1st and 2nd P channel type MOS transistors are formed for mounting directions [...] and the above mentioned 2nd and 4th N channel type MOS transistors are formed in 2nd P well area / Abschnitt [0006], wobei die Erstreckung dieser Mulden bzw. Wannen in Längsrichtung der Speicherzelle sich aus Fig. 4 ergibt, vgl. dort die entsprechende Erstreckung der Mulden PW1, NW1, PW2, ...*),
- einen Gateoxidfilm und Polysiliziumverdrahtungsschichten, die als Gateverdrahtungsschichten dienen (*MOS-transistor [...], polycrystalline silicon as wiring layer [...] used for the gate electrode / Abschnitt [0025] sowie Fig. 22 und 23, die die MOS-Anordnung aus SiO₂- Gateoxid und PolySi als Elektrode im Gatebereich zeigen*),
- wobei die Transistoren in einem vorbestimmten Bereich ausgebildet sind (*The above mentioned 1st and 3rd N channel type MOS transistors are formed in 1st P well area, as opposed to a boundary with 1st n well area in which [...] the 1st and 2nd P channel type MOS transistors are formed for mounting directions [...] and the above mentioned 2nd and 4th N channel type MOS transistors are formed in 2nd P well area / Abschnitt [0006],*
- erste Gateverdrahtungselemente (FG5), die als Gateelektroden (*polycrystalline silicon wiring layer [...] used for the gate electrode of [...] MOS transistor / Abschnitt [0025]*) des Treibertransistors und des Lasttransistors (TN1, TP1) strukturiert sind, und zweite Gateverdrahtungselemente (FG8), die als

Gateelektroden des Zugriffstransistors (TN4) entlang der ersten Richtung in Form von Rechtecken ohne Einkerbung oder Auskrugung strukturiert sind (*Memory cell MC3 of the working example 4 differs compared with memory cell MC2 of the working example 3 in that the form of a polycrystalline silicon wiring layer (FG5, FG6, FG7, FG8) is a rectangle. In this cell, there is no bending, pattern correction (OCP) is unnecessary and the balance of transistors becomes good / Abschnitt [0037] i. V. m. Fig. 7, wobei darauf hinzuweisen ist, dass die Verdrahtungsschichten FG5 bis FG8 dieses Ausführungsbeispiels den als Gateelektroden dienenden Verdrahtungsschichten FG1 bis FG4 der Ausführungsbeispiele gemäß den Fig. 1 bis 5 entsprechen, d. h. die Gateelektroden bilden*),

- eine Seitenwand (*a side spacer also lengthens the intervall of diffusion-zone TP2 and polycrystalline wiring layer FG1, n- is not formed in a diffusion zone but leakage current can be prevented / Abschnitt [0028]) i. V. m. Fig. 22 (f) und 23 (g)*),
- Sources und Drains der Transistoren (*source electrode, drain electrode / Abschnitt [0021]*),
- eine CoSi_2 -Schicht (*A silicide is selectively formed in a polycrystalline silicon gate electrode and a diffusion zone by depositing refractory metals, such as Co, by a sputtering and carrying out an annealing (drawing 15 (e)) / Abschnitt [0048]*),
- eine Ätzstoppschicht und einen ersten Isolierfilm, wobei ein Teil der Ätzstoppschicht entfernt ist, um einen Graben für den lokalen Zwischenverbinder L11, L12 / Abschnitt [0051] auszubilden (*Hereafter, drawing 22 explains the process flow of the working example 9. After forming a gate electrode and diffusion-zone P⁺, the silicon nitride film SiN is deposited as an etching stopper (drawing 22 (a)) [...] The silicon nitride film of the portion*

which makes the contact hole on a gate electrode is removed by dry etching (drawing 22 (b)). The TEOS film by plasma CVD, etc. are deposited and an interlayer insulation film is formed (drawing 22 (c)). The oxide film of a contact opening part is etched by high selection dry etching with a silicon nitride film (drawing 22 (d)) [...] as a stopper. [...] A silicon nitride film is removed by high selection dry etching (drawing 22 (e)) / Abschnitte [0055] bis [0060]),

- *Wolfram in dem Graben für den lokalen Zwischenverbinder (Metal, such as tungsten, is made the portion of a contact hole with an embedded plug (drawing 22 (f)) / Abschnitte [0055] bis [0061]), wobei die sich ergebende Struktur den lokalen Zwischenverbinder ausbildet, die geebnet ist, wie die Fig. 22 (f) und 23 (g) mit der einheitlich ebenen Oberfläche der TEOS- und der Wolfram-Struktur zeigen,*
- *einen zweiten Isolierfilm (obere TEOS-Schicht in Fig. 21),*
- *Stapeldurchgangslöcher, in denen Wolfram vorhanden ist (Mit Wolfram „W“ gefülltes Stapeldurchgangsloch zur Kontaktierung des in Fig. 21 gezeigten rechten P⁺-Diffusionsgebietes, vgl. Fig. 21),*
- *eine strukturierte erste Metallschicht (2nd metallic wiring layer), die eine Wortleitung (WL) bildet (polycrystalline silicon wiring layer FG3 used for the gate electrode of N channel type MOS transistor TN3 and polycrystalline silicon wiring layer FG4 used for the gate electrode of N channel type MOS transistor TN4 is connected to the word line WL which uses the 2nd metallic wiring layer / Abschnitt [0025] i. V. m. Fig. 2, 4, 6, 8, 10, 13, 17 und 19, jeweils Bezugszeichen „WD“)*

und

- eine strukturierte zweite Metallschicht (*metallic wiring layer of the 3rd layer*), die eine Bitleitung (*BL1, BL2 / Fig. 2 und Fig. 4*) und Stromversorgungsleitungen (*Vss1, Vcc1, Vss2 / Fig. 2 und Fig. 4*) bildet (*The source electrode of N channel type MOS transistor TN1 is connected to grounding potential wire Vss1 formed by the metallic wiring layer of the 3rd layer, and the source electrode of N channel type MOS transistor TN2 is connected to grounding potential wire Vss2 formed by the metallic layer of the 3rd layer. The source electrode of the P channel type MOS transistor (TP1, TP2) is connected to power-supply-potential line Vcc1 formed by the metallic wiring layer of the 3rd layer. Bit line BL1 is inserted into power-supply-potential Vcc1 and earth-potentials Vss1, and bit line BL2 is inserted into power-supply-potential Vcc1 and earth-potentials Vss2. This structure can reduce the crossing couple noise of bit lines / Abschnitte [0026] und [0027] i. V. m. Fig. 2, 4, 6, 8, 13 und 17 jeweils Bezugszeichen Vss1, BL1, Vcc1, BL2, Vss2, wobei aus der einheitlichen Darstellung dieser Bit- und Stromverdrahtungsleitungen in Form gestrichelt dargestellter Strukturen in Zusammenhang mit den zugehörigen Erläuterungen zu diesen Darstellungen in den Fig. 3, 14 und 20 ohne weiteres hervorgeht, dass die oben genannten Bit- und Stromversorgungsleitungen einheitlich von der strukturierten dritten Metallschicht gebildet werden*).

Die damit bei der Halbleiterspeichervorrichtung nach Anspruch 1 nach dem Hilfsantrag 3 noch verbleibenden Merkmale eines dritten Isolierfilms, eines ersten Durchgangslochs, in dem Wolfram vorhanden ist, eines vierten Isolierfilms, eines zweiten Durchgangslochs, in dem Wolfram vorhanden ist, und einer dritten strukturierten Metallschicht beruhen nicht auf einer erfinderischen Tätigkeit des Fachmanns.

Für den Fachmann ist es nämlich selbstverständlich, dass bei der vorangehend erläuterten Halbleiterspeichervorrichtung nach der Druckschrift D1 die strukturierte erste und die strukturierte zweite Metallschicht durch eine Isolierschicht getrennt

sein müssen, um einen Kurzschluss der beiden Schichten zu verhindern und die unterschiedliche Funktion der beiden Metallisierungsschichten als Wortleitungen einerseits und als Bit- und Stromversorgungsleitungen andererseits zu gewährleisten. Insofern muss bei der Anordnung nach der Druckschrift D1 ein dritter Isolierfilm vorhanden sein, der die beiden genannten Metallschichten trennt. Zwangsläufig muss dabei ein erstes Durchgangsloch in dieser Isolierschicht vorgesehen sein, denn nur so ist die mit der Isolierschicht bedeckte untere Metallschicht an den zu kontaktierenden Stellen elektrisch von außen überhaupt zugänglich. Als elektrisch leitendes Material in dem Durchgangsloch Wolfram vorzusehen, liegt für den Fachmann nahe, da Wolfram in der Druckschrift D1 bereits bei dem Ausführungsbeispiel gemäß Fig. 21 als Füllmaterial für Durchgangslöcher verwendet wird (*Mit Wolfram „W“ gefülltes Stapeldurchgangsloch zur Kontaktierung des in Fig. 21 gezeigten rechten P^+ - Diffusionsgebietes, vgl. Fig. 21*).

Ferner beruht auch das Vorsehen eines vierten Isolierfilms, eines zweiten Durchgangslochs, in dem Wolfram vorhanden ist, und einer dritten strukturierten Metallschicht nicht auf einer erfinderischen Tätigkeit des Fachmanns. Denn die eben erwähnten mit Wolfram gefüllten Durchgangslöcher im dritten Isolierfilm müssen unabhängig von den Durchgangsverbindungen zu den Leiterbahnen der zweiten Metallisierungsschicht mit ihnen zugeordneten Anschlüssen am Rand des Speicherchips verbunden werden. Hierzu ist eine dritte, diese Verbindungen herstellende und somit zu entsprechenden Leiterbahnen strukturierte Metallschicht erforderlich, die ihrerseits elektrisch durch eine vierte Isolierschicht von der zweiten Metallschicht getrennt sein muss, wobei in dieser Isolierschicht zweite Durchgangslöcher zur Kontaktierung der mit Wolfram gefüllten ersten Durchgangslöcher in der dritten Isolierschicht vorhanden sein müssen, die in für den Fachmann naheliegender Weise ebenfalls wieder mit Wolfram befüllt werden.

Die in der Druckschrift D1 nicht erwähnten Maßnahmen beruhen damit nicht auf einer erfinderischen Tätigkeit des Fachmanns, womit die Halbleiterspeichervorrichtung gemäß Anspruch 1 nach Hilfsantrag 3 insgesamt nicht auf einer erfinderischen Tätigkeit des Fachmanns beruht.

7. Gleiches gilt auch für die Halbleiterspeichervorrichtung nach dem Anspruch 1 nach Hilfsantrag 5, der als product-by-process-Anspruch formuliert ist, in dem die Prozeßschritte zur Herstellung der Halbleiterspeichervorrichtung aufgezählt werden. Dabei werden in den Merkmalen (a) bis (z) dieses Anspruchs jeweils genau diejenigen Prozeßschritte angegeben, die zur Herstellung der in den Merkmalen des vorangehend gewürdigten Anspruchs 1 nach Hilfsantrag 3 genannten Schichten und Strukturen in und auf dem Halbleitersubstrat durchgeführt werden, beginnend im Merkmal (a) mit dem Bereitstellen des Halbleitersubstrats und endend im Merkmal (z) mit dem Abscheiden einer dritten Metallschicht und dem Strukturieren dieser Schicht.

Für den oben bereits definierten, mit dem Entwurf und der Technologie von SRAM-Speicherschaltungen befassten Fachmann ist es selbstverständlich, dass die in der Druckschrift D1 offenbarten und vorangehend im Hinblick auf den Anspruch 1 nach Hilfsantrag 3 gewürdigten Schichten und Strukturen im und auf dem Halbleitersubstrat im Rahmen einer Prozeßfolge mit den entsprechenden Schichtbildungs-, Strukturierungs- und Implantationsschritten hergestellt werden, so dass der Fachmann der Druckschrift D1 ein Verfahren zur Herstellung einer Halbleiterspeichervorrichtung mit den im geltenden Anspruch 1 nach Hilfsantrag 5 in den Merkmalen (a) bis (r) und (v) genannten Prozess-Schritten entnimmt. Dabei ist anzumerken, dass die in diesen Merkmalen angegebenen einzelnen Verfahrensschritte lediglich Standard-Prozess-Schritte betreffen, die bei der Speicherherstellung für sich und in ihrer Kombination fachüblich sind, wobei sich ihre Reihenfolge für den Fachmann aus dem in der Druckschrift D1 offenbarten Schichtaufbau ergibt, so dass weder den einzelnen Prozess-Schritten noch deren Kombination noch deren Abfolge eine patentbegründende Wirkung zukommt.

Im Hinblick auf die damit beim Anspruch 1 nach Hilfsantrag 5 noch verbleibenden Merkmale

- (s) Abscheiden eines dritten Isolierfilms (6c),
- (t) Ausbilden eines ersten Durchgangslochs (14),
- (u) Abscheiden von Wolfram in dem ersten Durchgangsloch (14) und Entfernen von Wolfram ausgenommen in dem ersten Durchgangsloch durch Ätzen,

und

- (w) Abscheiden eines vierten Isolierfilms (6d),
- (x) Ausbilden eines zweiten Durchgangslochs durch Ätzen,
- (y) Abscheiden von Wolfram in dem zweiten Durchgangsloch und Entfernen von Wolfram ausgenommen in dem zweiten Durchgangsloch, und
- (z) Abscheiden einer dritten Metallschicht (15) und Strukturieren der dritten Metallschicht

wird auf die Darlegungen zu den diese Schichten und Strukturen betreffenden Merkmalen des Anspruchs nach Hilfsantrag 3 verwiesen, wonach das Vorsehen dieser Strukturen nicht auf einer erfinderischen Tätigkeit des Fachmanns beruht, da die entsprechenden Metallisierungs- und Isolierschichten und Durchgangslöcher bei einer Halbleiter - Speichervorrichtung notwendig und die genannten Materialien fachüblich sind. Dies gilt analog auch für die Prozeßschritte zur Herstellung dieser Schichten und Strukturen, die in den Merkmalen (s), (t), (u) und (w), (x), (y) und (z) des Anspruchs 1 nach Hilfsantrag 5 genannt werden. Auch hier betreffen die Prozeßschritte lediglich bei der Speicherherstellung fachübliche Maßnahmen, deren Reihenfolge sich aus der Schichtfolge ergibt.

Damit beruht auch die Halbleiterspeichervorrichtung nach dem Anspruch 1 nach Hilfsantrag 5 nicht auf einer erfinderischen Tätigkeit des Fachmanns.

8. Mit dem jeweiligen Anspruch 1 fallen wegen der Antragsbindung auch die übrigen Ansprüche des jeweiligen Anspruchssatzes. Dies gilt sowohl für die jeweiligen Unteransprüche als auch für den nebengeordneten Anspruch 12 nach Hilfsantrag 2, vgl. BGH GRUR 2007, 862, 863, Tz. 18 - „Informationsübermittlungsverfahren II“.
9. Bei dieser Sachlage war die Beschwerde der Anmelderin zurückzuweisen.

III.

Der Anregung der Anmelderin, die Rückzahlung der Beschwerdegebühr anzuordnen (§ 80 (3) PatG) und die Sache an das Deutsche Patent- und Markenamt zurückzuverweisen (§ 79 (3) PatG), war nicht zu entsprechen.

1. Die Rückzahlung der Beschwerdegebühr aus Billigkeitsgründen kommt in Betracht, wenn bei ordnungsgemäßer und sachgerechter Behandlung seitens der Prüfungsstelle der Erlass eines Zurückweisungsbeschlusses nicht in Betracht gekommen wäre und damit die Erhebung einer Beschwerde sowie die Einzahlung der Beschwerdegebühr hätten vermieden werden können, vgl. Schulte, PatG, 8. Auflage, § 73 Rdn. 125.

Dies ist jedoch vorliegend nicht der Fall. Die Prüfungsstelle hatte die Anmelderin im Prüfungsverfahren zur Stammanmeldung mit Bescheid vom 2. April 2007 vor der Teilung der Anmeldung darauf hingewiesen, dass die damals geltende, auf eine Halbleiterspeichervorrichtung gerichtete Anspruchsfassung eine Reihe von Angaben enthalte, die nicht in den ursprünglichen Unterlagen offenbart seien, darunter insbesondere die Angabe zur Form der Gateelektroden, vgl. den Bescheid vom 2. April 2007, S. 3, 4. Abs. Da auch der in der nachfolgenden Trennanmeldung eingereichte, auf eine Halbleiterspeichervorrichtung gerichtete Anspruch 1 diesen Mangel aufwies und insbesondere das von der Prüfungsstelle

bereits zuvor in der Stammakte als unzulässig gerügte Merkmal enthielt, und Verwaltungsakte des Patentamts, darunter auch negative Prüfungsbescheide, die in der Stammakte ergangen sind, auch in der Teilanmeldung gelten (Schulte, PatG, § 39, Rdn. 52), ist die von der Prüfungsstelle in der Teilanmeldung ohne weiteren Bescheid vorgenommene Zurückweisung sachlich gerechtfertigt und nicht zu beanstanden.

Dabei ist auch zu berücksichtigen, dass die Anmelderin die Teilung der Anmeldung vorgenommen hat, nachdem die Prüfungsstelle ihr zuvor in mehreren Prüfungsbescheiden und einer Anhörung ausführlich dargelegt hatte, dass die von der Anmelderin beanspruchte Halbleiterspeichervorrichtung nicht patentfähig sei und die Patenterteilung allenfalls mit einem auf ein Verfahren gerichteten Anspruch in Betracht gezogen werden könne und dass bei Weiterverfolgung der Anmeldung mit dem auf eine Halbleiterspeichervorrichtung gerichteten Patentbegehren mit der Zurückweisung gerechnet werden müsse. Mit der Teilungsanmeldung hat die Anmelderin daraufhin ihr bis dahin in der Stammakte verfolgtes, auf eine Halbleitervorrichtung gerichtetes Patentbegehren von der Stammakte auf die Teilungsakte verlagert. Damit ist aber auch selbstverständlich, dass die auf die Halbleitervorrichtung bezogenen Darlegungen der Prüfungsstelle in den Prüfungsbescheiden der Stammakte in der Teilungsanmeldung unverändert gültig waren.

Daraus ergibt sich unmittelbar, dass im Gegensatz zur Auffassung der Anmelderin - jedenfalls im Hinblick auf den hier zu beurteilenden Sachverhalt - auch kein Unterschied zwischen einer durch Ausscheidung und einer durch freiwillige Teilung zustande gekommenen Trennanmeldung besteht, denn die Art und Weise des Zustandekommens der Trennanmeldung ist ohne Belang, wenn in der Trennanmeldung inhaltlich das gleiche, zuvor in der Stammanmeldung verfolgte Patentbegehren weiterverfolgt wird.

2. Auch eine Zurückverweisung der Sache an das Deutsche Patent- und Markenamt kommt bei der oben dargelegten Sachlage nicht in Betracht. Insbesondere ist weder ein Fall des § 79 Abs. 3 Nr. 1 PatG, noch des § 79 Abs. 3 Nr. 2 PatG gegeben.

Denn das von der Anmelderin vorgetragene Argument, die beanspruchte Halbleiterspeichervorrichtung sei bisher nicht geprüft worden, so dass der Anmelderin mit einer Entscheidung des Bundespatentgerichts im vorliegenden Beschwerdeverfahren die erstinstanzliche Prüfung sowie die Möglichkeit zur Modifizierung ihres Patentbegehrens im Rahmen des Prüfungsverfahrens genommen werde, trifft nicht zu. Die Prüfungsstelle des Deutschen Patent- und Markenamts hat - wie oben schon ausgeführt ist - bereits im Prüfungsverfahren zur Stammanmeldung unter Hinweis auf die im vorliegenden Beschwerdeverfahren berücksichtigte und für die Beurteilung der Patentfähigkeit maßgebliche Entgegenhaltung D1 mehrfach und ausführlich zu den von der Anmelderin eingereichten, auf eine Halbleiterspeichervorrichtung gerichteten Patentansprüchen Stellung genommen und deren mangelnde Patentfähigkeit, nämlich mangelnde Neuheit gegenüber diesem Stand der Technik erläutert. Die Anmelderin hat ihr auf eine Halbleiterspeichervorrichtung gerichtetes Patentbegehren im Verfahren zur Stammanmeldung daraufhin mehrfach modifiziert und den Vorrichtungsanspruch erst nach mehreren negativen Bescheiden der Prüfungsstelle und einer Anhörung durch einen auf ein Verfahren zur Herstellung einer solchen Halbleiterspeichervorrichtung gerichteten Anspruchssatz ersetzt. Insofern kann keine Rede davon sein, dass die mit der vorliegenden Teilanmeldung weiterverfolgte Halbleiterspeichervorrichtung bisher noch nicht geprüft worden sei und dass die Anmelderin keine Gelegenheit gehabt habe, ihr Patentbegehren in Reaktion auf den entgegengehaltenen Stand der Technik oder die bemängelten Unzulässigkeiten zu modifizieren.

Insofern sind die Voraussetzungen für eine Zurückverweisung an das Deutsche Patent- und Markenamt nicht gegeben (vgl. Schulte, PatG, 8. Aufl., § 79, Rdn. 15 bis 31 insbes. die in Rdn. 22 u. 24 gen. Fallbeispiele).

Dr. Strößner

Brandt

Metternich

Dr. Friedrich

CI