



BUNDESPATENTGERICHT

23 W (pat) 35/09

Verkündet am
16. April 2013

(Aktenzeichen)

...

BESCHLUSS

In der Beschwerdesache

...

betreffend die Patentanmeldung 10 2004 014 923.2-33

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 16. April 2013 unter Mitwirkung des Vorsitzenden Richters Dr. Strößner sowie der Richter Brandt, Metternich und Dr. Friedrich

beschlossen:

Die Beschwerde der Anmelderin wird zurückgewiesen.

Gründe

I.

Die Anmeldung 10 2004 014 923 wurde am 26. März 2004 unter Inanspruchnahme der schwedischen Priorität SE 0300924-8 vom 28. März 2003 in englischer Sprache beim Deutschen Patent- und Markenamt eingereicht. Die beglaubigte deutsche Übersetzung mit der Bezeichnung „Verfahren zum Bereitstellen einer Dreifach-Wanne in einem epitaktisch basierten CMOS- oder BiCMOS-Prozess“ ist am 24. Juni 2004 beim Deutschen Patent- und Markenamt eingegangen.

Die Prüfungsstelle für Klasse H 01 L hat auf den Stand der Technik gemäß den Druckschriften

D1 US 4 879 584 A

D2 US 6 281 565 B1 und

D3 US 4 529 456 A

verwiesen und bemängelt, es sei unklar, was unter dem Begriff „Dreifachwanne“ zu verstehen sei, so dass nicht erkennbar sei, was unter Schutz gestellt werden solle. Auch die Unteransprüche enthielten unklare Angaben. Darüber hinaus enthalte der Anspruch 1, soweit verständlich, nichts Neues gegenüber dem Stand der Technik gemäß der Druckschrift D1.

Die Anmelderin hat daraufhin einen neuen Anspruchssatz eingereicht und dargelegt, ihrer Auffassung nach verstehe der Fachmann auf dem Gebiet der Halbleitertechnologie den Begriff „Dreifach-Wanne“ ohne weiteres, so dass dieser keiner näheren Erläuterung bedürfe, und hat außerdem die Anberaumung einer Anhörung beantragt.

Mit Beschluss vom 11. Dezember 2008 hat die Prüfungsstelle die Anmeldung zurückgewiesen mit der Begründung, der Begriff Dreifach-Wanne sei unklar und auch aus der Beschreibung nicht verständlich, da dieser Begriff in der Beschreibung in widersprüchlicher Weise verwendet werde. Bei dieser Sachlage sei auch die beantragte Anhörung nicht sachdienlich, denn hinsichtlich der Aufklärung der Widersprüchlichkeiten sei keine Kompromissfindung möglich.

Gegen den am 28. Januar 2009 zugestellten Beschluss hat die Anmelderin mit Schriftsatz vom 18. Februar 2009, eingegangen am selben Tag, fristgerecht Beschwerde eingelegt und diese mit Schriftsatz vom 2. Dezember 2010 begründet.

Mit der Terminsladung hat der Senat noch auf die Druckschriften

- D4 US 4 912 054 A
- D5 US 5 677 209 A
- D6 US 6 388 295 B1 und
- D7 M. El-Diwany et al.: An Advanced BiCMOS Process Utilizing Ultra-Thin Silicon Epitaxy Over Arsenic Buried Layers, in: Electron Devices Meeting, 1989, IEDM 89, Technical Digest, International, S. 245 - 248

und deren mögliche Bedeutung bei einer Diskussion der Patentfähigkeit hingewiesen.

In der mündlichen Verhandlung stellte die Anmelderin den Antrag,

1. den Beschluss der Prüfungsstelle für Klasse H 01 L des Deutschen Patent- und Markenamts vom 11. Dezember 2008 aufzuheben;

2. ein Patent mit der Bezeichnung „Verfahren zum Bereitstellen einer Dreifach-Wanne in einem epitaktisch basierten CMOS- oder BiCMOS-Prozess“, dem Anmeldetag 26. März 2004 und der ausländischen Priorität 28. März 2003 - SE 0300924-8 auf der Grundlage folgender Unterlagen zu erteilen:

Patentansprüche 1 - 7, eingegangen am 9. April 2013 als Hauptantrag, sowie noch anzupassende Beschreibungsseiten 1 - 7, eingegangen in deutscher Übersetzung am 24. Juni 2004, und zwei Blatt Zeichnungen mit Figuren 1 - 6, ebenfalls eingegangen am 24. Juni 2004.

Der geltende Anspruch 1 nach diesem Antrag lautet:

- „1. Verfahren zum Bereitstellen einer Dreifach-Wanne in einem epitaktisch basierten CMOS- oder BiCMOS-Prozess, gekennzeichnet durch
 - a. Bereitstellen eines p-dotierten Silizium-Substrats;
 - b. Herstellen einer ersten n-dotierten, vergrabenen Dotierungszone durch einen ersten Implantierungsschritt, welche von einer Oberfläche des Silizium-Substrats beabstandet ist;
 - c. Herstellen einer zweiten, n-dotierten Dotierungszone durch einen zweiten Implantierungsschritt, welche sich ausgehend von der Oberfläche des Silizium-Substrats bis zu einem Randabschnitt der ersten Dotierungszone erstreckt und derart geformt ist, dass ein zwischen der ersten Dotierungszone und der Oberfläche des Silizium-Substrats liegender p-dotierter Inselbereich seitlich von der zweiten Dotierungszone umgeben wird;

- d. Aufwachsen einer Silizium-Schicht durch epitaktisches Wachstum auf der Oberfläche des Silizium-Substrats anschließend an Schritte b. und c; und
- e. Herstellen von einem oder mehreren NMOS-Bauelementen in der Silizium-Schicht oberhalb des Inselbereichs.“

Hinsichtlich der Unteransprüche 2 bis 7 sowie hinsichtlich der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

II.

Die frist- und formgerecht erhobene Beschwerde hat keinen Erfolg. Die Beschwerde wird zurückgewiesen, denn dem geltenden Anspruch 1 ist nicht zu entnehmen, was als patentfähig unter Schutz gestellt werden soll (§ 34 Abs. 3 PatG).

1. Ausweislich der geltenden Beschreibungsunterlagen betrifft die Anmeldung ein Verfahren zum Bereitstellen einer Dreifach-Wanne (triple well) in einem epitaktisch basierten CMOS- oder BiCMOS-Prozess. BiCMOS steht dabei für eine Kombination von Bipolar- und CMOS-Prozesstechnologie, die die gemeinsame Integration von Bipolar- und CMOS-Bauelementen auf einem Chip ermöglicht.

Um bei CMOS- bzw. BiCMOS-Prozessen die beiden zueinander komplementäre Transistortypen (NMOS- und PMOS-Transistoren) erzeugen zu können, muss der als Ausgangsmaterial verwendete einheitlich p- bzw. n-dotierte Silizium-Wafer bereichsweise umdotiert werden, so dass in einem n-Substrat p-dotierte Bereiche (in denen dann die NMOS-Transistoren erzeugt werden) bzw. in einem p-Substrat n-dotierte Bereiche (in denen dann PMOS-Transistoren erzeugt werden) gebildet werden. Diese durch eine Implantation und eine Tiefdiffusion erzeugten Dotierungsgebiete werden als „Wannen“ (engl. „well“) bezeichnet.

In der anfänglich verwendeten sogenannten „single well“-Technik wurde lediglich ein einziger Wannentyp erzeugt, also entweder eine p- oder eine n-Wanne in das jeweils entgegengesetzt hierzu dotierte Siliziumsubstrat eingebracht, so dass der eine MOS-Transistortyp im Siliziumsubstrat und der hierzu komplementäre MOS-Transistortyp in der entsprechenden Wanne erzeugt wurde. Die Fortentwicklung dieser Technologie führte zur sogenannten Doppelwannen-Technologie („double well“ oder „twin well“), bei der sowohl eine n- als auch eine p-Wanne in dem Wafer erzeugt und die beiden komplementären Transistortypen somit jeweils in Wannengebieten hergestellt werden. Dies ermöglicht es, die Transistoreigenschaften sowohl für die PMOS- als auch für die NMOS-Transistoren unabhängig voneinander durch die Wahl der Dotierungsniveaus für die beiden Wannendotierungen auf einfache Weise gezielt zu beeinflussen.

In Weiterentwicklung dieser Doppelwannen-Technologie wird bei der sogenannten Dreifachwannen-Technologie („triple well“) die eine der beiden Wannan (nämlich diejenige, deren Dotierungstyp mit dem der Substratdotierung übereinstimmt) in einem dritten Wannengebiet angeordnet, dessen Dotierungstyp komplementär zu dem der in ihr angeordneten Wanne und des Substrats ist. Der hierdurch erzeugte pn-Übergang zwischen dieser Wanne und dem Substrat ermöglicht eine verbesserte Isolation dieser Wanne gegenüber dem Substrat und der in diesem angeordneten weiteren Wanne. Außerdem ermöglicht es diese Technik, das Potential der in der dritten Wanne angeordneten Wanne unabhängig vom Chippotential frei zu wählen, was für viele Anwendungen sehr vorteilhaft ist.

Die Anmelderin erläutert diesen Vorteil der Dreifachwannen-Technik gegenüber der Doppelwannen-Technik anhand eines Beispiels in der Beschreibungseinleitung der vorliegenden Anmeldung. Werden bei der Doppelwannen-Technik NMOS-Transistoren in einer p-Wanne in einem p-Substrat erzeugt, so liegen die p-Wannen auf dem gesamten Chip auf einem einheitlichen Potential, so dass alle NMOS-Transistoren auf dem Chip nur mit derselben Vorspannung (biasing) betrieben werden können. Die Dreifachwannen-Technik bietet demgegenüber

die Option, eine solche globale Vorspannung zu vermeiden und die Transistor-Schwellschwellspannung individuell einzustellen. Verfahren zum Bereitstellen einer solchen Dreifach-Wanne sind bspw. in den Patentdokumenten US 6 388 295 B1 und JP 11-026 601 A angegeben, vgl. in den geltenden Beschreibungsunterlagen S. 1, Zeilen 6 bis 32.

Die Anmeldung bezieht sich ausweislich der Angaben in der Beschreibungseinleitung auf ein Verfahren zum Bereitstellen einer tiefen n-Wanne wie einer Dreifach-Wanne. Im Gegensatz zu einem konventionellen Prozessfluss, der eine tief in das Silizium implantierte Phosphor-Dotierung aufweist, schlägt die Anmeldung die Verwendung einer Arsen-Dotierung vor, die vor der Abscheidung einer epitaktischen Schicht tief in das Silizium implantiert wird, um seinen Einfluss auf die Transistor-Parameter zu minimieren. Das Verfahren ist dabei für einen flachen Graben-Isolations-Prozess vorgesehen und kann einem standardmäßigen CMOS-/BiCMOS-Prozessfluss hinzugefügt werden. Durch Verwendung dieses Konzepts wird es möglich, eine Gruppe von NMOS-Transistoren in einer Insel von der Umgebung zu isolieren, vgl. S. 1, 1. Abs. bis S. 3, 1. Abs. der geltenden Beschreibungsunterlagen.

2. Der geltende Anspruch 1 lässt allerdings nicht erkennen, was als patentfähig unter Schutz gestellt werden soll (§ 34 Abs. 3 PatG).

Als zuständiger Fachmann ist dabei ein in der Halbleiterindustrie tätiger, mit der Prozeßentwicklung von CMOS- und/oder BiCMOS-Prozessen betrauter berufserfahrener Diplom-Physiker mit Hochschulabschluss zu definieren.

Gemäß dem Oberbegriff des Anspruchs 1 soll ein Verfahren zum Bereitstellen einer Dreifach-Wanne in einem epitaktisch basierten CMOS- oder BiCMOS-Prozess angegeben werden, dessen Verfahrensschritte im kennzeichnenden Teil des Anspruchs angegeben werden. Dieser gibt die Lehre, zum Bereitstellen der Dreifach-Wanne entsprechend den Verfahrensschritten a) bis e)

- zwei Implantationsschritte zur Herstellung einer ersten n-dotierten vergrabenen Dotierungszone und einer zweiten n-dotierten Dotierungszone eines p-dotierten Silizium-Substrats derart auszuführen, dass ein zwischen der ersten Dotierungszone und der Oberfläche des Silizium-Substrats liegender p-dotierter Inselbereich seitlich von der zweiten Dotierungszone umgeben wird,
- anschließend durch epitaktisches Aufwachsen eine Silizium-Schicht auf der Oberfläche des Substrats zu erzeugen und
- in der Siliziumschicht oberhalb des Inselbereichs NMOS-Bauelemente zu erzeugen.

Dieser Anspruch ist in sich widersprüchlich, denn die im kennzeichnenden Teil angegebenen Verfahrensschritte dienen im Gegensatz zu der Angabe im Oberbegriff nicht zum Bereitstellen einer Dreifach-Wanne. Gemäß der Lehre der Merkmale a) bis c) werden die beiden Implantationsschritte nämlich so ausgeführt, dass ein zwischen der ersten vergrabenen n-dotierten Dotierungszone und der Oberfläche des Silizium-Substrats liegender und seitlich von der zweiten n-dotierten Dotierungszone umgebener p-dotierter Inselbereich geschaffen wird, oberhalb dessen dann gemäß der Lehre der Merkmale d) und e) in der Epitaxie-Schicht NMOS-Bauelemente erzeugt werden. Eine derartige Struktur mit einem Inselbereich und oberhalb von diesem angeordneten NMOS-Transistoren stellt allerdings keine Dreifach-Wanne dar.

Angesichts dieses Widerspruchs im Anspruch lässt die im kennzeichnenden Teil des Anspruchs 1 gegebene Lehre nicht erkennen, durch welche Maßnahmen eine Dreifachwanne bereitgestellt wird, wie es der Oberbegriff angibt. Denn unter einer Dreifachwanne (engl. „triple-well“) versteht der Fachmann auf dem Gebiet der CMOS-Prozesstechnik - wie einleitend bereits angegeben - eine Anordnung, bei der eine n- Wanne und eine p-Wanne in einem Substrat angeordnet sind und die eine der beiden Wannenn von einem entgegengesetzt zu ihr dotierten Wannengebiet umgeben ist. Wie dargelegt, sind die im kennzeichnenden Teil des An-

spruchs 1 angegebenen Maßnahmen jedoch weder zur Schaffung einer solchen Dotierungsstruktur in einem Silizium-Substrat vorgesehen noch dazu geeignet.

Dass auch die Anmelderin selbst vom oben genannten fachüblichen Verständnis des Begriffs „Dreifachwanne“ ausgeht, zeigt sich anhand ihrer Darlegungen in der Beschreibungseinleitung der vorliegenden Anmeldung. Denn dort hat sie im Hinblick auf die bekannte Verwendung einer Dreifach-Wanne und ein Verfahren zum Bereitstellen einer Dreifach-Wanne auf den Stand der Technik gemäß den Druckschriften US 6 388 295 B1 und JP 11-026 601 A verwiesen, die beide CMOS-Anordnungen offenbaren, bei denen zwei komplementäre Wannendotierungsgebiete in einem Silizium-Substrat angeordnet und das übereinstimmend mit der Substratdotierung dotierte Wannengebiet von einem komplementär zu ihm dotierten Wannengebiet umgeben ist, vgl. in der US 6 388 295 B1 die Fig. 1 und 50 und die zugehörige Beschreibung und in der JP 11-026 601 A die Figuren 1 bis 4 und den Text des englischsprachigen Abstracts.

Angesichts dieser Widersprüche lässt der Anspruch nicht erkennen, was tatsächlich unter Schutz gestellt werden soll, so dass die Voraussetzungen, die § 34 Abs. 3 PatG an eine Patentanmeldung stellt, nicht erfüllt sind.

3. Der vorangehend aufgezeigte Widerspruch hinsichtlich der Lehre zur Herstellung einer Dreifach-Wanne spiegelt sich auch in den Beschreibungsunterlagen wieder, so dass der genannte Mangel auch durch Rückgriff auf die ursprüngliche Beschreibung nicht behoben werden kann.

Wie vorangehend bereits dargelegt, wird dem Fachmann in der Beschreibungseinleitung mitgeteilt, dass sich die Anmeldung auf ein Verfahren zum Bereitstellen einer Dreifach-Wanne (triple well) in einem epitaktisch basierten CMOS-oder BiCMOS-Prozess bezieht. Die Verwendung einer Dreifach-Wanne und ein Verfahren zum Bereitstellen ist - so die ursprünglichen Unterlagen weiter - aus dem Stand der Technik gemäß der US 6 388 295 und JP 11-026 601 bekannt. In der

Anmeldung gehe es um ein *neues* Verfahren zum Bereitstellen „einer tiefen N-Wanne/n-Wanne wie einer Dreifach-Wanne“, vgl. insoweit S. 1, Zeile 6 bis S. 2, Zeile 1 der unverändert geltenden ursprünglichen Beschreibungsunterlagen.

Angesichts dieser Informationen in der Beschreibungseinleitung geht der Fachmann bei der Lektüre der weiteren Beschreibungsunterlagen davon aus, dass die Anmeldung sich auf ein neues Verfahren zur Herstellung der ihm bekannten und in dem von der Anmelderin genannten Stand der Technik offenbarten üblichen Dreifach-Wannenordnung bezieht, bei der eine p- und eine n-Wanne sowie eine die eine der beiden Wannen umgebende dritte Wanne im Substrat hergestellt werden.

Bei der Lektüre der weiteren Beschreibungsunterlagen stellt der Fachmann jedoch fest, dass der Begriff „Dreifach-Wanne“ bei der Erläuterung des von der Anmelderin offenbarten Verfahrens zur Bereitstellung einer Dreifach-Wanne durchgängig lediglich im Zusammenhang mit einer (einzigen) Tief-Implantation von Arsen in das Silizium-Substrat verwendet wird, die als „Dreifach-Wannen-Implantation“ bezeichnet wird, mit der eine im Substrat vergrabene „Dreifach-Wannen-Region“ hergestellt wird, die in den Figuren 2 bis 6 mit dem Bezugszeichen „3“ benannt ist. In gleicher Weise entnimmt der Fachmann auch den weiteren Angaben, in denen es um die Abstimmung der Parameter weiterer Prozess-Schritte zur Herstellung von Isolationsgräben sowie der Parameter weiterer Implantationsschritte auf die Tiefe dieser „Dreifach-Wanne“ geht, dass mit dem Begriff „Dreifach-Wanne“ hier ein durch die Tief-Implantation von Arsen erzeugtes Dotiergebiet bezeichnet wird (*Der konventionelle Prozessfluss unter Verwendung einer Dreifach-Wanne weist eine implantierte Phosphor-Dotierung tief in das Silizium auf, die durch Verwendung einer Hochenergie-Implantation hergestellt wird. Die vorliegende Erfindung schlägt stattdessen die Verwendung einer Arsen-Dotierung vor, die vor der Abscheidung der epitaktischen Schicht implantiert wird. [...] Die Tiefe einer nachfolgenden p-Wannen-Implantation nach einer epitaktischen Abscheidung des NMOS-Transistors bestimmt die Tiefe der Dreifach-Wannen-Implantation. Das*

Verfahren wird bevorzugt für einen flachen Graben-Isolations-Prozess (STI, shallow trench isolation) vorgesehen. Die Tiefe des STI darf diese Arsen-implantierte Dreifach-Wanne nicht erreichen. Dies bedeutet, dass eine zusätzliche N-Typ-Dotierung eingeführt werden muss, um den Pfad unterhalb des STI abzuschneiden. Dies kann durch Verwendung einer zusätzlichen N-Implantation in Reihenfolge mit der Dreifach-Wannen-Implantation vor der/einer epitaktischen Abscheidung durchgeführt werden / S. 2, Zeilen 1 bis 21 // Fig. 2 ist eine Schnittansicht des p-Typ-Substrats mit einer implantierten Dreifach-Wanne entsprechend der Erfindung. Fig. 3 ist eine Schnittansicht des p-Typ-Substrats mit der implantierten Dreifach-Wanne entsprechend der Erfindung, wobei eine Implantation des n-Typ-Dotierstoffs gezeigt ist / S. 3, Zeilen 32 bis 37 // Auf diesem Startmaterial folgt eine Sequenz von drei Implantationen vor einer epitaktischen Abscheidung. Eine erste Maske 2 wird eingesetzt, um eine Dreifach-Wanne 3 in bevorzugten Gebieten bereitzustellen. [...] Unter der Verwendung dieses strukturierten Resists 2 als eine Maske folgt eine Ionen-Implantation von Arsen. Diese Implantation [...] dringt tief in das Substrat ein. In der Fig. 2 ist der Schritt dieser Implantation und die bereitgestellte Dreifach-Wannen-Region 3 gezeigt / S. 4, Zeile 34 bis S. 5, Zeile 8 // Diese Implantation muss auf solche Weise durchgeführt werden, dass kein p-Typ unterhalb eines STI 12a in implantierten Gebieten zurückbleibt. Sie muss ebenso mit der Dreifach-Wanne verbunden sein, um sicherzustellen, dass keine p-Typ-Region diese Implantation von der Dreifach-Wanne separiert / S. 5, Zeilen 13 bis 18 // Die Dosis und die Energie von dieser Implantation wird so gewählt, dass sie die Dreifach-Wanne erreicht / S. 5, Zeilen 24 und 25 / Das STI sollte die Dreifach-Wanne nicht erreichen / S. 6, Zeilen 18 und 19 // Die Dreifach-Wanne muss tief genug sein, damit sie keinerlei größeren Einfluss auf das Verhalten des Transistors hat / S. 6, Zeilen 23 bis 25 jeweils i. V. m. Fig. 2 bis 6, die eine Dreifach-Wanne in der Tiefe des Substrats zeigen).

In Übereinstimmung mit diesen Informationen gibt auch der ursprüngliche Anspruchssatz die Lehre, die Dreifach-Wanne in einem epitaktisch basierten CMOS- oder BiCMOS-Prozess durch Implantieren der Dreifach-Wanne vor der epitaktischen Abscheidung bereitzustellen, wobei beim Implantieren der Dreifach-Wanne Arsen zu verwenden ist (*Anspruch 1: Verfahren zum Bereitstellen einer Dreifach-Wanne in einem epitaktisch basierten CMOS- oder BiCMOS-Prozess, gekennzeichnet durch Implantieren der Dreifach-Wanne vor der epitaktischen Abscheidung // Anspruch 2: Verfahren nach Anspruch 1, gekennzeichnet durch Verwenden von Arsen beim Implantieren der Dreifach-Wanne, wobei eine langsame Diffusion auftritt.*).

Diese Anweisungen zum Bereitstellen einer „Dreifach-Wanne“ sind jedoch mit dem fachüblichen Verständnis des Begriffs „Dreifach-Wanne“, auf den sich die Anmelderin in der Einleitung der Anmeldung bezieht, nicht vereinbar, denn mit einer einzigen Tiefimplantation kann keine Dreifachwannen-Anordnung mit drei Dotierungsgebieten erzeugt werden. Angesichts dieser Widersprüche kann der Fachmann auch den ursprünglichen Beschreibungsunterlagen nicht entnehmen, wie mit den anmeldungsgemäßen Maßnahmen eine Dreifach-Wanne bereitgestellt wird.

4. Die Anmelderin hat in der mündlichen Verhandlung geltend gemacht, der Fachmann erkenne aus dem Gesamtzusammenhang der ursprünglichen Unterlagen, dass das in der Anmeldung als „Dreifach-Wannen-Region 3“ bezeichnete Gebiet lediglich einen Bestandteil einer Dreifach-Wannen-Anordnung bilde, wobei das n-dotierte Gebiet „3“ als vergrabener Bodenbereich „3“ zusammen mit dem an den Seiten dieses Bodenbereichs erzeugten weiteren n-dotierten Gebiet „6“ ein p-dotiertes Inselgebiet aus dem Substrat abtrenne und diese Anordnung zusammen mit weiteren Dotiergebieten eine Dreifach-Wannen-Anordnung gemäß dem fachüblichen Verständnis bilde.

Dieser Auffassung kann nicht gefolgt werden, denn zum Offenbarungsgehalt einer Anmeldung zählt in jedem Fall nur das, was **unmittelbar und eindeutig** offenbart ist, nicht jedoch eine weitere Erkenntnis, zu der der Fachmann erst aufgrund seines allgemeinen Fachwissens oder durch Abwandlung der offenbarten Lehre gelangen kann, vgl. BGH GRUR 2010, 910, Leitsatz - „Fälschungssicheres Dokument“. Insofern konnten auch diese Darlegungen der Anmelderin den Senat nicht zu einer anderen Beurteilung veranlassen.

5. Die Unteransprüche 2 bis 7 sind Gegenstand desselben Antrags auf Patenterteilung und fallen somit mit dem Anspruch 1, vgl. BGH GRUR 2007, 862, Leitsatz - „Informationsübermittlungsverfahren II“.

6. Angesichts der vorangehend erläuterten Sachlage war die Beschwerde der Anmelderin zurückzuweisen.

Dr. Strößner

Brandt

Metternich

Dr. Friedrich

CI