



# BUNDESPATENTGERICHT

IM NAMEN DES VOLKES

URTEIL

Verkündet am  
16. April 2021

7 Ni 4/20 (EP)

---

(Aktenzeichen)

...

In der Patentnichtigkeitsache

...

**betreffend das europäische Patent 1 260 910**

**(DE 602 15 417)**

hat der 7. Senat (Juristischer Beschwerdesenat und Nichtigkeitssenat) des Bundespatentgerichts aufgrund der mündlichen Verhandlung vom 16. April 2021 durch die Richterin Püschel als Vorsitzende sowie den Richter Dipl.-Ing. Baumgardt, die Richterin Dr. Schnurr und die Richter Dipl.-Phys. Dr. Forkel und Dipl.-Phys. Dr. Städele

für Recht erkannt:

- I. Das europäische Patent 1 260 910 wird mit Wirkung für das Hoheitsgebiet der Bundesrepublik Deutschland in vollem Umfang für nichtig erklärt.
- II. Die Beklagte trägt die Kosten des Rechtsstreits.
- III. Das Urteil ist gegen Sicherheitsleistung in Höhe von 120% des zu vollstreckenden Betrages vorläufig vollstreckbar.

**Tatbestand**

Die Beklagte ist eingetragene Inhaberin des in englischer Verfahrenssprache auch mit Wirkung für das Hoheitsgebiet der Bundesrepublik Deutschland erteilten europäischen Patents 1 260 910 (Streitpatent), das am 20. Mai 2002 angemeldet worden ist und die Priorität aus der Patentanmeldung US 09 / 861 191 vom 18. Mai 2001 in Anspruch nimmt. Es trägt die Bezeichnung „Network circuit“ („Netzwerkschaltung“) und wird beim Deutschen Patent- und Markenamt unter der Nummer 602 15 417 geführt. Das Streitpatent umfasst in der erteilten Fassung 16 Patentansprüche, die sämtlich angegriffen werden. Patentanspruch 1 bezieht sich

auf eine integrierte Schaltung in einer Netzwerkvorrichtung, die Patentansprüche 2 bis 9 sind auf Patentanspruch 1 unmittelbar oder mittelbar rückbezogen. Mit den Patentansprüchen 10, 12, 13, 14 und 15 werden jeweils ein Schaltungsdefinier-Mechanismus mit einer oder mehreren Datenbanken, die die integrierte Schaltung nach einem der Patentansprüche 1 bis 9 repräsentieren, sowie ein Trägermedium, ein Computerprogramm, ein Computerprogramm-Trägermedium und ein Computerprogramm-Erzeugnis zum Konfigurieren, Tragen bzw. Implementieren eines solchen Schaltungsdefinier-Mechanismus beansprucht. Die Patentansprüche 11 bzw. 16 sind auf die Patentansprüche 10 bzw. 14 und 15 rückbezogen.

Der Senat hatte das vorliegende Nichtigkeitsverfahren 7 Ni 4/20 (EP) zunächst mit dem Nichtigkeitsverfahren 7 Ni 5/20 (EP) zur gemeinsamen Verhandlung und Entscheidung verbunden und - nachdem die Klägerinnen aus dem Verfahren 7 Ni 5/20 (EP) ihre Klagen zurückgenommen hatten - die Verfahren mit Beschluss vom 8. April 2021 wieder getrennt.

Der erteilte Patentanspruch 1 lautet in der Verfahrenssprache wie folgt:

1. An integrated circuit in a network device comprising:
  - at least one processor (12A, 12B) coupled to an interconnect (24);
  - a cache memory (14) coupled to the interconnect (24);
  - a memory controller (16) coupled to the interconnect (24);
  - at least one interface circuit (22A - 22H) to couple to a network external to the integrated circuit;

wherein the at least one processor (12A, 12B), the cache (14), the memory controller (16), the interconnect (24), and the at least one interface circuit (22A - 22H) are integrated onto the integrated circuit;

**characterized by**

at least one bridge circuit (20A, 20B) coupled to the interconnect (24) and configured to connect a plurality of interface circuits (22A - 22H) to the interconnect (24), wherein the at least one bridge circuit (20A, 20B) is also coupled to the at least one interface circuit (22A - 22H) to allow the bridge circuit (20A, 20B) to initiate transactions onto the interconnect (24) for data transfer between the interconnect (24) and the at least one interface circuit (22A - 22H).

Die deutsche Übersetzung lautet gemäß Streitpatentschrift EP 1 260 910 B1 wie folgt:

1. Integrierte Schaltung in einer Netzwerkvorrichtung mit:

wenigstens einem Prozessor (12A, 12B), der mit einer Verbindung (Interconnect) (24) gekoppelt ist;  
einem Cache-Speicher (14), der mit der Verbindung (24) gekoppelt ist;  
einem Memory Controller (16), der mit der Verbindung (24) gekoppelt ist;  
wenigstens einer Schnittstellenschaltung (22A - 22H) zur Kopplung an ein Netzwerk außerhalb der integrierten Schaltung;

wobei der wenigstens eine Prozessor (12A, 12B), der Cache (14), der Memory Controller (16), die Verbindung (24) und die wenigstens eine Schnittstellenschaltung (22A - 22H) auf der integrierten Schaltung integriert sind;

**gekennzeichnet durch**

wenigstens eine Brückenschaltung (20A, 20B), die mit der Verbindung (24) gekoppelt und so konfiguriert ist, dass sie eine Vielzahl von Schnittstellenschaltungen (22A - 22H) mit der Verbindung (24) koppelt,

wobei die wenigstens eine Brückenschaltung (20A, 20B) auch mit der wenigstens einen Schnittstellenschaltung (22A - 22H) gekoppelt ist, um es der Brückenschaltung (20A, 20B) zu ermöglichen, Transaktionen auf der Verbindung (24) für Datenübertragung zwischen der Verbindung (24) und der wenigstens einen Schnittstellenschaltung (22A - 22H) einzuleiten.

Wegen des Wortlauts der Patentansprüche 2 bis 16 wird auf die Streitpatentschrift EP 1 260 910 B1 Bezug genommen.

Die Klägerin macht den Nichtigkeitsgrund der mangelnden Patentfähigkeit geltend (Art. II § 6 Abs. 1 Nr. 1 IntPatÜG i. V. m. Art. 138 Abs. 1 Buchst. a, Art. 54, 56 EPÜ).

Die Klägerin reicht u. a. folgende Druckschriften und Unterlagen ein:

- D1** EP 1 195 686 A2;
- D2** EP 1 179 779 A2;
- D3** R. A. Bergamaschi, W. R. Lee, "Designing Systems-on-Chip Using Cores", in: Proceedings of the 37th Annual Design Automation Conference (DAC '00), ACM, 2000, S. 420-425;
- D4** D. Flynn, "AMBA: Enabling Reusable On-Chip Designs", IEEE Micro 17, 4 (Juli 1997), S. 20-27;
- D5** US 5 778 425 A;

- D6** US 5 768 548 A;
- D7** E. Solari, G. Willse, „PCI & PCI-X Hardware and Software Architecture & Design“, Fifth Edition, März 2001, S. 2, 3, 534-543, 1124-1129, 1136, 1137;
- NK3** Anmeldungsunterlagen des Streitpatents;
- NK4** US 09 / 861 191 (Prioritätsanmeldung);
- NK5** US 5 640 399 A;
- NK8** US 09 / 680 524;
- NK10** Wikipedia-Artikel zu „ARM-Architektur“, Ausdruck 10/8/2018;
- NK11** Auszug aus „ARM610 Data Sheet“, August 1993.

In dem vormals hinzuverbundenen Verfahren 7 Ni 5/20 (EP), wobei sich die vorliegende Klägerin im Laufe des Verfahrens auch das dortige Vorbringen zu eigen gemacht hat, sind darüber hinaus u. a. folgende Druckschriften und Unterlagen eingereicht worden:

- NK13** S. Furber, „ARM system-on-chip architecture second edition“, 2000, S. 368-371;
- NK13a** c't Magazin für Computertechnik, Heft 12 vom Nov./Dez. 1983, u.a. S. 83;
- NK13b** Artikel aus NETWORK WORLD vom 24. März 1986 zu AT&T Information Systems;
- NK13c** A. Gurugé, L. M. Lindgren, „Communications Systems Management Handbook“, 6th Edition (2000), S. 235;
- NK13d** Datenblatt „StrongARM® SA-1100 Multimedia Development Board with Companion SA-1101 Development Board“, Januar 1999;
- NK13e** L. Freed, „Wireless Connectivity Hits Home“, PC MAGAZINE, 6. März 2001, S. 48;
- NK13f** WO 98 / 20 653 A1;
- NK13g** US 6 230 118 B1;

- NK14** Datenblatt eines CYW4356-Chips für "Single-Chip 5G WiFi IEEE 802.11ac 2x2 MAC/Baseband/Radio with Integrated Bluetooth 4.1, FM Receiver, and Wireless Charging", revised 14. November 2016;
- NK15** B. Blaner et al., "An Embedded PowerPC™ SOC for Test and Measurement Applications", in: Proceedings of 13th Annual IEEE International ASIC/SOC Conference, 2000, S. 204-208;
- NK16** US 5 548 730 A;
- NK17** (= D5 aus 7 Ni 4/20 (EP))
- NK18** Präsentation "The Mercurian™ Processor: A High Performance, Power-efficient CMP for Networking" (undatiert);
- NK18a** L. Wirbel vom 11. Juni 2000: „Broadcom acquires MIPS core provider SiByte“ (Quelle:  
[https://www.eetimes.com/document.asp?doc\\_id=1142644](https://www.eetimes.com/document.asp?doc_id=1142644));
- NK18b** Auflistung der Anmelderin des Streitpatents (Broadcom Corporation) im Erteilungsverfahren zu US 2003/0217238 A1 (Appl. No. 10/414,363);
- NK18c** "File Wrapper" der US 2003/0217238 A1 des US Patent and Trademark Office;
- NK18d** Ausdruck von der Website „www.sibyte.com“ aus dem Internetarchiv „www.archive.org“ u. a. zum "Microprocessor Forum, San Jose, CA, 'Introducing the SB-1250'", Stand 10. Oktober 2000;
- NK18e** Ausdruck von der Website „www.mdronline.com“ aus dem Internetarchiv „www.archive.org“ zum "Microprocessor Forum 2000", Stand 10. September 2001;
- NK18f** S. Cianciolo, A. Stiller „Kontrastprogramm - Das Microprocessor Forum 2000", c't Magazin für Computertechnik, 21. Oktober 2000;
- NK18g** Kopie der Konferenz-CD zum „Microprocessor Forum 2000“;
- NK18h** Ausdruck von der Website „www.sibyte.com“ aus dem Internetarchiv „www.archive.org“ zu „The Mercurian™ Processor“ mit einem Link auf „Microprocessor Forum SB-1250 Presentation“, Stand 5. März 2001;

- NK18i** Präsentation in Farbe als Auszug aus der Konferenz-CD;
- NK18j** T. R. Halfhill, "SiByte Reveals 64-Bit Core for NPUs", in: Microprocessor Report, 26. Juni 2000;
- NK18k** Ausdruck von der Website „www.broadcom.com“ aus dem Internetarchiv „www.archive.org“ zur "Mercurian Processor Family", Stand 16. Mai 2001;
- NK18l** Handbuch "User Manual for the BCM1250, BCM1125, and BCM1125H" mit Datumsangabe "10/21/02";
- NK19** Datenblatt zum Chip „SB-1250“, Copyright 2000;
- NK20** (= D3 aus 7 Ni 4/20 (EP))
- NK21** (= D4 aus 7 Ni 4/20 (EP))
- NK22** Auszug aus "TMS320C6000 Peripherals Reference Guide", Texas Instruments, Februar 2001;
- NK23** „Intel® StrongARM® SA-1100 Microprocessor Developer's Manual“, August 1999;
- NK24** US 5 991 817 A.

Die Beklagte verweist in ihrem Vorbringen u. a. auf die folgenden Unterlagen:

- NKB2** Kopien der bei dem US-Patent- und Markenamt eingereichten Unterlagen zur Übertragung der Prioritätsanmeldung US 09 / 861 191;
- NKB5** M. H. Jones „A practical introduction to electronic circuits“, Third Edition, 1995, S. 471.

Die Klägerin hält die Priorität des Streitpatents für nicht wirksam beansprucht. Zum einen sei die Prioritätsanmeldung US 09 / 861 191 vom 18. Mai 2001 (vorgelegt als **NK4**) nicht die erste Anmeldung im Sinne des Art. 87 Abs. 1 EPÜ. Dies sei vielmehr die US 09 / 680 524 vom 6. Oktober 2000 (vorgelegt als **NK8**). Zum anderen fehle es an der Anmelderidentität. Es werde mit Nichtwissen bestritten, dass die Anmelderin das Recht im Juni 2001 von den Erfindern übertragen bekommen habe.



Die Klägerin macht geltend, der Gegenstand von Patentanspruch 1 sei nicht neu gegenüber einer der Druckschriften **D1** bis **D5** oder jedenfalls nicht erfinderisch ausgehend von einer der vorgenannten Druckschriften oder ausgehend von **D6** in Verbindung mit einer der vorgenannten Druckschriften. Eine neuheitsschädliche Vorwegnahme sei auch durch **NK24** gegeben. Nach dem klägerischen Vortrag im vormals hinzuverbundenen Verfahren 7 Ni 5/20 (EP) soll der Gegenstand von Patentanspruch 1 darüber hinaus nicht neu sein gegenüber einer der Druckschriften **NK13**, **NK15**, **NK16**, **NK22** oder gegenüber der Präsentation **NK18**.

Die Klägerin beantragt,

das europäische Patent 1 260 910 mit Wirkung für das Hoheitsgebiet der Bundesrepublik Deutschland in vollem Umfang für nichtig zu erklären.

Die Beklagte beantragt,

die Klage abzuweisen,

hilfsweise die Klage abzuweisen, soweit sie sich gegen das Streitpatent in der Fassung der in der Reihenfolge ihrer Nummerierung gestellten Hilfsanträge 1 bis 9 richtet, eingereicht mit Schriftsätzen vom 8. März 2021 (Hilfsanträge 1 bis 3 und 5 bis 9) und 9. April 2021 (Hilfsantrag 4).

Patentanspruch 1 gemäß **Hilfsantrag 1** unterscheidet sich von der erteilten Fassung dadurch, dass der kennzeichnende Teil wie folgt geändert ist (Änderungen gegenüber dem erteilten Patentanspruch 1 unterstrichen):

(...)

**characterized by**

at least one bridge circuit (20A, 20B) coupled to the interconnect (24) and configured to connect a plurality of interface circuits (22A - 22H) to the interconnect (24) to reduce the electrical loading on the interconnect (24),

wherein the at least one bridge circuit (20A, 20B) is also coupled to the at least one interface circuit (22A - 22H) to allow the bridge circuit (20A, 20B) to initiate transactions onto the interconnect (24) for data transfer between the interconnect (24) and the at least one interface circuit (22A - 22H).

Die weiteren Patentansprüche 2 bis 16 gemäß Hilfsantrag 1 entsprechen der erteilten Fassung.

Patentanspruch 1 gemäß **Hilfsantrag 2** unterscheidet sich von der erteilten Fassung wie folgt (Änderungen gegenüber dem erteilten Patentanspruch 1 unterstrichen):

(...)

**characterized by**

at least one bridge circuit (20A, 20B) coupled to the interconnect (24) and configured to connect a plurality of interface circuits (22A - 22H) to the interconnect (24) to reduce the electrical loading on the interconnect (24),

wherein the at least one bridge circuit (20A, 20B) is also coupled to the at least one interface circuit (22A - 22H) to allow the bridge circuit (20A, 20B) to initiate transactions onto the interconnect (24) for data transfer between the interconnect (24) and the at least one interface circuit (22A - 22H); and

wherein the at least one bridge circuit (20A, 20B) is configured to perform transactions on the interconnect (24) on behalf of the at least one interface circuit (22A - 22H) and to relay transactions

targeted at one of the interface circuits (22A – 22H) from the interconnect (24) to that interface circuit (22A – 22H).

Die weiteren Patentansprüche 2 bis 16 gemäß Hilfsantrag 2 entsprechen der erteilten Fassung.

Patentanspruch 1 gemäß **Hilfsantrag 3** unterscheidet sich von der erteilten Fassung wie folgt (Änderungen gegenüber dem erteilten Patentanspruch 1 unterstrichen):

(...)

**characterized by**

at least one bridge circuit (20A, 20B) coupled to the interconnect (24) and configured to connect a plurality of interface circuits (22A - 22H) to the interconnect (24),

wherein the at least one bridge circuit (20A, 20B) is also coupled to the at least one interface circuit (22A - 22H) to allow the bridge circuit (20A, 20B) to initiate transactions onto the interconnect (24) for data transfer between the interconnect (24) and the at least one interface circuit (22A - 22H);

wherein coherency is enforced within the boundaries of the integrated circuit but is not enforced outside the boundaries of the integrated circuit.

Gemäß Hilfsantrag 3 ist der erteilte Patentanspruch 3 gestrichen, aus den nachfolgenden erteilten Patentansprüchen 4 bis 16 werden mit angepassten Rückbezügen die Patentansprüche 3 bis 15.

Patentanspruch 1 gemäß **Hilfsantrag 4** unterscheidet sich von der erteilten Fassung wie folgt (Änderungen gegenüber dem erteilten Patentanspruch 1 unterstrichen):

(...)

**characterized by**

at least one bridge circuit (20A, 20B) coupled to the interconnect (24) and configured to connect a plurality of interface circuits (22A - 22H) to the interconnect (24),

wherein the at least one bridge circuit (20A, 20B) is also coupled to the at least one interface circuit (22A - 22H) to allow the bridge circuit (20A, 20B) to initiate transactions onto the interconnect (24) for data transfer between the interconnect (24) and the at least one interface circuit (22A - 22H);

wherein the cache memory (14) services cacheable transactions from any device on the interconnect (24); and

wherein coherency is enforced between the cache (14), the processor (12A, 12B) and the bridge circuit (20A, 20B).

Gemäß Hilfsantrag 4 ist der erteilte Patentanspruch 9 gestrichen, aus den nachfolgenden erteilten Patentansprüchen 10 bis 16 werden mit angepassten Rückbezügen die Patentansprüche 9 bis 15.

Patentanspruch 1 gemäß **Hilfsantrag 5** unterscheidet sich von der erteilten Fassung wie folgt (Änderungen gegenüber dem erteilten Patentanspruch 1 unterstrichen):

(...)

**characterized by**

at least one bridge circuit (20A, 20B) coupled to the interconnect (24) and configured to connect a plurality of interface circuits (22A - 22H) to the interconnect (24),

wherein the at least one bridge circuit (20A, 20B) is also directly coupled to the at least one interface circuit (22A - 22H) to allow the bridge circuit (20A,

20B) to initiate transactions onto the interconnect (24) for data transfer between the interconnect (24) and the at least one interface circuit (22A - 22H).

Die weiteren Patentansprüche 2 bis 16 gemäß Hilfsantrag 5 entsprechen der erteilten Fassung.

Patentanspruch 1 gemäß **Hilfsantrag 6** unterscheidet sich von der erteilten Fassung wie folgt (Änderungen gegenüber dem erteilten Patentanspruch 1 unterstrichen):

(...)

**characterized by**

at least one bridge circuit (20A, 20B) coupled to the interconnect (24) via a single bi-directional connection and configured to connect a plurality of interface circuits (22A - 22H) to the interconnect (24), wherein the at least one bridge circuit (20A, 20B) is also directly coupled to the at least one interface circuit (22A - 22H) to allow the bridge circuit (20A, 20B) to initiate transactions onto the interconnect (24) for data transfer between the interconnect (24) and the at least one interface circuit (22A - 22H).

Die weiteren Patentansprüche 2 bis 16 gemäß Hilfsantrag 6 entsprechen der erteilten Fassung.

Patentanspruch 1 gemäß **Hilfsantrag 7** unterscheidet sich von der erteilten Fassung wie folgt (Änderungen gegenüber dem erteilten Patentanspruch 1 unterstrichen):

(...)

**characterized by**

at least one bridge circuit (20A, 20B) coupled to the interconnect (24) and configured to connect a plurality of interface circuits (22A - 22H) to the interconnect (24),

wherein the at least one bridge circuit (20A, 20B) is also coupled to the at least one interface circuit (22A - 22H) to allow the bridge circuit (20A, 20B) to initiate transactions onto the interconnect (24) for data transfer between the interconnect (24) and the at least one interface circuit (22A - 22H);

wherein the bridge circuit (20A, 20B) is coupled to receive a write which updates a portion of a cache block,

and wherein the bridge circuit (20A, 20B) is configured to coherently read the cache block from a memory (14, 26) and to modify the cache block within the bridge circuit (20A, 20B) for writing back the modified cache block to the memory (14, 26).

Gemäß Hilfsantrag 7 ist der erteilte Patentanspruch 4 gestrichen, aus den nachfolgenden erteilten Patentansprüchen 5 bis 16 werden mit angepassten Rückbezügen die Patentansprüche 4 bis 15.

Patentanspruch 1 gemäß **Hilfsantrag 8** unterscheidet sich von der erteilten Fassung wie folgt (Änderungen gegenüber dem erteilten Patentanspruch 1 unterstrichen):

(...)

**characterized by**

at least one bridge circuit (20A, 20B) coupled to the interconnect (24) and configured to connect a plurality of interface circuits (22A - 22H) to the interconnect (24),

wherein the at least one bridge circuit (20A, 20B) is also coupled to the at least one interface circuit (22A - 22H) to allow the bridge circuit (20A, 20B) to initiate transactions onto the interconnect (24)

for data transfer between the interconnect (24) and the at least one interface circuit (22A - 22H);  
wherein the bridge circuit (20A, 20B) is coupled to receive a write which updates a portion of a cache block,  
and wherein the bridge circuit (20A, 20B) is configured to coherently read the cache block from a memory (14, 26) and to modify the cache block within the bridge circuit (20A, 20B) for writing back the modified cache block to the memory (14, 26),  
wherein the bridge circuit (20A, 20B) is configured for enforcing coherency for the cache block during the time period from reading the cache block to writing back the modified cache block.

Die weiteren Patentansprüche 2 bis 15 gemäß Hilfsantrag 8 entsprechen Hilfsantrag 7.

Patentanspruch 1 gemäß **Hilfsantrag 9** unterscheidet sich von der erteilten Fassung wie folgt (Änderungen gegenüber dem erteilten Patentanspruch 1 unterstrichen):

(...)

**characterized by**

at least one bridge circuit (20A, 20B) coupled to the interconnect (24) and configured to connect a plurality of interface circuits (22A - 22H) to the interconnect (24),  
wherein the at least one bridge circuit (20A, 20B) is also coupled to the at least one interface circuit (22A - 22H) to allow the bridge circuit (20A, 20B) to initiate transactions onto the interconnect (24) for data transfer between the interconnect (24) and the at least one interface circuit (22A - 22H);  
wherein the at least one bridge circuit (20A, 20B) comprises multiple request queues for different priority transaction requests.

Die weiteren Patentansprüche 2 bis 16 gemäß Hilfsantrag 9 entsprechen der erteilten Fassung.

Die Klägerin hält auch den Gegenstand der jeweiligen Hilfsanträge nicht für patentfähig, weil es an der Neuheit oder erfinderischen Tätigkeit fehle. Zur Begründung hat sich die Klägerin bei allen Hilfsanträgen auf die Druckschrift **D6** bezogen, die die erfinderische Tätigkeit in Frage stelle, und zusätzlich bei einem Teil der Hilfsanträge auf Druckschrift **NK24** (Hilfsanträge 1 bis 3, 5, 6 und 9), wobei der Gegenstand des Hilfsantrags 5 durch Druckschrift **NK24** schon neuheitsschädlich getroffen und der Gegenstand der Hilfsanträge 1 bis 3, 6 und 9 ausgehend von Druckschrift **NK24** nahegelegt sei. Bezüglich Hilfsantrag 1 hat sich die Klägerin auch auf Druckschrift **D7** bezogen sowie bezüglich Hilfsantrag 7 darauf verwiesen, dass dieser bzw. der dort mit aufgenommene Unteranspruch 4 nicht neu gegenüber Druckschrift **D5** sei.

Die Beklagte tritt den Ausführungen der Klägerin in allen Punkten entgegen und hält das Streitpatent, zumindest in der Fassung einer der Hilfsanträge, für patentfähig. Das Streitpatent könne zudem die Priorität wirksam in Anspruch nehmen.

Der Senat hat den Parteien mit Schreiben vom 3. Februar 2021 einen qualifizierten gerichtlichen Hinweis zukommen lassen.

Wegen des Vorbringens der Parteien im Übrigen wird auf deren Schriftsätze mit sämtlichen Anlagen und auf das Protokoll der mündlichen Verhandlung vom 16. April 2021 verwiesen.



## Entscheidungsgründe

Die Klage, mit der der Nichtigkeitsgrund der fehlenden Patentfähigkeit (Art. II § 6 Abs. 1 Nr. 1 IntPatÜG, Art. 138 Abs. 1 Buchst. a EPÜ i. V. m. Art. 54 Abs. 1, 2 und Art. 56 EPÜ) geltend gemacht wird, ist zulässig und begründet. Das Streitpatent hat weder in der erteilten Fassung nach Hauptantrag noch in der Fassung eines der Hilfsanträge Bestand, da dem Gegenstand des Streitpatents in jeder dieser Fassungen der Nichtigkeitsgrund der fehlenden Patentfähigkeit entgegensteht.

### I.

1. Das Streitpatent betrifft Netzwerkvorrichtungen („network devices“), Netzwerkschaltkreise („network circuits“) und insbesondere integrierte Schaltkreise („integrated circuits“), die in Netzwerkvorrichtungen verwendet werden (Streitpatentschrift, Absatz [0001]).

Gemäß der Beschreibungseinleitung der Streitpatentschrift nehme die Vernetzung von Computersystemen und anderen elektronischen Vorrichtungen auf allen Ebenen des Netzwerkbetriebs immer mehr zu. Computersysteme in Büros und manchmal sogar in Wohnstätten würden in lokalen Netzwerken („local area networks (LANs)“) vernetzt, geografisch weit voneinander entfernte Computersysteme könnten in Weitverkehrsnetzwerken („wide area networks (WANs)“) vernetzt werden. An der Übertragung von Netzwerkdaten von einem Computersystem zu einem anderen könnten verschiedene Netzwerkvorrichtungen wie etwa Firewalls oder Router beteiligt sein (Streitpatentschrift, Absatz [0003]).

Das US-Patent 5 640 399 (vgl. Anlage **NK5**) offenbare einen Netzwerkrouter mit Prozessor, Cache, Memory-Controller und WAN- und LAN-Schnittstelleneinheiten, wobei diese Komponenten auf einem einzigen Chip integriert seien. Jedoch seien

diese Schnittstelleneinheiten direkt an den Systembus gekoppelt (Streitpatentschrift, Absatz [0004]).

2. Vor diesem Hintergrund beschreibt **Patentanspruch 1** eine integrierte Schaltung in einer Netzwerkvorrichtung. Er lautet - mit der Merkmalsgliederung der Beklagten aus Anlage **NKB1** versehen - wie folgt (englisch: gemäß Streitpatentschrift, deutsch: teilweise verbesserte Übersetzung, siehe die Unterstreichungen):

1.0	An integrated circuit in a network device comprising:	Integrierte Schaltung in einer Netzwerkvorrichtung <u>mit, umfassend:</u>
1.1	at least one processor (12A, 12B) coupled to an interconnect (24);	wenigstens einen <u>Prozessor</u> (12A, 12B), der mit einer Verbindung (Interconnect) (24) gekoppelt ist;
1.2	a cache memory (14) coupled to the interconnect (24);	einen <u>Cache-Speicher</u> (14), der mit der Verbindung (24) gekoppelt ist;
1.3	a memory controller (16) coupled to the interconnect (24);	einen <u>Memory-Controller</u> (16), der mit der Verbindung (24) gekoppelt ist;
1.4	at least one interface circuit (22A - 22H) to couple to a network external to the integrated circuit;	wenigstens einer Schnittstellenschaltung (22A - 22H) zur Kopplung an ein Netzwerk außerhalb der integrierten Schaltung;
1.5	wherein the at least one processor (12A, 12B), the cache (14), the memory controller (16), the interconnect (24), and the at least one interface circuit (22A - 22H) are integrated onto the integrated circuit; characterized by	wobei der wenigstens eine Prozessor (12A, 12B), der Cache (14), der Memory Controller (16), die Verbindung (24) und die wenigstens eine Schnittstellenschaltung (22A - 22H) auf der integrierten Schaltung integriert sind; gekennzeichnet durch

1.6	at least one bridge circuit (20A, 20B) coupled to the interconnect (24) and configured to connect a plurality of interface circuits (22A - 22H) to the interconnect (24),	wenigstens eine Brückenschaltung (20A, 20B), die mit der Verbindung (24) gekoppelt und so konfiguriert ist, dass sie eine Vielzahl von Schnittstellenschaltungen (22A - 22H) mit der Verbindung (24) koppelt,
1.7	wherein the at least one bridge circuit (20A, 20B) is also coupled to the at least one interface circuit (22A - 22H) to allow the bridge circuit (20A, 20B) to initiate transactions onto the interconnect (24) for data transfer between the interconnect (24) and the at least one interface circuit (22A - 22H).	wobei die wenigstens eine Brückenschaltung (20A, 20B) auch mit der wenigstens einen Schnittstellenschaltung (22A - 22H) gekoppelt ist, um es der Brückenschaltung (20A, 20B) zu ermöglichen, Transaktionen auf der Verbindung (24) für <u>eine</u> Datenübertragung zwischen der Verbindung (24) und der wenigstens einen Schnittstellenschaltung (22A - 22H) einzuleiten.

Die nebengeordneten **Patentansprüche 10** und **12 bis 15** sind jeweils auf den Patentanspruch 1 direkt oder indirekt rückbezogen. Sie lauten in der englischen und deutschen Fassung jeweils folgendermaßen:

10.	A circuit defining mechanism comprising one or more databases representing the integrated circuit as recited in any of the preceding claims.	Schaltungsdefinier-Mechanismus mit einer oder mehreren Datenbanken, die die integrierte Schaltung nach einem der vorhergehenden Ansprüche repräsentieren.
-----	--	---

12.	A carrier medium carrying the circuit defining mechanism as recited in either claims 10 or 11.	Trägermedium, das den Schaltungsdefinier-Mechanismus nach Anspruch 10 oder 11 trägt.
13.	A computer program comprising machine or computer-readable program elements for configuring a computer to implement the mechanism of claim 10 or 11.	Computerprogramm mit maschinen- oder computerlesbaren Programm- elementen zum Konfigurieren eines Computers zur Implementierung des Mechanismus nach Anspruch 10 oder 11.
14.	A computer program carrier medium configured to carry a computer program in accordance with claim 13.	Computerprogramm-Trägermedium, das so konfiguriert ist, dass es ein Computerprogramm nach Anspruch 13 trägt.
15.	A computer program product comprising a computer usable medium having machine or computer-readable program code embodied in said computer usable medium operable to effect the performance of defining a circuit, said computer-readable program code comprising computer-readable program code for causing at least one computer to implement the mechanism of claim 10 or 11.	Computerprogramm-Erzeugnis mit einem computerverwendbaren Medium mit einem maschinen- oder computerlesbaren Programmcode, der in dem computerverwendbaren Medium eingebettet ist, und der ausgeführt werden kann, um das Durchführen des Definierens einer Schaltung zu bewirken, wobei der computerlesbare Programmcode einen computerlesbaren Programmcode umfasst, der veranlasst, dass wenigstens ein Computer den Mechanismus nach Anspruch 10 oder 11 implementiert.

3. Eine Aufgabe wird im Streitpatent nicht ausdrücklich genannt. Jedoch ist dort angegeben, dass Eingabe-/Ausgabebrücken, welche mehr als eine Schnittstellenschaltung mit einem Bus verbinden, der Reduktion der an dem Bus anliegenden elektrischen Last dienen können (vgl. Streitpatentschrift, Absatz [0013] - „The I/O bridges 20A-20B link [...] more I/O interface circuits [...] to the bus 24. [...] The I/O bridges 20A-20B may serve to reduce the electrical loading on the bus 24 if more than one I/O interface circuit 22A-22I is bridged by that I/O bridge.“). Dies trifft für die integrierte Schaltung nach Patentanspruch 1 zu (vgl. Merkmal **1.6**), aber nicht für den aus dem US-Patent 5 640 399 bekannten Netzwerkrouterchip, dessen Schnittstelleneinheiten laut Absatz [0004] der Streitpatentschrift gerade direkt an den Systembus gekoppelt sind.

In Anbetracht dessen sieht der Senat die durch den Gegenstand des erteilten Patentanspruchs 1 gelöste **Aufgabe** darin, eine in einer Netzwerkvorrichtung verwendete integrierte Schaltung anzugeben, bei der die an einer Busverbindung anliegende elektrische Last gegenüber aus dem Stand der Technik bekannten Lösungen reduziert ist und die eine zuverlässige Verarbeitung von Bustransaktionen gewährleistet.

4. Als Fachmann, der mit der Lösung dieser Aufgabe betraut wird, ist ein auf den Gebieten der Schaltungstechnik und des Chipdesigns tätiger Diplomingenieur der Fachrichtung Elektrotechnik anzusehen, der mehrjährige Berufserfahrung in der Entwicklung von Bussystemen und Busprotokollen besitzt.

5. Dieser Fachmann legt den Merkmalen des Patentanspruchs 1 folgendes Verständnis zugrunde:

a) Patentanspruch 1 ist gemäß Merkmal **1.0** auf eine „integrierte Schaltung in einer Netzwerkvorrichtung“ gerichtet. Aus fachmännischer Sicht ist eine „Netzwerkvorrichtung“ eine elektronische Vorrichtung, die - etwa weil sie Kommunikationsschnittstellen aufweist - dazu eingerichtet ist, mit anderen

elektronischen Vorrichtungen über ein Kommunikationsnetzwerk Daten auszutauschen. Eine solche Netzwerkvorrichtung kann beispielsweise als einzelne integrierte Schaltung ausgebildet sein (vgl. z.B. den in Absatz [0004] der Streitpatentschrift erwähnten Netzwerkrouterchip), oder auch als Vorrichtung, die die Vernetzung elektronischer Vorrichtungen steuert oder beeinflusst (z.B. als Firewall, Gateway oder Switch; vgl. Streitpatentschrift, Absatz [0026]).

Nach dem Verständnis des Senats impliziert Merkmal **1.0**, dass sich die integrierte Schaltung in einer Netzwerkvorrichtung befindet, in einer solchen Vorrichtung verwendet wird oder deren Bestandteil ist. Gemäß dem Merkmalswortlaut sind integrierte Schaltung und Netzwerkvorrichtung nicht identisch; da die Netzwerkvorrichtung keine weitere integrierte Schaltung umfassen muss (Streitpatentschrift, Absatz [0026] - „a network device may be constructed using the system 10 and zero [...] other integrated circuits“), ist Merkmal **1.0** jedoch bereits dann erfüllt, wenn die Netzwerkvorrichtung neben der integrierten Schaltung irgendwelche anderen Komponenten, etwa mechanische Komponenten zur Positionierung oder Anbringung der integrierten Schaltung (z.B. auf einer Platine oder in einem Gehäuse) beinhaltet.

**b)** Die integrierte Schaltung umfasst wenigstens einen mit einer „Verbindung (Interconnect)“ gekoppelten Prozessor (Merkmal **1.1**), sowie einen Cache-Speicher und einen „Memory Controller“, die ebenfalls jeweils mit der Verbindung gekoppelt sind (Merkmale **1.2** und **1.3**), und wenigstens eine Schnittstellenschaltung zur Kopplung an ein Netzwerk außerhalb der integrierten Schaltung (Merkmal **1.4**). Alle diese Schaltungskomponenten sind Bestandteile des - im Patentanspruch 1 nicht ausdrücklich genannten - Systems 10 (Streitpatentschrift, Absätze [0007] bis [0020]), das auf der integrierten Schaltung integriert (Absatz [0021]) und von der Netzwerkvorrichtung umfasst sein kann (Figur 2 und Absatz [0028]).

Unter einer „Verbindung“ oder einem „Interconnect“ ist laut Streitpatent allgemein ein beliebiges Kommunikationsmedium zu verstehen, wie beispielsweise ein Bus

(Streitpatentschrift, Absatz [0025] - „an interconnect is any sort of communication medium“; Absatz [0024] - „interconnect (e.g. the bus 24)“).

Ein Cache-Speicher (engl. „cache memory“) ist ein kleiner und schneller flüchtiger Speicher, der Kopien von Daten aus einem langsameren Speicher enthält, wodurch sich die Häufigkeit von Zugriffen auf den langsameren Speicher verringern lässt. Dem Fachmann ist geläufig, dass bei Zugriffen auf einen Cache-Speicher Datenbytes nicht einzeln, sondern nur in Einheiten von größeren Datenblöcken geschrieben oder ausgelesen werden können (vgl. etwa Druckschrift **D2**, Absatz [0002]), um auszunutzen, dass unmittelbar nacheinander verarbeitete Daten oft in benachbarten Speicherzellen gespeichert sind, und um nicht jeweils eine eigene Adresse pro Datenbyte speichern zu müssen. Diese Datenblöcke werden gemeinhin als „Cacheblöcke“ (engl. „cache blocks“) oder „Cachezeilen“ (engl. „cache lines“) bezeichnet; der im Streitpatent beschriebene Level-2-Cache-Speicher („L2 cache 14“) besitzt z.B. in einer bestimmten Implementierung Cacheblöcke mit einer festen Größe von 32 Bytes (Streitpatentschrift, Absatz [0011]). Mit dem Begriff „Cacheblock“ oder „Cachezeile“ werden allerdings nicht nur Datenblöcke bezeichnet, sondern auch Blöcke von Speicherzellen des Cache-Speichers, auf die zum Lesen oder Schreiben der Datenblöcke zugegriffen wird.

Unter einem „Memory-Controller“ versteht der Fachmann eine Schaltungskomponente, die Zugriffe auf einen Speicher steuert, verwaltet oder organisiert.

Eine Schnittstellenschaltung (engl. „interface circuit“) ist aus fachmännischer Perspektive eine Schaltung, über die zwei Komponenten eines Computersystems Daten austauschen. Das Streitpatent unterscheidet zwischen Netzwerkschnittstellen 22C-22E und Standardschnittstellen (vgl. Streitpatentschrift, Absätze [0028], [0029]; Figur 2) und führt beispielhaft eine Reihe von zugehörigen Schnittstellenschaltungen 22A-22I an, die sich auf der integrierten Schaltung befinden können, wie etwa PCI-Schnittstellenschaltungen („PCI interface circuits“)

oder Ethernet-Medienzugriffskontrollern („Ethernet Media Access Controllers (MACs)“; vgl. Streitpatentschrift, Figur 1 und Absätze [0014] bis [0019]).

Eine Kopplung einer Komponente einer integrierten Schaltung (Prozessor, Cache-Speicher, Memory-Controller, Schnittstellenschaltung) mit einem Interconnect oder an ein Netzwerk (Merkmale 1.1 bis 1.4) impliziert aus Sicht des Fachmanns, dass eine elektronische oder elektromagnetische Verbindung zwischen den gekoppelten Einheiten besteht. Eine solche Verbindung kann - wie bei elektronischen Schaltungen im Allgemeinen der Fall - auch indirekt durch ein „Dazwischenschalten“ weiterer Schaltungskomponenten realisiert sein. Das Streitpatent unterscheidet in diesem Zusammenhang zwischen einer direkten Kopplung (vgl. Absatz [0004] - „coupled directly to the system bus“) und einer durch zwischenliegende Schaltungskomponenten vermittelten Kopplung (vgl. Streitpatentschrift, Absatz [0023] – „I/O interface circuits 22A-22I coupled through the I/O bridges 20A-20B“; Absatz [0028] iVm Figur 2 – „The system 10 is coupled to the other integrated circuits 32 using either network interfaces or standard interfaces“).

**c)** Gemäß Merkmal 1.6 ist die integrierte Schaltung durch wenigstens eine Brückenschaltung (engl. „bridge circuit“) gekennzeichnet, die mit der Verbindung gekoppelt und so konfiguriert ist, dass sie eine Vielzahl von Schnittstellenschaltungen mit der Verbindung koppelt. Unter einer Brückenschaltung versteht der Fachmann eine Schaltung, die mindestens zwei Schaltungskomponenten verbindet, um dadurch den Austausch von Signalen oder Daten zwischen diesen Komponenten zu ermöglichen (zu „überbrücken“).

Laut dem Streitpatent bezieht sich der Begriff „Transaktion“ des Merkmals 1.7 auf eine „Kommunikation“ zwischen zwei oder mehreren an einer Verbindung (z.B. dem Bus 24) angeordneten Agenten (Streitpatentschrift, Absatz [0024], erster Satz). Unter einer Transaktion kann somit ein Kommunikationsvorgang zu verstehen sein, bei dem zwischen den Agenten Daten übertragen werden, wie es z.B. bei Lese- oder Schreibzugriffen zwischen Busteilnehmern der Fall ist (vgl. ebenfalls Absatz



[0024] - „a read transaction may be a transfer of data [...] a write transaction may be a transfer of data“). Ein solcher Kommunikationsvorgang findet insbesondere dann statt, wenn eine Abfolge von Aktionen (z.B. von Busoperationen) ausgeführt wird, die dem Transfer von Daten dient.

Darüber hinaus können Transaktionen aber auch von Agenten weitergeleitet und an andere Schaltungskomponenten übertragen werden, die die Transaktionen dann ausführen (vgl. Streitpatentschrift, Absatz [0013] - „the I/O bridge 20B [...] relays transactions targeted at an I/O interface circuit 22C-22I from the bus 24 to that I/O interface circuit 22C-22I“; Absatz [0024] - „the memory transaction is transmitted on the bus 24“), so dass der Begriff „Transaktion“ nicht nur einen reinen Kommunikationsvorgang bezeichnet, sondern auch eine Nachricht, die einen solchen Kommunikationsvorgang spezifiziert und charakteristische Informationen über ihn enthält. So sind beispielsweise Speichertransaktionen insbesondere durch den Transaktionstyp und die Adressen der Speicherbereiche charakterisiert, auf die zugegriffen werden soll (vgl. Streitpatentschrift, Absätze [0047], [0048] – „write transactions [...] may be queued in the request queue 50 (and the data in the request data queue 54)“ / „entries in the request queue 50 may include [...] the address of the transaction. Additional information may be queued as desired, such as the type (read/write)“).

Unter einem „Einleiten“ (engl. „initiating“) von Transaktionen auf einer Verbindung (Merkmal 1.7) ist insbesondere das Initiieren, In-Gang-Bringen, Verursachen oder Anstoßen eines Kommunikationsvorgangs zwischen mehreren an einem Bus angeschlossenen Busteilnehmern zu verstehen.

## II.

Das Streitpatent hat in der erteilten Fassung keinen Bestand, weil die jeweiligen Gegenstände der unabhängigen Patentansprüche 1, 10 und 12 bis 15 nicht patentfähig sind.

1. Die Lehre des erteilten Patentanspruchs 1 beruht gegenüber dem der Druckschrift **D6** entnehmbaren Stand der Technik auf keiner erfinderischen Tätigkeit.

Diese Druckschrift befasst sich mit einem Verfahren zur Optimierung des Managements von Puffern in einer Busbrücke (Spalte 1, Zeile 15 bis 18).

In der Beschreibungseinleitung der Druckschrift **D6** ist ausgeführt, dass die Kommunikation zwischen einem Prozessor und einem Hauptspeicher in vielen Computersystemen über einen leistungsfähigen Speicherbus erfolgt. Eine Reihe von Systemen verwende zusätzlich eine Busbrücke, um Datentransfers zwischen Peripheriegeräten an einem Peripheriebus und Modulen an dem Speicherbus zu ermöglichen. Dabei würden die übertragenen Daten in der Busbrücke in Pufferspeichern zwischengespeichert, um bei Schreibzugriffen auf den Speicheradressenbereich des Speicherbusses dessen Leistungsfähigkeit nicht zu beeinträchtigen und bei Leseoperationen Performance-Vorteile zu erzielen. Das Zwischenspeichern könne jedoch auch zu unerwünschter Dateninkonsistenz sowie zu Performance-Problemen führen. Als Abhilfe schlägt die Druckschrift **D6** vor, am Peripheriebus spezielle Busbefehle zu verwenden, die die Busbrücke bei der Optimierung des Puffermanagements unterstützen (Abstract; Spalte 1, Zeile 20 bis 59).

Figur 4 zeigt das dabei zum Einsatz kommende Bussystem mit einem Speicherbus 130 („memory bus 130“), einem Peripheriebus 140 („peripheral bus 140“) und einer Brücke 200 („bridge 200“) mit zwei Datenpuffern 210 und 230 („data buffers“ 210,

230) zur Zwischenspeicherung von Daten sowie einem Adresspuffer 240 („address buffer 240“), in dem die zum Lesen oder Schreiben dieser Daten benötigten Speicheradressen zwischengespeichert sind (s. auch Spalte 11, Zeile 9 bis 29). Mit dem Speicherbus sind ferner ein Hauptspeicher 120 („main memory 120“) und ein Prozessor 100 („processor 100“) verbunden (Merkmal **1.1**), so dass hier der Speicherbus 130 dem „Interconnect“ des Streitpatents entspricht.

Der Prozessor kann ferner einen Cache-Speicher umfassen (Spalte 3, Zeile 27 bis 29; Spalte 5, Zeile 62); zudem ist ein Cachekohärenzprotokoll am Speicherbus implementiert (Spalte 5, Zeile 34 bis 36 – „the cache coherency protocol of memory bus 30“). Für den Fachmann impliziert dies, dass der Cache-Speicher des Prozessors mit dem Hauptspeicher Cacheblöcke über den Speicherbus austauschen kann und dazu mit dem Speicherbus entweder direkt oder zumindest indirekt über entsprechende Komponenten des Prozessors verbunden ist (Merkmal **1.2**).

Da die Brücke Speicheroperationen am Speicherbus mittels ihrer Brückensteuereinheit 220 („bridge control unit 220“) steuert (Spalte 11, Zeile 31 bis 56), kann sie als Memory-Controller im Sinne des Merkmals **1.3** angesehen werden. Analoges gilt für den Prozessor, der Zugriffe auf seinen (prozessorinternen) Cache-Speicher steuern und organisieren muss. Aus fachmännischer Sicht ist es zudem selbstverständlich, dass Lese- und Schreibzugriffe auf den Hauptspeicher, die über den Speicherbus übertragen werden, von einem mit dem Speicherbus verbundenen Speichercontroller des Hauptspeichers verwaltet werden.

Damit liegt auch Merkmal **1.3** vor.

Ferner geht aus der Druckschrift **D6** hervor, dass die Brücke mit dem Speicherbus und dem Peripheriebus gekoppelt ist (vgl. Figur 4), so dass sie auf einen Schreibbefehl eines Agenten am Peripheriebus hin im Rahmen einer Schreibtransaktion über den Speicherbus Daten in den Hauptspeicher transferieren

kann (Spalte 11, Zeile 31 bis 43 – „In response to a Memory Write command from an agent on peripheral bus 140, bridge control unit 220 [...] will arbitrate for control of memory bus 130 to transfer the Memory Write data into main memory 120. When the bridge control unit 220 successfully gains control of the memory bus 130 and completes the transaction [...]).

Als Agenten am Peripheriebus - diese sind in Druckschrift **D6** auch als „Peripheriegeräte“ („peripheral devices“) bezeichnet - können beispielsweise Netzwerkschnittstellenschaltungen („network interconnects“) angeschlossen sein (Spalte 3, Zeile 30 bis 35 - „the peripheral bus 40 serves as a local bus for peripheral devices such as disk drives, network interconnects, or graphics subsystems (collectively referred to as “agents““). Diese Komponenten dienen selbstverständlich der Kopplung der in Figur 4 gezeigten Schaltung an ein schaltungsexternes Netzwerk.

Mit Ausnahme des Teilaspekts, dass diese Schaltung „integriert“ sein soll, ist damit auch Merkmal **1.4** verwirklicht. Merkmal **1.6** liegt ebenfalls vor, da der Datentransfer zwischen den Netzwerkschnittstellenschaltungen und dem Hauptspeicher durch die Brücke und den Speicherbus vermittelt wird.

Es ist ferner selbstverständlich, dass die Brücke auch die Schreibtransaktion auf dem Speicherbus einleitet, da sie selbst als Busmaster agieren kann (Spalte 3, Zeile 44 bis 48; Merkmal **1.7**).

Diese Eigenschaft der Brücke geht im Übrigen bereits aus den einleitenden Absätzen der Druckschrift **D6** hervor. Dort ist beschrieben, dass es eine notwendige Funktionalität einer Busbrücke ist, im Zuge eines Datentransfers zwischen dem Speicher- und dem Peripheriebus geeignete Busoperationen auf dem Speicherbus einzuleiten, die auf eine entsprechende Anfrage eines am Peripheriebus angeordneten Agenten hin vorgenommen werden (Spalte 1, Zeile 20 bis 38 - „The primary task of the bridge is to allow data to cross from one bus to the other bus

without diminishing the performance of either bus. To perform this function, [...] the bridge must be able to serve in both a slave capacity and a master capacity such that it can accept a request from a first bus as a slave, then initiate an appropriate bus operation on the other bus as a master.“; s. auch Spalte 3, Zeile 36 bis 48).

Mit dem Einleiten dieser Busoperationen bringt die Brücke Kommunikationsvorgänge (und damit Transaktionen im Sinne des Streitpatents) zwischen ihr und dem Hauptspeicher in Gang, die dem Austausch von Daten zwischen dem Speicherbus und einem Agenten am Peripheriebus dienen.

Auch aus diesem Grund ist Merkmal **1.7** erfüllt.

Allerdings ist der Druckschrift **D6** nicht unmittelbar entnehmbar, dass all diese genannten Baugruppen „auf der integrierten Schaltung integriert“ sind (Merkmale **1.0**, **1.5** und ein Teilaspekt des Merkmals **1.4** fehlen).

Dem Fachmann war jedoch geläufig, dass in der Halbleiterentwicklung seit den 1960er-Jahren ein Trend zur zunehmenden Miniaturisierung elektronischer Komponenten zu verzeichnen war, der bereits vor dem Prioritätstag des Streitpatents zur „monolithischen“ Integration ganzer Bussysteme mit Speicher- und Peripheriebussen auf einzelne Halbleiterchips führte.

So war ihm aus dem Stand der Technik eine Reihe von monolithisch integrierten „Systems-on-Chip“ bzw. Mikrocontrollern bekannt, bei denen Schnittstellenschaltungen, die an einem Peripheriebus liegen, über eine Brückenschaltung mit einem Speicherbus gekoppelt sind (vgl. die Druckschriften **D3** (Figur 1), **D4** (Figur 2), **NK13** (Figur 13.16), **NK15** (Figuren 1 und 2) und **NK19** (Figur 1)). Daneben wusste er auch, dass solche Systeme eine oder mehrere Ethernet-Netzwerkschnittstellenschaltungen enthalten konnten (vgl. Druckschrift **NK15**, Seite 206, linke Spalte, dritter bis sechster vollständiger Absatz - auf dem System-on-Chip „SOC“ befindet sich ein „Ethernet 10/100 Mbps interface“; s. auch Druckschrift

**NK19**, Figur mit darunterstehendem Text - das „on-chip multi-processor system (CMP)“ SB-1250 enthält drei als „Gigabit Ethernet MACs (10/100/1000)“ bezeichnete Medienzugriffscontroller).

Um von den zahlreichen Vorteilen, die mit einer monolithischen Integration verbunden sind (geringer Energieverbrauch, geringes Gewicht, geringe Herstellungskosten, schnelle Datenverarbeitung, hohe Ausfallsicherheit), zu profitieren, lag es für den Fachmann auf der Hand, auch das in den Figuren 3 und 4 der Druckschrift **D6** dargestellte Bussystem inklusive der Netzwerkschnittstellenschaltungen auf einem einzelnen Chip zu integrieren und diesen in eine Vorrichtung einzubauen (z.B. als Bestandteil einer Platine und/oder in ein Chip- und ein Gerätegehäuse). Eine solche Vorrichtung kann als Netzwerkvorrichtung im Sinne des Merkmals **1.0** angesehen werden, da sie Netzwerkschnittstellenschaltungen umfasst.

Auf diese Weise konnte der Fachmann ausgehend von der Druckschrift **D6** zur Integration der Baugruppen auf einem einzigen Chip und damit zur vollständigen Lehre des Patentanspruchs 1 des Streitpatents - inklusive des Merkmals **1.5** sowie des fehlenden Teilaspekts von Merkmal **1.4** - gelangen, ohne erfinderisch tätig zu werden.

**2.** Der Argumentation der Beklagten, der Gegenstand des erteilten Patentanspruchs 1 beruhe gegenüber der Lehre der Druckschrift **D6** auf einer erfinderischen Tätigkeit, kann nicht beigetreten werden.

**2.1** Die Beklagte bringt vor, eine Auslegung des Teilmerkmals „Brückenschaltung“, gemäß der jede Schaltung in Frage komme, die mindestens zwei Schaltungskomponenten verbinde („überbrücke“), sei zu breit. Die streitpatentgemäße Brückenschaltung verbinde nämlich keine beliebigen Schaltungskomponenten, sondern mehrere Schnittstellenschaltungen mit einer Verbindung wie etwa einem Bus. Dagegen verbinde die Busbrücke der Druckschrift

**D6** zwei unterschiedliche Bussysteme, um eine Datenübertragung zwischen zwei Bussen zu bewirken. Daher komme es zu keiner Kommunikation zwischen einem Bus und einer Schnittstellenschaltung.

Da nur zwei Bussysteme verbunden würden, komme es auch zu keiner Reduktion der elektrischen Last. Des Weiteren zeige die Druckschrift **D6** auch keinen Memory-Controller, da der Zugriff zu dem Hauptspeicher durch die Brücke gesteuert werde und der Prozessor keinen Controller benötige, um auf den Speicher zuzugreifen.

Diese Einwände greifen aber nicht durch.

So ist zu beachten, dass eine Auslegung unterhalb des Wortlauts (im Sinn einer Auslegung unterhalb des Sinngehalts) eines Patentanspruchs generell nicht zulässig ist und der Umstand, dass sich die Beschreibung und die Ausführungsbeispiele eines Patents ausschließlich auf bestimmte Ausführungsformen beziehen, einen weiter zu verstehenden Sinngehalt der Patentansprüche nicht auf diese Ausführungsformen einschränkt (BGH GRUR 2007, 309 – *Schussfädentransport*). Der Wortlaut des Begriffs „Brückenschaltung“ bringt lediglich zum Ausdruck, dass durch eine Brückenschaltung zwei Komponenten oder Zweige einer elektronischen Schaltung verbunden (und dadurch „gebrückt“) werden; hingegen sagt er nichts zur konkreten Beschaffenheit weiterer Schaltungskomponenten aus. Nach Überzeugung des Senats ist dementsprechend die allgemeine Definition des Begriffs „Brückenschaltung“ aus Abschnitt **I.5.c)** zutreffend. Da die aus der Druckschrift **D6** bekannte Brücke die Schaltungskomponenten zweier Busse verbindet und einen Datenaustausch zwischen ihnen ermöglicht, fällt sie unter diese Definition.

Zudem verlangt Patentanspruch 1 nicht, dass die Verbindungen zwischen der Brückenschaltung und dem Interconnect bzw. den Schnittstellenschaltungen besonders ausgebildet sein sollen (vgl. Merkmale **1.6** und **1.7** - „coupled to the interconnect“, „coupled to the at least one interface circuit“, „connect a plurality of

interface circuits [...] to the interconnect“). Daher kommt es auch nicht darauf an, ob die Brückenschaltung mit den Schnittstellenschaltungen über separate Datenübertragungswege (wie in Figur 1 des Streitpatents) oder über ein einziges Peripheriebussystem (wie in den Figuren 1 bis 4 der Druckschrift **D6**) verbunden ist.

Da die zwischen den Agenten und dem Hauptspeicher ausgetauschten Daten gemäß der Lehre der Druckschrift **D6** über den Speicherbus transferiert werden, findet damit - entgegen dem Verständnis der Beklagten - durchaus eine anspruchsgemäße Kommunikation (d.h. eine Datenübertragung) zwischen einer Netzwerkschnittstellenschaltung und dem Speicherbus statt.

Dem Argument, es komme nicht zu einer Reduktion der am Speicherbus anliegenden elektrischen Last, da nur zwei Bussysteme verbunden würden, kann nicht beigetreten werden, da eine Busbrücke gerade aus Gründen einer Lastreduktion zwischen Peripheriegeräten und einem Bus angeordnet wird (vgl. die Ausführungen zu Patentanspruch 1 nach Hilfsantrag 1 in den Abschnitten **III.1.2** und **III.1.3**).

Da der Sinngehalt des Begriffs „Memory-Controller“ eine Einheit umfasst, die Zugriffe auf einen Speicher steuert, verwaltet oder organisiert, liegt bereits mit der Brücke und dem Prozessor jeweils ein Memory-Controller im Sinne des Merkmals **1.3** vor.

**2.2** Die Beklagte macht ferner geltend, eine monolithische Integration des in Druckschrift **D6** beschriebenen Systems sei fernliegend.

So beschreibe die Druckschrift **D6** ein „großskaliges“ System, das sich nicht einfach zur monolithischen Integration eigne. Denn die Agenten am Peripheriebus seien nicht einfache Schnittstellenschaltungen, sondern komplexe Hardware-Strukturen (nach Spalte 3, Zeile 30 bis 35 Laufwerke, Grafikkarten oder Ähnliches) oder



Steckplätze bzw. Stecker. Dies komme auch durch den in Druckschrift **D6** verwendeten Begriff „Peripheral Bus“ zum Ausdruck.

Zudem könne aus dem Umstand, dass bereits vor dem Prioritätstag Systems-on-Chip bzw. Mikrocontroller bekannt gewesen seien, ein genereller Trend zur monolithischen Integration von elektronischen Komponenten nicht abgeleitet werden. Ein solcher Trend gelte nur für integrierbare Systeme und damit nicht für das aus der Druckschrift **D6** bekannte System. Die in diesem Zusammenhang von der Klägerin genannten Druckschriften beschäftigten sich demgegenüber mit speziellen Lösungen, die eine Integration ermöglichten. Die in diesen Druckschriften gezeigten unterschiedlichen Integrationsstufen machten deutlich, dass der Grad der Integration, der die Komplexität und die Kosten der Umsetzung bestimme, nicht naheliegend sei. Die Entgegenhaltungen „Bergamaschi“ (**D3**) und „Flynn“ (**D4**) befassten sich mit konfigurierbaren Plattformen und ließen erkennen, dass die Umsetzung einer konkreten Anwendung auf solchen Plattformen nach wie vor umständlich sei und erheblichen Designaufwand erfordere. Auch die Druckschrift **D6** lege keine besondere Integrationsstufe nahe.

Des Weiteren beschäftige sich die Druckschrift **D6** mit der Pufferung von Daten in einer Brücke, also mit einem spezifischen Teil der Chiparchitektur und gerade nicht mit der Umsetzung einer besonderen Funktionalität in eine für diese Funktionalität besonders vorteilhafte Chiparchitektur, so dass der Fachmann auch keine Veranlassung habe, diese weiter zu modifizieren.

Auch diese Einwände vermögen nicht zu überzeugen.

**a)** So bezieht sich die Druckschrift **D6** nicht per se auf „großskalige“ Systeme, sondern vielmehr auf allgemeine Computersysteme mit einem aus einem Speicher- und einem Peripheriebus bestehenden Bussystem, mit dem beliebige Agenten gekoppelt sind (vgl. Patentansprüche 1 bis 17; Figuren 1 bis 4; Spalte 1, Zeile 15 bis 28). Auch die in der Druckschrift **D6** vorgeschlagene Lösung zur Behebung der

mit dem Puffern von Daten in einer Busbrücke verbundenen Dateninkonsistenz- und Performance-Probleme durch die Implementierung spezieller Busbefehle (vgl. Spalte 1, Zeile 54 bis 59) ist unabhängig von der Größe des Bussystems oder der an die beiden Busse angeschlossenen Agenten.

Zudem ist die Terminologie der Druckschrift **D6** - dort ist von Peripheriegeräten („peripheral devices“) die Rede, die als Agenten an den Peripheriebus („peripheral bus“) gekoppelt sind (vgl. Spalte 3, Zeile 30 bis 35) - nicht für ein „großskaliges“ System charakteristisch. Beispielsweise spricht auch die Druckschrift **NK13** davon, dass der Peripheriebus des monolithischen Systems-on-Chip „SA-1100“ Peripheriegeräte verbindet (vgl. Seite 370, Abschnitt „Bus structure“ - „The peripheral bus connects all the slave peripheral devices“ i. V. m. Seite 370, Abschnitt „Peripherals“ und Figuren 13.16 und 13.17). Ebenso sind auch bei der in der Druckschrift **D4** beschriebenen Mikrocontrollerarchitektur „AMBA“ Peripheriegeräte („peripherals“) mit einem Peripheriebus („advanced peripheral bus“) auf einem einzigen Chip verbunden (vgl. Figuren 1 und 2 mit den zugehörigen Bildunterschriften).

Eine Größenskala wird auch von den in Spalte 3, Zeile 30 bis 33 der Druckschrift **D6** als Beispiele für Peripheriegeräte angeführten „network interconnects“ („Netzwerkverbindungen“) und „graphics subsystems“ („Grafiksubsystemen“) nicht festgelegt. Da alle Agenten der Druckschrift **D6** Busteilnehmer am Peripheriebus sind, sind insbesondere auch die „network interconnects“ nicht nur Stecker oder rein mechanische Steckverbindungen, sondern beliebige elektronische Schaltungen, die der Kopplung des in der Druckschrift **D6** beschriebenen Bussystems an ein chipexternes Netzwerk dienen und damit Netzwerkschnittstellenschaltungen im Sinne des Streitpatents darstellen. Unter einem „graphics subsystem“ kann zwar unter Umständen eine Grafikkarte zu verstehen sein, aber daneben auch ein einzelner Grafikchip oder eine einzelne Schaltung, die der Grafikverarbeitung dient.

Der Beklagten ist allerdings insoweit zuzustimmen, dass der Fachmann die in Spalte 3, Zeile 32 beispielhaft genannten Laufwerke („disk drives“) sicherlich nicht auf einer monolithisch integrierten Schaltung angebracht hätte. Diese mögliche Ausführungsform lässt aber nicht auf eine generelle „Großskaligkeit“ oder gar eine Nicht-Integrierbarkeit des in der Druckschrift **D6** beschriebenen Systems schließen.

**b)** Es ist auch zutreffend, dass allein aus den oben angeführten Druckschriften **D3**, **D4**, **NK13**, **NK15** und **NK19** kein genereller Trend zu einer zunehmenden monolithischen Integration abzuleiten ist. Jedoch belegen diese Druckschriften unzweifelhaft, dass der dem Fachmann wohlbekannte, kurz nach der Herstellung der ersten integrierten Schaltkreise in den Jahren 1958/59 einsetzende Trend zur Miniaturisierung in der Halbleitertechnologie dazu führte, komplexe Systeme in Form monolithisch integrierter Schaltungen (d.h. als Systems-on-Chip oder Mikrocontroller) herzustellen. Die monolithische Integrationsvariante war bereits am Prioritätstag für die Entwicklung kleiner, schneller und zuverlässiger Schaltungen von großer Bedeutung. Angesichts der durch die genannten Druckschriften dokumentierten technischen Ausgangslage war es im vorliegenden Fall zweckmäßig, auf diese Integrationsvariante zur Entwicklung einer leistungsfähigen, kostengünstigen und zuverlässigen Schaltung - beispielsweise für ein eingebettetes System - zurückzugreifen. Daher kommt es auch nicht darauf an, ob sich die Druckschrift **D6** mit der Umsetzung einer besonderen Funktionalität in eine für diese Funktionalität besonders vorteilhafte Chiparchitektur befasst oder nicht.

Der Fachmann hätte auch Grund genug gehabt, eine vollständige monolithische Integration einer lediglich partiellen Integration auf mehrere einzelne Chips vorzuziehen. Denn die einem System-on-Chip zugrundeliegende Idee ist gerade die Integration möglichst aller Komponenten einer Schaltung auf demselben Chip, da sich in diesem Fall die mit der Integration verbundenen Vorteile maximieren lassen.

Dass das Design einer komplexen monolithisch integrierten Schaltung einen gewissen Aufwand erfordert, kann nicht in Abrede gestellt werden; jedoch ist

demgegenüber der Aufwand für das Design separater elektronischer Schaltungskomponenten inklusive der erforderlichen Schnittstellen auch nicht unerheblich. Im Übrigen würde der Fachmann den zur Entwicklung einer monolithisch integrierten Schaltung erforderlichen Designaufwand mit den zahlreichen Vorteilen abwägen, die eine solche Schaltung besitzt (zu diesen Vorteilen vgl. Abschnitt II.1); allein mit einer Abwägung dieser zweifellos vorhandenen Vorteile mit möglichen Nachteilen, die dieser Gegenstand gegenüber aus dem Stand der Technik bekannten Gegenständen der Erreichung der Vorteile wegen hinnimmt, kann das Vorliegen erfinderischer Tätigkeit allerdings nicht begründet werden (vgl. BGH GRUR 2006, 930 - *Mikrotom*).

**3.** Damit war der Gegenstand des erteilten Patentanspruchs 1 für den Fachmann zum Prioritätszeitpunkt ausgehend von der Lehre der Druckschrift **D6** nahegelegt.

**4.** Die formal nebengeordneten, jedoch inhaltlich auf den Patentanspruch 1 rückbezogenen Patentansprüche 10 und 12 bis 15 des Streitpatents sind nicht günstiger als der Patentanspruch 1 zu beurteilen, da sie nichts enthalten, was eine Patentfähigkeit rechtfertigen würde.

**4.1** Der Gegenstand des erteilten **Patentanspruchs 10** beruht auf keiner erfinderischen Tätigkeit.

Dieser Patentanspruch ist auf einen Schaltungsdefinier-Mechanismus mit einer oder mehreren Datenbanken gerichtet, die die integrierte Schaltung nach einem der Ansprüche 1 bis 9 repräsentieren.

Komplexe monolithisch integrierte Schaltungen wurden am Prioritätstag immer unter Verwendung computergestützter Designumgebungen entwickelt. In solchen Designumgebungen werden Lage und Abmessungen der einzelnen

Schaltungskomponenten festgelegt und als eine geordnete Sammlung von Daten gespeichert - d.h. in Form einer in der Designumgebung enthaltenen Datenbank.

Um das auf einem einzelnen Chip integrierte System der Druckschrift **D6** zu entwickeln und herzustellen, hätte der Fachmann daher auch auf eine solche Designumgebung zurückgegriffen.

Die über den Patentanspruch 1 hinausgehenden Merkmale des Patentanspruchs 10 waren daher für den Fachmann naheliegend.

**4.2** Auch der Gegenstand des erteilten **Patentanspruchs 13** beruht auf keiner erfinderischen Tätigkeit.

Dieser Patentanspruch ist auf ein Computerprogramm mit maschinen- oder computerlesbaren Programmelementen zum Konfigurieren eines Computers zur Implementierung des Mechanismus nach Anspruch 10 oder 11 gerichtet.

Eine computergestützte Designumgebung stellt ein Computerprogramm dar, welches in den Speicher eines Computers geladen wird, um es auszuführen. Bei diesem Ladevorgang wird der Computer so konfiguriert, dass er die Designumgebung ausführen kann - die Designumgebung ist damit auf ihm „implementiert“.

Die über den Patentanspruch 10 hinausgehenden Merkmale des Patentanspruchs 13 lagen daher bei Verwendung einer computergestützten Designumgebung zwangsläufig vor. Das Vorliegen einer erfinderischen Tätigkeit kann mit ihnen nicht begründet werden.

**4.3** Auch die jeweiligen Gegenstände der erteilten **Patentansprüche 12, 14 und 15** beruhen nicht auf erfinderischer Tätigkeit.

Die Lehre dieser Patentansprüche fügt dem Vorschlag, einen Schaltungsdefinier-Mechanismus mit Datenbanken zu verwenden, die die integrierte Schaltung repräsentieren, lediglich hinzu, sich dazu eines Trägermediums zu bedienen.

Auch damit kann eine Patentfähigkeit nicht begründet werden (vgl. BGH GRUR 2002, 143 – *Suche fehlerhafter Zeichenketten*, B.IV). Denn um eine computergestützte Designumgebung, die einen Schaltungsdefinier-Mechanismus verwendet, laden und ausführen zu können, muss die Designumgebung zunächst auf einem entsprechenden Datenträger (z.B. einer Festplatte) gespeichert sein.

5. Somit haben sämtliche unabhängigen Patentansprüche des Streitpatents keinen Bestand. In seiner erteilten Fassung ist das Streitpatent, dessen abhängige Unteransprüche die Beklagte nicht gesondert verteidigt hat, insgesamt für nichtig zu erklären.

### III.

Das Streitpatent ist in keiner der Fassungen der zur Akte gereichten Hilfsanträge 1 bis 9 patentfähig.

1. Dem **Hilfsantrag 1** kann nicht stattgegeben werden, weil der Gegenstand seines Patentanspruchs 1 ausgehend von der Druckschrift **D6** nicht auf erfinderischer Tätigkeit beruht.

1.1 Gemäß Hilfsantrag 1 ist das Merkmal **1.6** des erteilten Patentanspruchs 1 durch das Merkmal

**1.6'** "at least one bridge circuit (20A, 20B) coupled to the interconnect (24) and configured to connect a plurality of interface circuits (22A - 22H)

to the interconnect (24) to reduce the electrical loading on the interconnect (24)“

ersetzt. Dadurch wird die Lehre dieses Patentanspruchs um eine Zweck- und Wirkungsangabe ergänzt, gemäß der die Vielzahl von Schnittstellenschaltungen mit dem Interconnect verbunden sein soll, um die an dem Interconnect anliegende elektrische Last zu reduzieren.

Vor dem Hintergrund der Absätze [0004] und [0013] des Streitpatents macht Merkmal **1.6'** deutlich, dass die an dem Interconnect anliegende elektrische Last durch Einfügen der Brückenschaltung zwischen den Schnittstellenschaltungen und dem Interconnect gegenüber dem Vergleichsfall verringert wird, bei dem die einzelnen Schnittstellenschaltungen ohne Zwischenschaltung der Brückenschaltung mit dem Interconnect gekoppelt sind. Die Zweck- und Wirkungsangabe des Merkmals **1.6'** bringt zum Ausdruck, dass die integrierte Schaltung objektiv geeignet sein muss, den angegebenen Zweck zu erfüllen, und nimmt daher an der Aufgabe des Patentanspruchs teil, den geschützten Gegenstand gegenüber dem Stand der Technik abzugrenzen (BGH GRUR 2006, 923 - *Luftabscheider für Milchsammelanlage*; BGH GRUR 2018, 1128 - *Gurtstraffer*).

**1.2** Eine Patentfähigkeit lässt sich mit Merkmal **1.6'** nicht begründen.

Dem Fachmann ist nämlich geläufig, dass eine Busbrücke gerade deswegen zwischen Peripheriegeräten und einem Bus angeordnet wird, um die aus der maximalen elektrischen Belastbarkeit dieses Busses resultierenden Beschränkungen zu überwinden; bei Verwendung einer Busbrücke wird der Speicherbus nämlich nur von der Busbrücke elektrisch belastet, jedoch nicht von den Peripheriegeräten (vgl. das aus Druckschrift **D7**, Abschnitt 20.4 bekannte Lehrbuchwissen: „The PCI/PCI bridge has several advantages. First, PCI bus electrical loading limits can be overcome. The PCI/PCI bridge presents only one

electrical load to its primary bus. In turn, it allows for more PCI devices or slots attached to its secondary bus [...] Note that devices located on a PCI/PCI bridge's secondary bus do not present a load on the PCI/PCI bridge's primary bus“).

Somit gilt gerade auch für das aus der Druckschrift **D6** bekannte Bussystem, bei dem die Brücke zwischen einer beliebig hohen Anzahl von Peripheriegeräten und dem Speicherbus angeordnet ist, dass die an dem Speicherbus anliegende elektrische Last gegenüber dem Vergleichsfall reduziert ist, bei dem die Peripheriegeräte direkt mit dem Speicherbus verbunden sind.

**1.3** Die Beklagte argumentiert, es komme bei der Lehre der Druckschrift **D6** nicht zu einer Reduktion der elektrischen Last am Speicherbus, da nur zwei Bussysteme verbunden würden.

Dieses Argument überzeugt jedoch nicht.

Denn auch nach der Lehre der Druckschrift **D6** ist die Brücke der Figur 4 dazu konfiguriert, eine Mehrzahl von Schnittstellenschaltungen mit dem Speicherbus zu verbinden, und objektiv dazu geeignet, die elektrische Last am Speicherbus zu verringern (Merkmal **1.6'**) gegenüber dem Fall, dass jede Schnittstellenschaltung unmittelbar mit dem Speicherbus gekoppelt würde. Dass die Druckschrift **D6** hierfür zusätzlich einen intern vorgelagerten Peripheriebus vorsieht, ändert nichts daran, dass der Einsatz der Brücke zu einer solchen Lastreduktion führt (wie mit Bezug auf das aus Druckschrift **D7** bekannte Lehrbuchwissen ausgeführt, welches gerade auch den Fall zweier gekoppelter Busse betrifft; s. Abschnitt 20.4, erster Absatz, erster Satz; s. ferner auch Druckschrift **NK16**, Spalte 1, Zeile 45 bis 61).

**1.4** Mit Rücksicht auf die Ausführungen zum erteilten Patentanspruch 1 beruht die Lehre des Patentanspruchs 1 gemäß Hilfsantrag 1 somit auf keiner erfinderischen Tätigkeit und ist daher nicht patentfähig. Mit seinem Patentanspruch 1 fällt der gesamte Hilfsantrag 1.



Beantragt der Patentinhaber nämlich, das Patent in beschränktem Umfang mit einem bestimmten Anspruchssatz oder bestimmten Anspruchssätzen aufrechtzuerhalten, rechtfertigt es grundsätzlich die Ablehnung des gesamten Antrags, wenn sich auch nur der Gegenstand eines Patentanspruchs aus dem vom Patentinhaber verteidigten Anspruchssatz als nicht patentfähig erweist (BGH GRUR 2007, 862 – *Informationsübermittlungsverfahren II*). Allerdings ist das Gericht gehalten, aufzuklären, in welchem Verhältnis die Hilfsanträge zu einem nicht ausdrücklich formulierten Petitum stehen sollen, einem formal vorrangigen Antrag nur teilweise zu entsprechen (BGH GRUR 2017, 57 - *Datengenerator*).

Im vorliegenden Fall hat sich die Beklagte der Erklärung des Senats in der mündlichen Verhandlung angeschlossen, er verstehe die von der Beklagten vorgelegten Hilfsanträge grundsätzlich im Sinne geschlossener Anspruchssätze, die sie jeweils in ihrer Gesamtheit beanspruche. Dies schließt für den Hilfsantrag 1 sowie für alle übrigen Hilfsanträge eine separate Betrachtung einzelner Patentansprüche aus, wenn sich ein Patentanspruch des betroffenen Anspruchssatzes, wie hier, als nicht patentfähig erweist.

**2.** Der **Hilfsantrag 2** kann nicht günstiger als der Hilfsantrag 1 beurteilt werden, weil das zum Patentanspruch 1 nach Hilfsantrag 1 hinzugekommene Merkmal der Druckschrift **D6** zu entnehmen ist.

**2.1** Der Hilfsantrag 2 beruht auf dem Hilfsantrag 1, wobei am Ende von Patentanspruch 1 nach Hilfsantrag 1 das folgende Merkmal aufgenommen ist:

**1.9** “wherein the at least one bridge circuit (20A, 20B) is configured to perform transactions on the interconnect (24) on behalf of the at least one interface circuit (22A – 22H) and to relay transactions targeted at

one of the interface circuits (22A – 22H) from the interconnect (24) to that interface circuit (22A – 22H).”

Gemäß dem ersten Merkmalsteil soll die Brückenschaltung dazu konfiguriert sein, Transaktionen auf dem Interconnect „im Auftrag“ (engl. „on behalf“) der mindestens einen Schnittstellenschaltung auszuführen (vgl. Streitpatentschrift, Absatz [0013]). Das bedeutet für den Fachmann, dass die Ausführung der von der Brückenschaltung auf dem Interconnect ausgeführten Transaktionen ursprünglich durch die mindestens eine Schnittstellenschaltung veranlasst worden ist, indem diese der Brückenschaltung entsprechende Daten, Signale, Befehle oder Anfragen übermittelt hat.

Dem zweiten Merkmalsteil entsprechend soll die Brückenschaltung dazu konfiguriert sein, Transaktionen, deren Ziel eine der Schnittstellenschaltungen ist, von dem Interconnect zu dieser Schnittstellenschaltung weiterzuleiten (engl. „to relay“ = „weiterleiten, übertragen“). Das bedeutet insbesondere, dass die Brückenschaltung über das Interconnect eine für die Schnittstellenschaltung bestimmte Nachricht erhalten und an diese weiterleiten kann, wobei die Nachricht einen Kommunikationsvorgang spezifiziert (s.o., Abschnitt **I.5.c**)).

**2.2** Das Merkmal **1.9** entnimmt der Fachmann der Druckschrift **D6**. Es kann daher eine Patentfähigkeit nicht begründen.

Denn die Druckschrift **D6** zeigt nicht nur, dass die Brücke auf einen Schreibbefehl eines Agenten am Peripheriebus hin Schreibtransaktionen in Form entsprechender Busoperationen auf dem Speicherbus einleitet (s.o., Abschnitt **II.1**), sondern auch, dass die Brücke diese Schreibtransaktionen auch ausführt (vgl. z.B. Spalte 11, Zeile 31 bis 43 – „bridge control unit 220 [...] will arbitrate [...] to transfer the Memory Write data into main memory 120. When the bridge control unit 220 [...] completes the transaction [...]“; s. auch Spalte 6, Zeile 56 bis Spalte 7 Zeile 3 – „the bridge 150

can post the data [...] until it completes the data transfer“ sowie Spalte 7, Zeile 30 bis 41).

Damit ist der **erste Merkmalsteil** von Merkmal **1.9** erfüllt.

Gemäß Druckschrift **D6** unterstützt die Brücke zudem auch Speicherzugriffe auf Agenten am Peripheriebus, die von einem am Speicherbus liegenden Modul veranlasst worden sind, und bei denen Daten durch die Brücke geleitet werden (Spalte 3, Zeile 50 bis 52 - „[...] the bridge 50 must support accesses from a module on the memory bus 30, directed to an agent on the peripheral bus 40. These accesses necessarily route data through bridge 50“). Die Brücke kann zudem Zugriffsanfragen - beispielsweise Schreibtransaktionsanfragen - zwischen den beiden Bussen weiterleiten (Spalte 3, Zeile 37 bis 42 – „the basic task of the bridge 50 is [...] to provide a mechanism for requests that originate on one of the buses to be passed to a destination on the other bus.“ i. V. m. Spalte 1, Zeile 41 bis 44).

Es ist offensichtlich, dass die Brücke dabei auch Daten, die die angefragten Speicherzugriffe näher spezifizieren, in Form entsprechender Nachrichten an die Agenten am Peripheriebus weiterleitet. Denn andernfalls können die angefragten Speicherzugriffe von den Agenten nicht abgearbeitet werden.

Diese Nachrichten stellen Transaktionen im Sinne des Streitpatents dar, so dass damit auch der verbleibende **zweite Merkmalsteil** von Merkmal **1.9** erfüllt ist.

**2.3** Mit Rücksicht auf die Ausführungen zum Hilfsantrag 1 beruht die Lehre des Patentanspruchs 1 gemäß Hilfsantrag 2 somit auf keiner erfinderischen Tätigkeit und ist daher nicht patentfähig. Mit seinem Patentanspruch 1 fällt der gesamte Hilfsantrag 2.

**3. Hilfsantrag 3** hat keinen Erfolg, weil der Gegenstand seines Patentanspruchs 1 durch die Druckschrift **D6** nahegelegt ist.

**3.1** Patentanspruch 1 nach Hilfsantrag 3 basiert auf dem erteilten Patentanspruch 1, wobei hinter dem Merkmal **1.7** das Merkmal

**1.8** "wherein coherency is enforced within the boundaries of the integrated circuit but is not enforced outside the boundaries of the integrated circuit."

angefügt wird. Gemäß dem ersten Merkmalsteil soll Kohärenz innerhalb der Grenzen der integrierten Schaltung durchgesetzt werden, gemäß dem zweiten Merkmalsteil aber nicht außerhalb deren Grenzen.

Merkmal **1.8** ist aus der Sicht des Fachmanns derart zu verstehen, dass sich auf der integrierten Schaltung ein Datenverarbeitungssystem mit mehreren Speichern befindet, für das gewährleistet ist, dass ein Lesezugriff auf einen beliebigen dieser Speicher - unabhängig vom genauen Speicherort des zu lesenden Datums - stets die aktuellste Version dieses Datums liefert (vgl. Absatz [0033] der Streitpatentschrift; erster Merkmalsteil von Merkmal **1.8**); für einen Lesezugriff auf einen außerhalb der integrierten Schaltung liegenden Speicher soll dies nicht garantiert sein (zweiter Merkmalsteil von Merkmal **1.8**).

**3.2** Ausgehend von der Lehre der Druckschrift **D6** kam der Fachmann in naheliegender Weise zum Gegenstand des Patentanspruchs 1 nach Hilfsantrag 3.

Denn aus der Druckschrift **D6** geht hervor, dass der Speicherbus ein Cachekohärenzprotokoll verwendet, an dem die Brücke teilnehmen kann (Spalte 5, Zeile 34 bis 36). Dies bedeutet, dass Kohärenz zumindest zwischen zwei am Speicherbus angeordneten Speichern durchgesetzt wird - und damit auf dem Chip, auf den der Fachmann das Bussystem der Druckschrift **D6** integriert hätte (s. die

Ausführungen zum erteilten Patentanspruch 1 in Abschnitt II.1). Damit hätte der Fachmann zwangsläufig auch den **ersten Merkmalsteil** des Merkmals **1.8** vorgesehen.

Der verbleibende **zweite Merkmalsteil** des Merkmals **1.8** - das Nichtdurchsetzen von Kohärenz außerhalb der integrierten Schaltung - geht hingegen aus Druckschrift **D6** nicht unmittelbar hervor.

Aus fachmännischer Sicht stellte es aber eine übliche, zweckmäßige und ohne besondere Schwierigkeiten und Zusatzaufwände umsetzbare Vorgehensweise dar, beim Betrieb der Netzwerkvorrichtung die Durchsetzung von Kohärenz auf das in der Druckschrift **D6** beschriebene Bussystem und damit auf die integrierte Schaltung zu beschränken. Hiergegen sprechende Umstände sind im Übrigen der Druckschrift **D6** auch nicht zu entnehmen.

**3.3** Mit Rücksicht auf die Ausführungen zum erteilten Patentanspruch 1 ist der Gegenstand des Patentanspruchs 1 gemäß Hilfsantrag 3 somit nicht patentfähig. Mit dem Patentanspruch 1 fällt der gesamte Hilfsantrag 3.

**4. Hilfsantrag 4** hat keinen Erfolg, weil der Gegenstand seines Patentanspruchs 1 ausgehend von der Druckschrift **D6** nicht auf erfinderischer Tätigkeit beruht.

**4.1** Der Patentanspruch 1 des Hilfsantrags 4 unterscheidet sich vom Patentanspruch 1 in der erteilten Fassung dadurch, dass auf Merkmal **1.7** noch die weiteren Merkmale

**1.10** wherein the cache memory (14) services cacheable transactions from any device on the interconnect; and

**1.11** wherein coherency is enforced between the cache (14), the processor (12A, 12B) and the bridge circuit (20A, 20B).

folgen.

Dass der Cache-Speicher gemäß Merkmal **1.10** Transaktionen bedient (engl. „the cache memory services [...] transactions“), bedeutet für den Fachmann insbesondere, dass der Cache-Speicher eingehende Lese- oder Schreibtransaktionen jeweils verarbeitet, indem er entweder Daten aus seinen Cachezeilen ausliest und denjenigen Schaltungskomponenten übermittelt, die Lesetransaktionen initiiert haben, oder indem er Daten empfängt und in seinen Cachezeilen ablegt (vgl. Streitpatentschrift, Absatz [0010]). Diese Lese- und Schreibtransaktionen werden von dem Cache-Speicher somit „bestimmungsgemäß“ abgearbeitet und sind daher zwangsläufig vom Cache-Speicher verarbeitbare Transaktionen (engl. „cacheable transactions“).

Falls das Interconnect ein Bus ist, bringt der Merkmalszusatz „from any device on the interconnect“ insbesondere zum Ausdruck, dass die Transaktionen von jedem Busteilnehmer eingeleitet worden sein können, der an den Speicherbus direkt angeschlossen ist - selbstverständlich mit Ausnahme des Cache-Speichers selbst.

Merkmal **1.11**, dem zufolge Kohärenz zwischen den drei Einheiten Cache, Prozessor und Brückenschaltung durchgesetzt (engl. „enforced“) wird, versteht der Fachmann derart, dass Maßnahmen getroffen werden, die gewährleisten sollen, dass diese drei Einheiten Bestandteile eines kohärenten Speichersystems sind, so dass garantiert ist, dass ein Lesezugriff auf eine der drei Einheiten stets die aktuellste Version eines zu lesenden Datums liefert.

**4.2** Die Maßnahmen der Merkmale **1.10** und **1.11** können ausgehend von der Lehre der Druckschrift **D6** eine erfinderische Tätigkeit nicht begründen.

#### 4.2.1 Der Fachmann gelangte auf naheliegende Weise zum Merkmal **1.10**.

**a)** Nach Druckschrift **D6** kann die Brücke auf den Befehl eines am Peripheriebus angeordneten Agenten hin nicht nur Daten in den Hauptspeicher schreiben, sondern aus diesem auch Daten auslesen. Dazu leitet sie Transaktionen auf dem Speicherbus ein, auf die der Hauptspeicher dann mit der Speicherung oder Bereitstellung von Daten antwortet (s.o., Argumentation zum erteilten Patentanspruch 1 aus Abschnitt **II.1**; zum Aspekt des Auslesens vgl. Druckschrift **D6**, Spalte 3, Zeile 36 bis 47 i. V. m. Spalte 11, Zeile 66 bis Spalte 12, Zeile 13).

Des Weiteren können auf dem Speicherbus Daten zwischen dem Prozessor und dem Hauptspeicher transferiert werden (Spalte 1, Zeile 20 bis 22 und Spalte 3, Zeile 23 bis 27). In diesem Zusammenhang ist es selbstverständlich, dass der Prozessor als Busteilnehmer am Speicherbus Schreib- und Lesezugriffe auf den Hauptspeicher in Form von Bustransaktionen einleiten und durchführen kann, die der Hauptspeicher dann beantwortet, indem er die zu transferierenden Daten in seine Speicherzellen schreibt oder aus diesen ausliest. Dies ist eine Grundfunktionalität eines jeden Datenverarbeitungssystems, bei dem ein Prozessor mit einem Hauptspeicher über einen Speicherbus gekoppelt ist.

Damit bedient der Hauptspeicher also Lese- und Schreibtransaktionen, die von der Brücke und dem Prozessor eingeleitet worden sein können, d.h. (abgesehen von dem Hauptspeicher selbst) von jedem direkt an den Speicherbus angeschlossenen Busteilnehmer (vgl. Figur 4, in der Prozessor und Hauptspeicher neben der Brücke als einzige Busteilnehmer am Speicherbus zu erkennen sind).

**b)** Hiervon unterscheidet sich Merkmal **1.10** nur dadurch, dass die Transaktionen nicht von dem Hauptspeicher, sondern von einem Cache-Speicher bedient werden und dementsprechend von dem Cache-Speicher verarbeitbar (engl. „cacheable“) sind. Dieser Unterschied kann jedoch eine erfinderische Tätigkeit nicht stützen.

Denn die Lehre der Druckschrift **D6** ist nicht auf Zugriffe auf den Hauptspeicher beschränkt; statt auf den Adressraum des Hauptspeichers können die Agenten am Peripheriebus nämlich über die Brücke auf einen beliebigen Adressraum - d.h. auf einen beliebigen Speicher - am Speicherbus zugreifen (Spalte 12, Zeile 38 bis 43).

Hierfür kam aus Sicht des Fachmanns vor allem der Adressraum eines weiteren, prozessorexternen Cache-Speichers in Frage, da ein solcher Speicher neben dem internen Cache-Speicher des Prozessors ein typischer Bestandteil einer Cache-Speicherhierarchie an Speicherbussen ist (vgl. etwa Druckschrift **NK19**, deren Figur den Prozessorchip „SB-1250“ zeigt, an dessen Speicherbus „ZBbus“ ein Level-2-Cache-Speicher („512 K L2 cache“) angeschlossen ist, s. Abschnitt „Overview“ - „SiByte's first Mercurian™ processor, SB-1250 [...]“ i. V. m. Figur 1 rechte Spalte Mitte: „ZBbus: Connects the CPUs, L2 cache, memory and I/O bridges“).

Der Fachmann wusste zudem, dass ein Speicher, der zusammen mit einem Prozessor auf einem Chip angeordnet ist und mit dem Prozessor über einen Speicherbus kommuniziert, als schneller Cache-Speicher implementiert wird, wenn es beim Datenaustausch zwischen diesen Komponenten auf eine hohe Geschwindigkeit ankommt. Auch aus diesem Grund war es naheliegend, im Zuge der monolithischen Integration des Bussystems der Druckschrift **D6** den Hauptspeicher durch einen Cache-Speicher zu ersetzen.

Wenn nun dieser Cache-Speicher anstelle des Hauptspeichers die Lese- und Schreibzugriffe des Prozessors und der Brücke bedient, bedeutet dies, dass die Transaktionen, die der Cache-Speicher im Rahmen dieser Speicherzugriffe empfängt, auch von dem Cache-Speicher verarbeitbar sind. Denn andernfalls würde er die Zugriffe abweisen und/oder die zugehörigen Daten nicht speichern oder bereitstellen. Damit stellt sich das verbleibende Unterscheidungsmerkmal für den Fachmann als eine naheliegende Ausgestaltung dar.



**4.2.2** Auch das weitere Merkmal **1.11** kann eine erfinderische Tätigkeit nicht begründen.

Denn dieses Merkmal geht nicht über die in Druckschrift **D6** vorgeschlagene Maßnahme hinaus, dass die Brücke am Cachekohärenzprotokoll des Speicherbusses teilnimmt (Spalte 5, Zeile 24 bis 36). Dass an einem solchen Protokoll auch die übrigen am Speicherbus angeordneten Cache-Speicher teilnehmen - also insbesondere auch der Prozessor mit seinem internen Cache-Speicher und der prozessorexterne Cache-Speicher - ist aus fachmännischer Sicht eine Selbstverständlichkeit (wie beispielsweise durch das Datenblatt **NK19** belegt, vgl. den Text unter Figur 1 - „The bus implements the standard MESI protocol to ensure coherency between the two CPUs, L2 cache, I/O agents, and memory“ i. V. m. dem Text im Abschnitt „ZBbus“ - „Connects the CPUs, L2 cache, memory and I/O bridges“).

Nimmt die Brücke am Cachekohärenzprotokoll des Speicherbusses teil, liegt ein kohärentes Speichersystem vor, das den Prozessor (mit internem Cache-Speicher), den prozessorexternen Cache-Speicher und die Brücke umfasst, so dass insbesondere Kohärenz zwischen diesen drei Einheiten durchgesetzt wird (Merkmal **1.11**).

**4.3** Die Beklagte führt aus, in der Druckschrift **D6** sei nur ein einziger, sehr kleiner Processorcache beschrieben, wohingegen der Hauptspeicher kein weiterer Cache-Speicher sei und auch die Busbrücke keinen Cache enthielte. Ohne entsprechende Anregungen hätte der Fachmann dem in der Druckschrift **D6** beschriebenen System auch keinen Cache hinzugefügt.

Dieser Einwand greift nicht durch.

Denn - wie oben ausgeführt - legt die Druckschrift **D6** nahe (vgl. Spalte 12, Zeile 38 bis 43), dass der Hauptspeicher durch einen Cache-Speicher ersetzt werden kann,

da die Agenten am Peripheriebus statt auf die Adressräume eines Hauptspeichers auf beliebige Adressräume - also insbesondere die Adressräume eines prozessorexternen Cache-Speichers - zugreifen können.

Des Weiteren ist mit den Merkmalen **1.10** und **1.11** auch nicht ausdrücklich beansprucht, dass die Busbrücke speziell einen Cache-Speicher enthält. Im Übrigen wäre dies aufgrund der Teilnahme der Busbrücke am Cachekohärenzprotokoll des Speicherbusses auch nahegelegt.

**4.4** Mit Rücksicht auf die Ausführungen zum erteilten Patentanspruch 1 beruht die Lehre des Patentanspruchs 1 gemäß Hilfsantrag 4 somit auf keiner erfinderischen Tätigkeit und ist daher nicht patentfähig. Mit seinem Patentanspruch 1 fällt der gesamte Hilfsantrag 4.

**5. Hilfsantrag 5** hat keinen Erfolg, weil der Gegenstand seines Patentanspruchs 1 ausgehend von der Druckschrift **D6** nicht auf erfinderischer Tätigkeit beruht.

**5.1** Der Patentanspruch 1 des Hilfsantrags 5 unterscheidet sich vom Patentanspruch 1 in der erteilten Fassung dadurch, dass Merkmal **1.7** durch das Merkmal

**1.7'** "wherein the at least one bridge circuit (20A, 20B) is also directly coupled to the at least one interface circuit (22A - 22H) to allow the bridge circuit (20A, 20B) to initiate transactions onto the interconnect (24) for data transfer between the interconnect (24) and the at least one interface circuit (22A-22H)."

ersetzt ist. Demnach soll die mindestens eine Brückenschaltung mit der mindestens einen Schnittstellenschaltung „direkt“ gekoppelt sein.

Was unter einer solchen „direkten Kopplung“ einer Schnittstellenschaltung und einer Brückenschaltung konkret zu verstehen sein soll, zeigt das Streitpatent nicht ausdrücklich. In der Streitpatentschrift wird jedoch an zwei Stellen auf eine „direkte“ Kopplung zwischen Schaltungskomponenten Bezug genommen.

So heißt es in der Beschreibungseinleitung der Streitpatentschrift (vgl. Absatz [0004]), dass beim Netzwerkrouterchip des US-Patents US 5 640 399 (= **NK5**) die LAN-Medienzugriffseinheiten und die WAN-Schnittstellenschaltungen direkt an den Systembus gekoppelt seien („WAN interface units are coupled directly to the system bus“; s. Abschnitt **I.3** oben). Die Figur 32 dieses US-Patents stellt die Kopplung zwischen den LAN-Medienzugriffseinheiten 216 bzw. der WAN-Schnittstellenschaltung 218 und dem Systembus in Form schematischer Verbindungslinien dar. Spezielle Schaltungen, die die Komponenten 216 und 218 mit dem Systembus verbinden, sind dort nicht erkennbar; der Datentransfer zu dem Systembus wird vielmehr von der CPU und dem DMA-Controller 210 abgewickelt (vgl. Druckschrift **NK5**, Spalte 64, Zeile 66 bis Spalte 65, Zeile 21).

In Absatz [0023] der Streitpatentschrift ist ferner ausgeführt, die Schnittstellenschaltungen 22A bis 22I könnten nicht nur durch die Eingabe-/Ausgabebrücken 20A-20B, sondern auch direkt an den Bus 24 gekoppelt sein („while Fig. 1 illustrates the I/O interface circuits 22A-22I coupled through the I/O bridges 20A-20B to the bus 24, other embodiments may include one or more I/O interface circuits directly coupled to the bus 24“). „Direkt gekoppelt“ bedeutet hier also, dass die Kopplung „ohne Zwischenschaltung zusätzlicher elektronischer Schaltungen“ oder „ohne Umweg über zusätzliche elektronische Schaltungen“ bewerkstelligt wird.

Somit liegt eine direkte Kopplung von Schnittstellenschaltungen und Brückenschaltung im Sinne von Merkmal **1.7'** insbesondere dann vor, wenn die

Datenübertragung zwischen diesen Komponenten ohne Umweg über eine weitere, „dazwischengeschaltete“ Schaltungskomponente erfolgt.

**5.2** Der in Merkmal **1.7'** aufgenommene zusätzliche Aspekt, demzufolge die Kopplung zwischen der Brückenschaltung und der mindestens einen Schnittstellenschaltung direkt sein soll, kann eine Patentfähigkeit des Patentanspruchs 1 gemäß Hilfsantrag 5 nicht begründen.

So zeigt die Druckschrift **D6** zwar, dass die Peripheriegeräte mit der Brücke über einen Peripheriebus gekoppelt sind.

Dem Fachmann war jedoch geläufig, dass ein solches Peripheriebusssystem gerade dann Geschwindigkeitsnachteile besitzt, wenn viele Peripheriegeräte vorhanden sind, die zum selben Zeitpunkt Zugriffsanfragen stellen, um große Datenmengen zu transferieren. Denn da der Peripheriebus von allen Peripheriegeräten geteilt wird und die Peripheriebuszugriffe seriell abgearbeitet werden, kann zu einem bestimmten Zeitpunkt immer nur ein einziger Busteilnehmer Daten mit der Brücke austauschen, und die anderen Busteilnehmer müssen warten, bis sie an der Reihe sind. Zudem erhöht sich mit jedem zusätzlichen Peripheriegerät die elektrische Last am Peripheriebus, was zu zusätzlichen Leistungseinbußen führt.

Weiterhin war vor dem Prioritätstag bekannt, dass Schnittstellenschaltungen mit einer Brückenschaltung nicht nur indirekt mittels eines Peripheriebusses verbunden werden konnten, sondern auch direkt. So zeigt Druckschrift **NK24** (vgl. Figuren 1, 15 und 19 i. V. m. Spalte 4, Zeile 29 bis 31), dass zwischen der Brückenschaltung "DMAC 42" und den Tx- und Rx-FIFO-Pufferspeichern der Schnittstellenschaltungen "ethernet channel 40" / "serial channels 51", die durch den DMAC 42 an den Bbus 14 gekoppelt werden, keine weiteren Schaltungskomponenten und insbesondere auch kein Peripheriebus angeordnet sind.

Aus Sicht des Fachmanns war es selbstverständlich, dass sich die oben genannten Nachteile vermeiden lassen, wenn die Schnittstellenschaltungen jeweils direkt mit der Brücke verbunden sind, da die zu transferierenden Daten auf solchen direkten Verbindungen gleichzeitig und ohne Beeinträchtigung durch andere Peripheriegeräte übertragen werden können.

Dementsprechend bot es sich für ihn an, die Schnittstellenschaltungen direkt an die Brücke zu koppeln, falls eine große Anzahl von Schnittstellenschaltungen auf die integrierte Schaltung zu integrieren war.

**5.3** Die Beklagte argumentiert, die Lehre der Druckschrift **D6** sei konzeptuell an einen Peripheriebus gebunden, bei dem die Agenten gerade nicht direkt an die Brücke koppelten, sondern nur indirekt über den Peripheriebus. Dieser stelle nämlich ein Schaltungsteil mit zahlreichen Komponenten (z.B. Arbiterschaltungen und Leitungen) dar, die sich zwischen den Agenten und der Busbrücke befänden. Weiterhin offenbare die Druckschrift **NK24** nur eine einzige Schnittstellenschaltung 18, die gemäß den Figuren 1, 11a und 19 ohne Zwischenschaltung einer Brückenschaltung mittels ihres DMAC 42 an den Bus gekoppelt sei (so dass es in Druckschrift **NK24** gar nicht um die Kopplung von Schnittstellenschaltungen an eine Brückenschaltung gehe). Auch verwende die Druckschrift **NK24** den Begriff einer Brücke bzw. Brückenschaltung nicht. Zudem dürfe man den in Druckschrift **NK24** verwendeten Begriff "interface circuitry" im Hinblick auf Spalte 2, Zeile 57ff. nicht zu breit auslegen; er bezeichne lediglich eine Schaltung für eine Schnittstelle im Sinne einer Ankopplung an den Rechnerbus.

Diese Einwände führen jedoch zu keiner anderen Beurteilung.

So ist es zwar zutreffend, dass gemäß Druckschrift **D6** die Peripheriegeräte über ein Peripheriebussystem an die Brücke gekoppelt sind. Jedoch ist eine derartige indirekte Kopplung einer großen Anzahl von Peripheriegeräten an die Brücke

gegenüber einer direkten Kopplung mit geringeren Datentransferraten verbunden, was in diesem Fall - wie oben ausgeführt - eine direkte Kopplung nahelegt.

Im Übrigen wird der DMAC 42 vom Fachmann entsprechend der in den Abschnitten **I.5 c)** und **II.2.1** (s.o.) dargelegten Auslegung durchaus auch als Brückenschaltung im Sinne des Patentanspruchs 1 verstanden, da der DMAC 42 den Bbus 14 mit dem "ethernet channel 40" und den "serial channels 51" verbindet und einen Datenaustausch zwischen diesen Komponenten ermöglicht (Spalte 4, Zeile 29 bis 31 - „a single DMA controller 42 couples both the ethernet channel 40 and all the serial channels 51 to the Bbus 14“). Daher kommt es nicht darauf an, ob die Druckschrift **NK24** den Begriff „Brücke“ oder „Brückenschaltung“ ausdrücklich verwendet oder nicht.

Sowohl der "ethernet channel 40" als auch die "serial channels 51" sind Schaltungen, die dem Datenaustausch zwischen einem Ethernet bzw. einem ISDN ("Integrated Service Digital Network") und dem Bbus 14 bzw. dem DRAM 70 dienen (vgl. Druckschrift **NK24**, etwa Spalte 2, Zeile 16 bis 19; Spalte 4, Zeile 32 bis 33 und 55 bis 56; Spalte 5, Zeile 19 bis 22) und stellen damit jeweils Schnittstellenschaltungen im Sinne des Streitpatents dar (s.o., Abschnitt **I.5 b)**), die zudem durchaus auch mit einer Brückenschaltung - dem DMAC 42 - gekoppelt sind.

**5.4** Mit Blick auf die Ausführungen zum erteilten Patentanspruch 1 beruht der Gegenstand des Patentanspruchs 1 gemäß Hilfsantrag 5 somit nicht auf erfinderischer Tätigkeit, so dass das Streitpatent in seiner Fassung nach Hilfsantrag 5 ebenfalls keinen Bestand hat.

**6.** Gleiches gilt für das Streitpatent in seiner Fassung nach **Hilfsantrag 6**, weil das gegenüber dem Hilfsantrag 5 hinzugekommene Merkmal aus der Druckschrift **D6** bekannt ist.

**6.1** Der Hilfsantrag 6 beruht auf dem Hilfsantrag 5, wobei in Patentanspruch 1 Merkmal **1.6** durch das Merkmal

**1.6“** at least one bridge circuit (20A, 20B) coupled to the interconnect (24) via a single bi-directional connection and configured to connect a plurality of interface circuits (22A - 22H) to the interconnect (24),

ersetzt ist. Dadurch wird zum Ausdruck gebracht, dass die Brückenschaltung mit dem Interconnect über eine einzelne oder einzige bidirektionale Verbindung gekoppelt sein soll (engl. „single“ = „einzeln, einzig“).

Eine einzelne oder einzige Verbindung muss allerdings nicht unbedingt aus einer einzigen physikalischen Leitung bestehen. So stellt beispielsweise auch das im Patentanspruch 1 genannte Interconnect eine einzige oder einzelne Verbindung dar, die als ein geteilter Bus mit mehreren Busleitungen ausgeführt sein kann (vgl. Streitpatentschrift, Absatz [0024] – „two or more agents on an interconnect (e.g. the bus 24)“ i. V. m. Absatz [0022] - „the illustrated embodiment employs a split transaction bus with separate arbitration for the address and data buses“; s. auch Absatz [0050], erster Satz).

Mit anderen Worten: eine Verbindung kann auch als eine - einzige oder einzelne - Gesamtheit von Teilverbindungen angesehen werden. Die gesamte Verbindung ist bereits dann eine bidirektionale Verbindung, wenn mindestens eine der Teilverbindungen eine bidirektionale Datenübertragung erlaubt.

**6.2** Merkmal **1.6“** ist der Druckschrift **D6** zu entnehmen. Eine Patentfähigkeit kann mit diesem Merkmal daher nicht begründet werden.

In Figur 3 der Druckschrift **D6** ist nämlich zu erkennen, dass die Brücke über eine einzige bidirektionale, durch einen vertikalen Doppelpfeil gekennzeichnete Verbindung mit dem Speicherbus verbunden ist.

Eine solche Verbindung ist auch in Figur 4 der Druckschrift **D6** gezeigt. Dort ist zu erkennen, dass die Brücke über vier einzelne Verbindungen mit dem Speicherbus verbunden ist, von denen eine einzige bidirektional ist (diejenige zwischen der „bridge control unit 220“ und dem Speicherbus), was in der Abbildung durch einen vertikalen Doppelpfeil zum Ausdruck kommt.

**6.3** Die Beklagte argumentiert, die Druckschrift **D6** zeige Merkmal **1.6**“ nicht, da der Speicherbus aus mehreren Busleitungen bestehe, zu deren Kopplung an die Busbrücke mehrere Leitungen erforderlich seien. Auch die Figur 4 zeige mehrere Leitungen zwischen Speicherbus und Busbrücke. Zudem läge es aus schaltungstechnischen Erwägungen heraus fern, den Speicherbus durch eine einzige Leitung zu ersetzen.

Diesen Einwänden kann nicht zugestimmt werden.

Denn einer Offenbarung von Merkmal **1.6**“ in der Druckschrift **D6** steht nach der Auslegung aus Abschnitt **III.6.1** nicht entgegen, wenn eine bidirektionale Verbindung zwischen der Brücke und dem Speicherbus aus mehreren einzelnen Leitungen besteht, die zum Teil unidirektional sind.

Zudem verweist die Beklagte hinsichtlich der Offenbarung des Merkmals **1.6**“ auf Figur 1 und Absatz [0024] der Offenlegungsschrift EP 1 260 910 A2 der dem Streitpatent zugrundeliegenden Patentanmeldung (s. Eingabe vom 8. März 2021, Seite 12 unten). Daraus lässt sich schließen, dass offensichtlich auch nach Auffassung der Beklagten ein einziger Doppelpfeil zwischen einer Brückenschaltung und einem Bus in einer Abbildung eines Bussystems (wie in Figur 3 der Druckschrift **D6**) genügt, um das Vorliegen einer bidirektionalen Verbindung im Sinne des Merkmals **1.6**“ konstatieren zu können.



**6.4** Angesichts der Ausführungen zum Hilfsantrag 5 erweist sich auch der Gegenstand des Patentanspruchs 1 gemäß Hilfsantrag 6 als nicht auf erfinderischer Tätigkeit beruhend. Mit seinem Patentanspruch 1 fällt der gesamte Hilfsantrag 6.

**7.** **Hilfsantrag 7** kann nicht günstiger beurteilt werden, da der Gegenstand seines Patentanspruchs 1 ausgehend von Druckschrift **NK18** in Verbindung mit dem aus Druckschrift **D6** entnehmbaren Stand der Technik nahegelegt ist.

**7.1** Der Patentanspruch 1 nach Hilfsantrag 7 beruht auf dem Patentanspruch 1 in der erteilten Fassung, wobei nach dem Merkmal **1.7** das folgende Merkmal hinzugekommen ist:

**1.12** wherein the bridge circuit (20A, 20B) is coupled to receive a write which updates a portion of a cache block,

and wherein the bridge circuit (20A, 20B) is configured to coherently read the cache block from a memory (14, 26) and to modify the cache block within the bridge circuit (20A, 20B) for writing back the modified cache block to the memory (14, 26).

Das erste Teilmerkmal von Merkmal **1.12** fordert, dass die Brückenschaltung mit dem Interconnect und mit der mindestens einen Schnittstellenschaltung gekoppelt ist, um eine Schreibtransaktionsanfrage zu erhalten, die zur Aktualisierung eines Teils eines Cacheblocks führt (das Substantiv „write“ wird gemäß dem Streitpatent insbesondere in der Bedeutung „Schreibtransaktionsanfrage“ verwendet, vgl. etwa Absatz [0047] – „The I/O bridge 20A queues transaction requests [...] (either reads or writes)“). Dies versteht der Fachmann so, dass bei der Aktualisierung ausschließlich die Werte der zu aktualisierenden Bytes des Cacheblocks modifiziert werden, die Werte der verbleibenden Bytes des Cacheblocks jedoch erhalten

bleiben. Würden nämlich bei der Aktualisierung auch die Werte der verbleibenden Bytes modifiziert, würde der gesamte Cacheblock aktualisiert - und nicht nur ein Teil davon.

Vor dem Hintergrund der Absätze [0045] bis [0047] und [0052] bis [0056] der Streitpatentschrift ist zu erkennen, dass der restliche Teil von Merkmal **1.12** insbesondere einen von der Schnittstellenschaltung ausgelösten Schreibvorgang betrifft, bei dem die Brückenschaltung eine sogenannte „read-modify-write“-Operation ausführt. Dabei liest die Brückenschaltung zunächst den zu aktualisierenden Cacheblock kohärent aus dem Speicher aus und modifiziert ihn anschließend lokal („within the bridge circuit“), um ihn dann in den Speicher zurückzuschreiben. Gemäß dem Streitpatent wird zur Modifikation des Cacheblocks ein in der Brücke angeordneter „merge buffer 58“ entweder mit den Bytes des über das Interconnect eingelesenen Cacheblocks oder mit Bytes aus der „read-modify-write data queue 56“ selektiv beschrieben (Streitpatentschrift, Absatz [0054]).

**7.2** Der Gegenstand des Patentanspruchs 1 gemäß Hilfsantrag 7 beruht ausgehend von der Lehre der Druckschrift **NK18** unter Berücksichtigung des der Druckschrift **D6** entnehmbaren Standes der Technik auf keiner erfinderischen Tätigkeit.

**7.2.1** Die von der Rechtsvorgängerin der Beklagten erstellte Anlage **NK18b** sowie die Kopie der Konferenz-CD **NK18g** weisen aus Sicht des Senats in überzeugender Weise nach, dass die für die Beurteilung der Patentfähigkeit des Patentanspruchs 1 des Streitpatents relevanten Seiten der Druckschrift **NK18** (s.u.) bereits am 10. Oktober 2000 - und damit vor dem Prioritätstag der dem Streitpatent zugrundeliegenden Anmeldung (18. Mai 2001) - der Öffentlichkeit zugänglich waren.

Die Vorveröffentlichung der Druckschrift **NK18** wurde von der Beklagten auch nicht bestritten.

**7.2.2** Der Fachmann entnimmt der Druckschrift **NK18** die Merkmale **1.0** bis **1.5** sowie jeweils ein **Teilmerkmal** der Merkmale **1.6** und **1.12**.

Die Druckschrift **NK18** stellt eine Familie von Prozessoren vor, die unter der Bezeichnung "Mercurian" vermarktet wurden und für Netzwerkanwendungen geeignet sind (Titel - "The Mercurian™ Processor - A High Performance, Power-efficient CMP for Networking" i. V. m. den Angaben "Introducing Mercurian - Coherent multiprocessors for networking - Brand name for family of processors from SiByte" auf der fünften Seite).

Ein Mercurian-Prozessor ist ein Chip-Multiprozessor ("CMP" = "chip multiprocessor"), d.h. eine auf einem einzelnen Chip integrierte Schaltung, die mehrere Prozessoren enthält (vgl. dazu auch den Hinweis "Technology is driving the transition to single chip MPs" sowie die Angaben "SB-1250: First Mercurian Processor" und "SB-1250, with [...] on-chip L2" auf der dritten, sechsten und letzten Seite). Der Fachmann hätte einen Mercurian-Prozessor selbstverständlich in eine entsprechende Vorrichtung (z.B. auf eine Platine oder in ein Gehäuse) einbauen müssen, um ihn für Netzwerkanwendungen zu betreiben. Er hätte somit eine Vorrichtung bereitgestellt, die den Mercurian-Prozessor enthält und die bereits aufgrund der Medienzugriffscontroller dieses Prozessors eine Netzwerkvorrichtung darstellt, und damit auch eine integrierte Schaltung in einer Netzwerkvorrichtung im Sinne des Merkmals **1.0**.

Auf der sechsten Seite der Druckschrift **NK18** sind in einem umrandeten Feld die einzelnen Bestandteile des ersten Mercurian-Prozessors "SB-1250" dargestellt. Um einen Speicherbus (den "ZBbus") herum sind unter anderem zwei Prozessoren ("SB-1 Core"), ein Level-2-Cache-Speicher ("512 K L2 Cache"), eine Eingabe-/Ausgabebrücke ("I/O bridge") und drei Netzwerkschnittstellenschaltungen (die Medienzugriffscontroller "10/100/1000 MAC") angeordnet. Der Fachmann entnimmt der Abbildung, dass die Netzwerkschnittstellenschaltungen der Kopplung des Chip-

Multiprozessoren an ein chipexternes Netzwerk (ein "Ethernet") über eine oder mehrere Schnittstellen dienen, die als "GMII" bezeichnet sind (vgl. die Angabe "3 x GMII @ 2 Gbit/s" und die drei Doppelpfeile unter den Schaltungen "10/100/1000 MAC"; das Akronym "GMII" bezieht sich auf ein "Gigabit Media Independent Interface", d.h. eine - im Folgenden als "GMI-Schnittstelle" bezeichnete - Schnittstelle zwischen einem Medienzugriffscontroller und einer physikalischen Netzwerkschnittstelle).

Damit ist auch Merkmal **1.4** verwirklicht.

Auf der achten Seite der Präsentation **NK18** ist gezeigt, dass zwei Prozessoren "CPU0" und "CPU1", ein Level-2-Cache-Speicher "L2 cache", ein Memory-Controller ("Memory Control") sowie zwei Eingabe-/Ausgabebrücken "I/O Bridge0" und "I/O Bridge1" direkt mit den Adress- und Datenleitungen des ZBbus gekoppelt sind (Merkmale **1.1**, **1.2**, **1.3**; Teilmerkmal "at least one bridge circuit coupled to the interconnect" von Merkmal **1.6**).

Somit sind die Prozessoren sowie der Level-2-Cache-Speicher, der Memory-Controller, der ZBbus und die Medienzugriffscontroller Bestandteile des Mercurian-Prozessors SB-1250 (Merkmal **1.5**).

Ferner findet sich auf der achten Seite der Druckschrift **NK18** die Angabe „I/O bridges take ownership of cache line on partial block writes“. Hieraus schließt der Fachmann, dass die Eingabe-/Ausgabebrücke auch solche Schreiboperationen durchführen kann, bei denen Cacheblöcke, die in den Cachezeilen des Level-2-Cache-Speichers gespeichert sind, nur teilweise aktualisiert werden, wobei die Eingabe-/Ausgabebrücke bei der Ausführung dieser Schreiboperationen („on partial block writes“) Eigentümerin der Cachezeilen ist.

Es ist dem Fachmann hinreichend bekannt, dass ein Cache-Speicher nur in Einheiten von ganzen Cachezeilen beschrieben und ausgelesen werden kann; so

beträgt die Cachezeilengröße in dem Level-2-Cache-Speicher des Mercurian-Prozessors SB-1250 beispielsweise 32 Bytes (Druckschrift **NK18**, elfte Seite - „SB-1250 Level 2 Cache“, „512K, 4 way associative, 32 byte lines“).

Um einen in einer Cachezeile des Level-2-Cache-Speichers gespeicherten Cacheblock teilweise zu aktualisieren, ist es daher erforderlich, den Cacheblock außerhalb des Level-2-Cache-Speichers teilweise zu beschreiben. Dies kann nur dann bewerkstelligt werden, wenn die Eingabe-/Ausgabebrücke den Cacheblock zunächst als Ganzes aus dem Level-2-Cache-Speicher ausliest, anschließend nur die zu aktualisierenden Bytes modifiziert und den gesamten Cacheblock daraufhin wieder in den Cache-Speicher zurückschreibt - d.h. wenn die Eingabe-/Ausgabebrücke „read-modify-write“-Transaktionen ausführt (**Teilmerkmal** „and wherein the bridge circuit is configured to read the cache block from a memory and to modify the cache block within the bridge circuit for writing back the modified cache block to the memory“ von Merkmal **1.12**). Denn nur dadurch ist garantiert, dass diejenigen Bytes der Cachezeile unverändert bleiben, die nicht aktualisiert werden sollen.

Die verbleibenden Teilmerkmale der Merkmale **1.6** und **1.12** sowie das Merkmal **1.7** sind allerdings der Druckschrift **NK18** nicht zu entnehmen.

### **7.2.3** Die Druckschrift **D6** zeigt u.a. das Folgende:

Im Hinblick auf die grundlegende Funktionsweise eines Speicherbussystems, bei dem Daten zwischen Netzwerkschnittstellenschaltungen und dem Speicherbus ausgetauscht werden, ist Druckschrift **D6** insbesondere zu entnehmen, dass zur Implementierung dieses Datenaustauschs eine Brückenschaltung verwendet werden kann, die mit einer Netzwerkschnittstellenschaltung gekoppelt ist, um auf dem Speicherbus Schreibtransaktionen einzuleiten, bei denen Daten in einen an den Speicherbus angeschlossenen Speicher transferiert werden. Dazu übermittelt die Netzwerkschnittstellenschaltung, die an der dem Speicherbus

„gegenüberliegenden“ Seite der Brückenschaltung angeordnet ist, der Brückenschaltung entsprechende Schreibtransaktionsanfragen sowie die zu schreibenden Daten (Merkmale **1.6** und **1.7**, vgl. die Ausführungen zum erteilten Patentanspruch 1 und zum Hilfsantrag 2 aus den Abschnitten **II.1** und **III.2.2**; auch das **weitere Teilmerkmal** des Merkmals **1.12** „wherein the bridge circuit is coupled to receive a write“ liegt damit vor).

**7.2.4** Ausgehend von der Druckschrift **NK18** hatte der Fachmann Veranlassung, die Druckschrift **D6** heranzuziehen.

Die Druckschrift **NK18** beschreibt den Mercurian-Prozessor im Wesentlichen stichpunktartig und überlässt dem Fachmann insbesondere Einzelheiten zur Realisierung der Datenübertragung zwischen den Medienzugriffscontrollern und dem ZBbus (vgl. die Figuren auf Seite 6, 11 und 13 bis 16).

Um sich zur technischen Implementierung der Datenübertragung zwischen diesen Komponenten zu informieren, hatte der Fachmann Veranlassung, sich überall dort nach Anregungen umzusehen, wo Speicherbussysteme zum Einsatz kommen. Hierbei konnte er auf die Druckschrift **D6** stoßen, die Grundlegendes zur Funktionsweise eines Speicherbussystems offenbart, bei dem - ähnlich wie bei dem Mercurian-Prozessor der Druckschrift **NK18** - Daten zwischen Netzwerkschnittstellenschaltungen und einem Speicherbus ausgetauscht werden (s.o., Abschnitt **III.7.2.3**). Insbesondere lehrt die Druckschrift **D6** Methoden zur Gewährleistung von Kohärenz bei Lese- und Schreiboperationen, die auf eine Vielzahl von Bussystemen anwendbar sind und sich vorteilhaft auf die Effizienz der Datenübertragung über den Speicherbus auswirken (vgl. Spalte 5, Zeile 24 bis 39 und 56 bis 59, Spalte 7, Zeile 31 bis 41, Spalte 8, Zeile 31 bis 37 i. V. m. Spalte 3, Zeile 15 bis 18).

Für den Fachmann bot es sich daher an, diese in Druckschrift **D6** beschriebene Funktionsweise auf das Speicherbussystem der Druckschrift **NK18** anzuwenden,

indem er die Medienzugriffscontroller über die Eingabe-/Ausgabebrücke mit dem ZBbus koppelt und die Eingabe-/Ausgabebrücke derart einrichtet, dass sie auf eine Schreibtransaktionsanfrage hin auf dem Speicherbus Schreibtransaktionen einleiten kann, bei denen die von einem Medienzugriffscontroller bereitgestellten Daten insbesondere in den prozessorexternen Level-2-Cache-Speicher geschrieben werden.

Demnach sind in der kombinierten Lehre der Druckschriften **NK18** und **D6** auch die Merkmale **1.6**, **1.7** und das **weitere Teilmerkmal** des Merkmals **1.12** mit verwirklicht, dass die Brückenschaltung (an die Schnittstellenschaltung) gekoppelt ist, um eine Schreibtransaktionsanfrage zu erhalten (“wherein the bridge circuit is coupled to receive a write”).

Das **restliche Teilmerkmal** von Merkmal **1.12** ergibt sich für den Fachmann wie folgt:

Da eine Brückenschaltung bei der Weiterleitung von Daten von einem Peripheriegerät zu einem Modul am Speicherbus keine Inkohärenz verursachen darf und zur Vermeidung von Kohärenzproblemen am Cache-Kohärenzprotokoll des Speicherbusses teilnehmen kann (Druckschrift **D6**, Spalte 3, Zeile 53 bis 59; Spalte 5, Zeile 34 bis 36), stellte es für den Fachmann eine naheliegende Maßnahme dar, auch die Eingabe-/Ausgabebrücke der Druckschrift **NK18** am Cache-Kohärenzprotokoll des Speicherbusses (dem „MESI“-Protokoll, s. Druckschrift **NK18**, achte Seite) teilnehmen zu lassen. In diesem Fall greift die Eingabe-/Ausgabebrücke kohärent auf den Level-2-Cache-Speicher zu, so dass insbesondere die „read“-Phase der „read-modify-write“-Operation kohärent ausgeführt wird (**restliches Teilmerkmal** von Merkmal **1.12**).

Im Übrigen hätte der Fachmann einen kohärenten Lesezugriff auf den Level-2-Cache-Speicher bereits aufgrund der naheliegenden Forderung sichergestellt, dass der gesamte aktualisierte Cacheblock auf dem neuesten Stand ist - und nicht nur

seine im Rahmen der „read-modify-write“-Operation aktualisierten Bestandteile. Andernfalls würden die „read-modify-write“-Operationen nämlich „hybride“ Cacheblöcke erzeugen, die neben den zu aktualisierenden Bytes auch Bytes mit veralteten Inhalten enthalten und die im Rahmen üblicher Cachekohärenzprotokolle nicht oder nur unter erheblichem Zusatzaufwand zu verwalten wären.

**7.3** Die Argumente der Beklagten, die Lehre des Patentanspruchs 1 nach Hilfsantrag 7 sei weder aus den Druckschriften **D6** und **NK18** bekannt noch durch deren Lehre nahegelegt, führen zu keiner anderen Beurteilung.

**7.3.1** Die Beklagte ist der Auffassung, die Druckschrift **NK18** offenbare keine Brückenschaltung, welche Schnittstellenschaltungen, einschließlich wenigstens einer Netzwerkschnittstellenschaltung, zum Interconnect koppelte. Jede der drei Ethernet-Komponenten „MAC“ sei - wie auch andere Komponenten - funktional mit jeweils einem eigenen DMA-Block gekoppelt. Alles in Druckschrift **NK18** deute darauf hin, dass die MAC-Blöcke mit ihrem jeweiligen DMA separat und direkt auf den ZBbus zugegriffen. Insbesondere spreche die Angabe „DMA can target data into the L2 Cache“ auf Seite 11 dagegen, dass die DMAs über eine Brückenschaltung an den Bus angeschlossen sein können, und lege eine direkte, brückenlose Kopplung der DMAs an den Bus nahe. Auch auf Seite 13 und 14 fände sich kein Hinweis auf eine Brückenschaltung oder den Anschluss der Ethernet-MACs über eine Brückenschaltung. Zudem könne allein aus der örtlichen Nähe der Begriffe „I/O Bridge1“ und „GMII, GPIO etc.“ nicht gefolgert werden, dass die Schnittstellen „GMII, GPIO etc.“ an den Bus koppelten.

Diese Argumente greifen jedoch nicht durch.

**a)** So trifft es zwar zu, dass die Figuren auf den Seiten 6, 8, 13 und 14 der Druckschrift **NK18** jeweils nicht direkt zeigen, ob die Medienzugriffskontroller über eine Eingabe-/Ausgabebrücke oder einen DMA-Controller an den ZBbus angeschlossen sind. Einen Datenübertragungsweg zwischen den



Medienzugriffscontrollern und dem ZBbus vorzusehen, der über eine Eingabe-/Ausgabebrücke verläuft, ist jedoch durch die Druckschrift **D6** nahegelegt (s.o., Abschnitt **III.7.2.4 a)**).

Diese Maßnahme ist im Übrigen zum allgemeinen Fachwissen zu zählen (vgl. z.B. Druckschrift **NK18j**, Figur 3 mit Figurenbeschreibung - dort ist gezeigt, dass sämtliche auf einem Netzwerkmultiprozessorchip angeordnete Peripheriegeräte ("On-Chip Peripherals") an den ZBbus über eine Eingabe-/Ausgabebrücke gekoppelt sind) und angesichts der durch die Druckschrift **NK18** vorgegebenen Ausgangslage auch als zweckmäßig anzusehen.

**b)** Des Weiteren lässt sich aus einer Zusammenschau der auf der sechsten und achten Seite der Druckschrift **NK18** gezeigten Figuren durchaus ableiten, dass der Datenübertragungsweg zwischen einer GMI-Schnittstelle und dem ZBbus über eine direkt mit dem ZBbus gekoppelte Eingabe-/Ausgabebrücke verläuft und einen Medienzugriffscontroller enthalten kann.

Der Abbildung auf der achten Seite ist nämlich entgegen der Auffassung der Beklagten zu entnehmen, dass die Eingabe-/Ausgabebrücke "I/O Bridge1" mit einer oder mehreren GMI-Schnittstellen verbunden sein kann, so dass ein Datenübertragungsweg "ZBbus - Eingabe-/Ausgabebrücke - GMII" gezeigt ist. Der Abbildung auf der sechsten Seite ist ferner entnehmbar, dass die drei Medienzugriffscontroller mit zumindest einer GMI-Schnittstelle verbunden sein können (Text "3 x GMII @ 2 Gbit/s" und die drei Doppelpfeile unter den Schaltungen "10/100/1000 MAC"), woraus sich der Datenübertragungsweg "ZBbus - Medienzugriffscontroller - GMI-Schnittstelle" ableiten lässt.

Die beiden Abbildungen können nur dann im Hinblick auf den Datenübertragungsweg zwischen dem ZBbus und der GMI-Schnittstelle gedanklich miteinander in Einklang gebracht werden, wenn die Medienzugriffscontroller zwischen der Eingabe-/Ausgabebrücke und der GMI-Schnittstelle angeordnet sind.

Da die Eingabe-/Ausgabebrücke "I/O Bridge1" mit dem ZBbus direkt gekoppelt ist (vgl. die achte Seite der Druckschrift **NK18**), kommt eine Positionierung der Medienzugriffscontroller im Bereich zwischen der Eingabe-/Ausgabebrücke und dem ZBbus nicht in Frage. Es ergibt sich also ein Übertragungsweg "ZBbus - Eingabe-/Ausgabebrücke - Medienzugriffscontroller - GMI-Schnittstelle", bei dem die Eingabe-/Ausgabebrücke die Medienzugriffscontroller mit dem ZBbus verbindet.

Auch der Hinweis "DMA can target data into the L2 Cache" steht diesen Schlussfolgerungen nicht zwangsläufig entgegen. Denn damit ist lediglich ausgesagt, dass zumindest einer der auf der elften Seite der Druckschrift **NK18** gezeigten DMA-Controller Daten in den Level-2-Cache-Speicher übertragen kann, wobei offen bleibt, welcher DMA-Controller konkret gemeint ist, unter welchen Umständen die Daten transferiert werden sollen, ob die Daten auf direktem oder auf indirektem Wege übertragen werden und von welcher Schaltungskomponente die transferierten Daten kommen.

c) Im Übrigen kann auch einer der auf der sechsten Seite der Präsentation **NK18** unmittelbar über einem Medienzugriffscontroller "10/100/1000 MAC" angeordneten DMA-Controller als zusätzlicher Bestandteil einer Netzwerkschnittstellenschaltung angesehen werden. Aus den oben in den Abschnitten **III.7.2.4 a)** und **III.7.3.1 b)** dargelegten Überlegungen folgt dann unmittelbar, dass dieser DMA-Controller als Teil der Netzwerkschnittstellenschaltung im Datenübertragungsweg zwischen der Eingabe-/Ausgabebrücke und der GMI-Schnittstelle angeordnet sein muss und somit nicht direkt mit dem ZBbus verbunden ist.

**7.3.2** Die Beklagte macht ferner unter Verweis auf die Druckschrift **NK18** geltend, der Text "I/O bridges take ownership of cache line on partial block writes" lasse viele Interpretationsmöglichkeiten zu. Insbesondere sei offen, ob diese Aktion von der Brücke ausgehe oder von einem anderen Element. Aus der Tatsache, dass die Brücke Eigentümerin einer Cachezeile sei, folge weder, dass die Brücke

Cacheblöcke einlese, noch dass sie diese kohärent modifiziere. Mittels der Brücke den Cache zu beschreiben, würde zudem die CPU und die DMA-Controller umgehen, die bereits selbst Daten im Cache modifizieren könnten. Auch die Busbrücke der Druckschrift **D6** habe lediglich zwei Datenpuffer, die dem Durchschleusen von Daten dienen und könne nicht Daten überschreiben.

Auch diesen Einwänden kann nicht zugestimmt werden.

Wie oben dargelegt (vgl. Abschnitt **III.7.2.4 a**)), führte die Lehre der Druckschrift **D6** den Fachmann zur Erkenntnis, dass die Eingabe-/Ausgabebrücke des Multiprozessors SB-1250 dazu verwendet werden kann, die über die Medienzugriffskontrollschaltungen aus einem Netzwerk (einem „Ethernet“) gelieferten Daten in den Level-2-Cache-Speicher des Multiprozessors SB-1250 zu schreiben.

Vor diesem Hintergrund bezieht der Fachmann die Angabe „I/O bridges take ownership of cache line“ insbesondere auf die Cachezeilen des prozessorexternen Level-2-Cache-Speichers. Dafür spricht zudem, dass auf der achten Seite der Druckschrift **NK18**, der diese Angabe zu entnehmen ist, ausschließlich der Level-2-Cache-Speicher abgebildet ist, und dass der prozessorinterne Cache-Speicher („32K D CACHE“, s. die siebte Präsentationsseite) mit einer Speicherkapazität von 32 Kilobyte zur Zwischenspeicherung großer Datenmengen aus einem Ethernet-Netzwerk schlechter geeignet ist als der deutlich größere Level-2-Cache-Speicher mit einer Speicherkapazität von 512 Kilobyte („512K L2 cache“, s. die sechste Präsentationsseite).

Wie oben in Abschnitt **III.7.2.2** beschrieben, entnahm der Fachmann der Druckschrift **NK18**, dass „read-modify-write“-Operationen vonnöten sind, um eine Cachezeile teilweise zu beschreiben. Dass die Eingabe-/Ausgabebrücke bei solchen Schreiboperationen Eigentümerin einer Cachezeile wird („I/O bridges take ownership of cache line on partial block writes“), bedeutet, dass während dieser

Schreiboperationen ausschließlich die Eingabe-/Ausgabebrücke berechtigt ist, auf die Cachezeilen und die in ihnen gespeicherten Cacheblöcke zuzugreifen und ein anderer Busteilnehmer solange an einem Zugriff gehindert ist, bis er selbst neuer Eigentümer wird. Daraus folgt unmittelbar, dass die Eingabe-/Ausgabebrücke die teilweisen Schreibvorgänge - also die „read-modify-write“-Operationen - selbst ausführt (und dabei den Cacheblock insbesondere auch einliest und kohärent modifiziert).

Somit kommt es auch nicht darauf an, ob eine CPU oder ein DMA-Controller bereits Cacheblöcke modifizieren können. Außerdem wäre es unökonomisch, wenn die Eingabe-/Ausgabebrücke Daten, die sie von den Netzwerkschnittstellenschaltungen erhält, erst noch an eine CPU oder einen DMA-Controller weiterleiten würde, um dort eine „read-modify-write“-Schreiboperation auszuführen. In diesem Fall würden nämlich die über die Medienzugriffcontroller empfangenen aktuellen Daten zweimal über den Speicherbus geschickt (einmal von der Eingabe-/Ausgabebrücke zur CPU bzw. zum DMA-Controller, ein weiteres Mal von der CPU bzw. dem DMA-Controller zum Level-2-Cache-Speicher), bis sie im Level-2-Cache-Speicher einträfen.

**7.4** Mit Blick auf die Ausführungen zum erteilten Patentanspruch 1 beruht der Gegenstand des Patentanspruchs 1 gemäß Hilfsantrag 7 somit nicht auf erfinderischer Tätigkeit, so dass das Streitpatent in seiner Fassung nach Hilfsantrag 7 ebenfalls keinen Bestand hat.

**8.** **Hilfsantrag 8** kann nicht günstiger beurteilt werden, da der Gegenstand seines Patentanspruchs 1 ebenfalls ausgehend von Druckschrift **NK18** in Verbindung mit dem aus der Druckschrift **D6** entnehmbaren Stand der Technik nahegelegt ist.

**8.1** Patentanspruch 1 gemäß Hilfsantrag 8 beruht auf Patentanspruch 1 gemäß Hilfsantrag 7, an den das Merkmal

**1.13** wherein the bridge circuit (20A, 20B) is configured for enforcing coherency for the cache block during the time period from reading the cache block to writing back the modified cache block.

angefügt ist.

Die Brückenschaltung soll also derart konfiguriert sein, dass sie während des Zeitraums, der mit dem Lesen des Cacheblocks beginnt und mit dem Zurückschreiben des modifizierten Cacheblocks endet, eine Kohärenz des Cacheblocks erzwingt.

Gemäß dem Streitpatent lässt sich dies dadurch erreichen, dass die Eingabe-/Ausgabebrücke beginnend mit der Antwortphase der Leseoperation bis hin zur Antwortphase der Schreiboperation dafür verantwortlich ist, die Kohärenz des Cacheblocks zu garantieren oder - anders betrachtet - Eigentümerin des Cacheblocks wird (vgl. Streitpatentschrift, Absatz [0072] - „Beginning in clock cycle CLK3, the I/O bridge 20A is responsible for ensuring the coherency of the cache block [...] Viewed in another way, the I/O bridge 20A owns the cache block beginning in clock cycle CLK3. The I/O bridge 20A remains responsible for the coherency of the cache block until the response phase of the write transaction corresponding to the read-modify-write operation“; s. ferner auch Absatz [0062]).

Dass die Brückenschaltung konfiguriert ist, während des oben beschriebenen Zeitraums Kohärenz zu erzwingen, ist also insbesondere auch dann gegeben, wenn die Brückenschaltung während dieses Zeitraums Eigentümerin des Cacheblocks ist oder zur Eigentümerin des Cacheblocks wird.

**8.2** Der Gegenstand des Patentanspruchs 1 gemäß Hilfsantrag 8 beruht mit Rücksicht auf die Ausführungen zum Hilfsantrag 7 auf keiner erfinderischen Tätigkeit.

**a)** So zeigt die Formulierung „I/O bridges take ownership of cache line on partial block writes“ auf der achten Seite der Druckschrift **NK18**, dass die Eingabe-/Ausgabebrücke bei der Ausführung von „read-modify-write“-Operationen Eigentümerin einer Cachezeile des Level-2-Cache-Speichers ist (s.o., Abschnitt **III.7.2.2**).

Daraus folgt, dass die Brücke im Sinne des Merkmals **1.13** konfiguriert ist, um Kohärenz für den Cacheblock während einer „read-modify-write“-Operation zu gewährleisten.

**b)** Die Druckschrift **D6** gibt den Hinweis, die Brücke dürfe keine Bedingungen zulassen, die zu Inkohärenz führen (Spalte 3, Zeile 53 bis 59 - „the bridge 50 must [...] not cause incoherency [...] conditions to occur“). Demnach hätte der Fachmann die Eingabe-/Ausgabebrücke so ausgestaltet, dass sie immer eine Kohärenz garantiert - also insbesondere auch während des mit Merkmal **1.13** beanspruchten Zeitabschnitts.

Dies ergibt sich auch, wenn die Eingabe-/Ausgabebrücke am Cachekohärenzprotokoll des Speicherbusses teilnimmt (s.o., Abschnitt **III.7.2.4 b**); denn durch ein solches Protokoll wird Cachekohärenz zwischen den an dem Protokoll teilnehmenden Busteilnehmern nicht nur vorübergehend, sondern andauernd gewährleistet.

**8.3** Im Hinblick auf die Ausführungen zum Hilfsantrag 7 beruht die Lehre des Patentanspruchs 1 gemäß Hilfsantrag 8 somit auf keiner erfinderischen Tätigkeit und ist daher nicht patentfähig. Mit seinem Patentanspruch 1 fällt der gesamte Hilfsantrag 8.

**9.** In seiner Fassung nach **Hilfsantrag 9** hat das Streitpatent keinen Bestand, weil der Gegenstand seines Patentanspruchs 1 ausgehend von der Druckschrift **D6** nicht auf erfinderischer Tätigkeit beruht.

**9.1** Der Patentanspruch 1 nach Hilfsantrag 9 beruht auf dem erteilten Patentanspruch 1, bei dem nach Merkmal **1.7** das Merkmal

**1.14** wherein the at least one bridge circuit (20A, 20B) comprises multiple request queues for different priority transaction requests.

hinzugefügt ist.

Dieses Merkmal bringt zum Ausdruck, dass die mindestens eine Brückenschaltung mehr als eine Anfragewarteschlange für Transaktionsanfragen unterschiedlicher Priorität enthalten soll.

Eine Warteschlange ist aus Sicht des Fachmanns eine Datenstruktur, die als Puffer der Zwischenspeicherung von Daten dient. So sind Daten, die in einem Pufferspeicher zwischengespeichert sind und auf ihre Weiterverarbeitung warten, in einer Warteschlange gespeichert. Da bereits eine einzige Warteschlange mit mehreren zwischengespeicherten Elementen aus mehreren Teil-Warteschlangen besteht (z.B. umfasst eine Warteschlange „1 2 3 4“ mit vier Transaktionsanfragen 1, 2, 3 und 4 die beiden Teil-Warteschlangen „1 2“ und „3 4“), genügt letztlich auch schon das Vorhandensein einer einzigen größeren Anfragewarteschlange für Transaktionsanfragen unterschiedlicher Priorität in der Brückenschaltung, um das Merkmal **1.14** als erfüllt ansehen zu können.

Der Begriff „Transaktionsanfrage“ bezeichnet eine Nachricht, die einer Recheneinheit signalisiert, dass eine bestimmte Transaktion abgearbeitet werden

soll und die beispielsweise im Rahmen der Anfragephase einer Bustransaktion von einem anfragenden Busteilnehmer an die anderen Busteilnehmer übertragen wird. Das Streitpatent zeigt, dass eine Transaktionsanfrage unterschiedliche Informationen enthalten kann; so können die Transaktionsanfrage-Warteschlange („request queue 50“) und die Read-Modify-Write-Warteschlange („read-modify-write queue 52“), in denen jeweils Transaktionsanfragen gespeichert werden, die folgenden Einträge umfassen: ein Gültigkeitsbit, welches anzeigt, ob eine Anfrage wartet oder nicht; die Adresse oder den Typ der Transaktion (Lesen/Schreiben), sowie andere Informationen, die während der Adressphase übertragen werden wie Cache-Speicherbarkeitsattribute, eine Kennzeichnung oder den auszuführenden Befehl (Streitpatentschrift, Absätze [0047], [0048], [0052]).

Vor diesem Hintergrund ist eine „Transaktionsanfrage-Warteschlange“ als Warteschlange anzusehen, die der Zwischenspeicherung von Informationen dient, die als Bestandteile einer Transaktionsanfrage übertragen werden. Auch die im Patentanspruch 1 verwendete Bezeichnung „Anfragewarteschlange für Transaktionsanfragen“ („request queue for transaction requests“) drückt nichts Anderes aus.

Transaktionsanfragen unterschiedlicher Priorität („Different priority transaction requests“) sind Transaktionsanfragen, die sich hinsichtlich ihres Rangs, ihrer Bedeutung oder ihres Stellenwerts - wie etwa der Reihenfolge, in der sie abgearbeitet werden sollen - unterscheiden (vgl. Streitpatentschrift, Absätze [0050], [0051]).

**9.2** Das in Patentanspruch 1 gemäß Hilfsantrag 9 hinzugekommene Merkmal **1.14** kann eine erfinderische Tätigkeit nicht begründen.

**a)** Laut Druckschrift **D6** besitzt die Brücke separate Pufferspeicher, in denen die bei den Transaktionen transferierten Daten sowie die zugehörigen Speicheradressen zwischengespeichert werden (Figur 4, Bezugszeichen 210, 230



und 240). Es ist offensichtlich, dass dabei die zwischengespeicherten Daten in Datenstrukturen vorliegen, die es ermöglichen, die Daten nach einer gewissen Wartezeit wieder aus den Pufferspeichern auszulesen und an ihr jeweiliges Ziel weiterzuleiten. Diese Datenstrukturen können daher als Warteschlangen im Sinne des Merkmals **1.14** angesehen werden (teilweise Merkmal **1.14**).

Von der Lehre der Druckschrift **D6** unterscheidet sich Merkmal **1.14** somit nur darin, dass die Warteschlangen der Zwischenspeicherung von Transaktionsanfragen oder von Teilen solcher Anfragen dienen (s.o., Abschnitt **III.9.1**).

Das verbliebene Unterschiedsmerkmal beeinflusst jedoch die Lösung eines konkreten technischen Problems mit technischen Mitteln nicht. Denn es betrifft nur den Bedeutungsinhalt der zwischengespeicherten Daten und wirkt sich deshalb nicht auf die technische Ausgestaltung der Pufferspeicher oder der übrigen Komponenten der integrierten Schaltung aus. Da Patentanspruch 1 nicht verlangt, dass zwischengespeicherte Transaktionsanfragen in irgendeiner Weise weiterverarbeitet werden, hat der Bedeutungsinhalt der zwischengespeicherten Daten auch keinen Einfluss auf die Einleitung von Transaktionen.

Somit sind diejenigen Teilaspekte des Merkmals **1.14**, die die Lösung eines konkreten technischen Problems mit technischen Mitteln beeinflussen, aus der Druckschrift **D6** bekannt. Da bei der Prüfung der erfinderischen Tätigkeit jedoch nur solche Anweisungen zu berücksichtigen sind, die die Lösung eines konkreten technischen Problems mit technischen Mitteln bestimmen oder zumindest beeinflussen (BGH GRUR 2011, 125 - *Wiedergabe topografischer Informationen*), kann mit Merkmal **1.14** eine erfinderische Tätigkeit nicht begründet werden.

**b)** Im Übrigen kam der Fachmann ausgehend von der Lehre der Druckschrift **D6** zur vollständigen Lehre des Merkmals **1.14**, ohne erfinderisch tätig zu werden.

Denn wie bereits in Abschnitt **II.1** (s.o.) ausgeführt, ist es gemäß Druckschrift **D6** die grundlegende Aufgabe einer Busbrücke, Transaktionsanfragen, die von einem Agenten am Peripheriebus gestellt werden, entgegenzunehmen und an ein Ziel am Speicherbus weiterzuleiten, indem geeignete Busoperationen am Speicherbus eingeleitet werden (Spalte 3, Zeile 37 bis 48). Solche Transaktionsanfragen können spezielle Busbefehle umfassen, mit denen Lese- und Schreibtransaktionen am Speicherbus angefragt werden (Spalte 6, Zeile 9 bis 20 sowie Spalte 8, Zeile 39 bis 41 – „with a Memory Read Pre-fetch command, an agent on the peripheral bus 140 requests a read operation of memory address space, for example main memory 120“). Es ist offensichtlich, dass diese Busbefehle eine Information über den Typ („read“, „write“) einer jeweiligen am Speicherbus auszuführenden Transaktion umfassen.

Laut Druckschrift **D6** besitzt die Brücke separate Pufferspeicher (und damit Warteschlangen) zur Zwischenspeicherung der bei den Transaktionen am Speicherbus transferierten Daten sowie der zugehörigen Speicheradressen (Figur 4, Bezugszeichen 210, 230 und 240). Eine Zwischenspeicherung ist insbesondere dann unabdingbar, wenn die Brücke Transaktionen nicht sofort auf dem Speicherbus einleiten kann, weil dort gerade andere Transaktionen abgearbeitet werden.

Ferner war dem Fachmann geläufig, dass Daten, die unidirektional zwischen zwei Bussen über eine Busbrücke übertragen werden, in mehreren Pufferspeichern der Busbrücke zwischengespeichert werden können (wie z.B. aus Druckschrift **NK16** bekannt, vgl. Figur 6 i. V. m. Spalte 7, Zeile 45 bis Spalte 8, Zeile 31 - „primary to secondary buffers“). Angesichts dessen lag es für den Fachmann auf der Hand, auch weitere Transaktionsdaten, die die Brücke der Druckschrift **D6** von den Netzwerkschnittstellenschaltungen erhält und zur Ausführung der Busoperationen auf dem Speicherbus benötigt (z.B. die von ihr weiterzuleitenden Transaktionsanfragen und/oder Informationen über den Transaktionstyp), in der Brücke in einer eigenen Warteschlange zwischenzuspeichern.

Damit gelangte der Fachmann zu einer Brücke, die neben der Warteschlange, in der die Speicheradressen zwischengespeichert werden, mindestens eine weitere Warteschlange umfasst, die Transaktionsanfragen oder Bestandteile solcher Anfragen (z.B. Informationen über den Transaktionstyp) enthält. Diese Warteschlangen der Brücke stellen mehrere Anfragewarteschlangen für Transaktionsanfragen im Sinne des Merkmals **1.14** dar.

Zur Zwischenspeicherung in der Brücke boten sich dem Fachmann übliche FIFO-Pufferspeicher („FIFO“ = „first in - first out“) an, bei denen die zwischengespeicherten Daten die Speicher in der gleichen Reihenfolge wieder verlassen, in der sie in ihnen gespeichert wurden (vgl. Druckschrift **NK16**, Figur 6 mit Spalte 7, Zeile 45 bis Spalte 8, Zeile 31; die Pufferspeicher 140 und 142 der Busbrücke 120 arbeiten nach dem FIFO-Prinzip).

Der Einsatz von FIFO-Pufferspeichern hat zur Folge, dass sich die zwischengespeicherten Transaktionsanfragen auch hinsichtlich ihrer Abarbeitungsreihenfolge unterscheiden, so dass sie auch Transaktionsanfragen unterschiedlicher Priorität im Sinne des Merkmals **1.14** sind.

Im Ergebnis kam der Fachmann ausgehend vom Stand der Technik zu einer Brücke mit mehreren Anfragewarteschlangen für Transaktionsanfragen unterschiedlicher Priorität, wie von Merkmal **1.14** gefordert.

**9.3** Die Beklagte argumentiert sinngemäß, die Druckschrift **D6** zeige das Merkmal **1.14** nicht. Insbesondere enthalte es keinen Bezug auf Prioritäten; auch habe ein FIFO-Speicher nichts mit einer Priorisierung zu tun.

Dieses Argument trägt jedoch nicht.

Dass für die Übertragung von Transaktionsanfragen, die in einem Speicher zwischengespeichert werden, automatisch eine Abarbeitungsreihenfolge vorgesehen sein muss und die Transaktionsanfragen somit zeitlich priorisiert sind, ergibt sich bereits daraus, dass Transaktionen über den Speicherbus der Druckschrift **D6** seriell abgearbeitet werden. Zudem ist bei einem „FIFO“-Speicher ein Hinweis auf eine zeitliche Reihenfolge - und damit auf eine Priorisierung - bereits in der Bezeichnung „FIFO“ - „first in, first out“ - implizit enthalten.

**9.4** Mit Rücksicht auf die Ausführungen zum erteilten Patentanspruch 1 beruht der Gegenstand des Patentanspruchs 1 gemäß Hilfsantrag 9 daher auf keiner erfinderischen Tätigkeit und ist somit nicht patentfähig. Mit dem Patentanspruch 1 des Hilfsantrags 9 fällt der gesamte Hilfsantrag.

**10.** Aus diesen Gründen war das Streitpatent, das somit in keiner seiner durch die Beklagte verteidigten Fassungen Bestand hatte, insgesamt für nichtig zu erklären.

#### **IV.**

Die Kostenentscheidung beruht auf § 84 Abs. 2 Satz 2 PatG i. V. m. § 91 Abs. 1 Satz 1 ZPO.

Der Ausspruch über die vorläufige Vollstreckbarkeit beruht auf § 99 Abs. 1 PatG i. V. m. § 709 ZPO.

**V.**

**Rechtsmittelbelehrung**

Gegen dieses Urteil ist das Rechtsmittel der Berufung gegeben.

Die Berufungsschrift muss von einer in der Bundesrepublik Deutschland zugelassenen Rechtsanwältin oder Patentanwältin oder von einem in der Bundesrepublik Deutschland zugelassenen Rechtsanwalt oder Patentanwalt unterzeichnet und innerhalb eines Monats beim Bundesgerichtshof, Herrenstraße 45a, 76133 Karlsruhe eingereicht werden.

Die Berufungsfrist beginnt mit der Zustellung des in vollständiger Form abgefassten Urteils, spätestens aber mit dem Ablauf von fünf Monaten nach der Verkündung. Die Berufungsfrist kann nicht verlängert werden.

Die Berufungsschrift muss die Bezeichnung des Urteils, gegen das die Berufung gerichtet wird, sowie die Erklärung enthalten, dass gegen dieses Urteil Berufung eingelegt werde. Mit der Berufungsschrift soll eine Ausfertigung oder beglaubigte Abschrift des angefochtenen Urteils vorgelegt werden.

Püschel

Baumgardt

Richterin  
Dr. Schnurr ist  
wegen Urlaubs  
verhindert zu  
unterschreiben.

Dr. Forkel

Dr. Städele

Püschel