



BUNDESPATENTGERICHT

23 W (pat) 9/20

(Aktenzeichen)

Verkündet am
8. März 2022

...

BESCHLUSS

In der Beschwerdesache

...

betreffend die Patentanmeldung 10 2016 102 108.3

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 8. März 2020 unter Mitwirkung des Vorsitzenden Richters Dr. Strößner sowie der Richter Dr. Friedrich, Dr. Zebisch und Dr. von Hartz beschlossen:

1. Der Beschluss der Prüfungsstelle für Klasse H01L des Deutschen Patent- und Markenamts vom 6. Februar 2020 wird aufgehoben.
2. Es wird ein Patent erteilt mit der Bezeichnung „CoWoS-Dreischichtstruktur“, dem Anmeldetag 7. Februar 2016 unter Inanspruchnahme der Priorität US 62/260,832 vom 30. November 2015 und der Priorität US 15/007,714 vom 27. Januar 2016 auf der Grundlage folgender Unterlagen
 - Patentansprüche 1 bis 10;
 - Beschreibung Absätze [0001] bis [0040] jeweils überreicht in der mündlichen Verhandlung vom 8. März 2022;
 - 11 Blatt Zeichnungen mit Figuren 1 bis 11, eingegangen im Deutschen Patent- und Markenamt am 1. März 2016.

G r ü n d e

I.

Die vorliegende Patentanmeldung mit dem Aktenzeichen 10 2016 102 108.3 und der Bezeichnung „CoWoS-Dreischichtstruktur“ wurde am 7. Februar 2016 unter Inanspruchnahme der US-amerikanischen Prioritäten 62/260,832 vom 30. November 2015 und 15/007,714 vom 27. Januar 2016 im Deutschen Patent- und Markenamt in englischer Sprache angemeldet. Gleichzeitig mit der Anmeldung wurde Prüfungsantrag gestellt. Am 29. Februar 2016 wurde eine deutsche Übersetzung eingereicht, die mit der Offenlegungsschrift DE 10 2016 102 108 A1 am 1. Juni 2017 veröffentlicht wurde.

Die Prüfungsstelle für Klasse H01L hat im Prüfungsverfahren auf den Stand der Technik gemäß folgender Druckschriften verwiesen:

D1 US 2013/0 292 846 A1;
D2 US 7 701 057 B1;
D3 US 8 993 377 B2;
D4 US 2009/0 322 364 A1;
D5 US 2015/0 262 909 A1 und
D6 US 2014/0 092 574 A1.

Sie hat in einem Bescheid vom 14. September 2016 und einem Ladungszusatz vom 9. September 2019, sowie in einer Anhörung am 6. Februar 2020 ausgeführt, dass die jeweils mit den selbständigen Ansprüchen beanspruchten Gegenstände mangels Neuheit oder erfinderischer Tätigkeit nicht patentfähig seien.

Die Anmelderin hat dem in ihren Erwiderungen vom 12. Mai 2017 und 10. Januar 2020, sowie in der Anhörung am 6. Februar 2020 ausführlich widersprochen, wobei sie jeweils neue Anspruchssätze eingereicht hat, zuletzt in der Anhörung, wo sie sechs Anspruchssätze als Hilfsanträge 1 bis 6 überreicht hat.

Als Ergebnis der Anhörung am 6. Februar 2020 hat die Prüfungsstelle die Anmeldung am Ende der Anhörung zurückgewiesen. Die schriftliche Begründung der Zurückweisung wurde der Anmelderin mit Anschreiben vom 11. Februar 2020 am 17. Februar 2020 zugestellt. In dieser Begründung hat die Prüfungsstelle ausgeführt, dass die Gegenstände der Ansprüche 1 gemäß Hauptantrag sowie der Hilfsanträge 2 und 3 gegenüber der Druckschrift D4 nicht neu seien (§ 3 PatG). Die Gegenstände der übrigen Hilfsanträge beruhten ausgehend von Druckschrift D4 auf keiner erfinderischen Tätigkeit des Fachmanns (§ 4 PatG), so dass sie alle nicht patentfähig seien (§ 1 Abs. 1 PatG).

Gegen diesen Beschluss hat die Anmelderin mit Schriftsatz vom 17. März 2020, am selben Tag elektronisch im Deutschen Patent- und Markenamt eingegangen, Beschwerde eingelegt, die sie mit Schriftsatz vom 13. August 2020 begründet hat.

In der mündlichen Verhandlung am 8. März 2022, zu deren Beginn der Senat dem Vertreter der Anmelderin die Druckschrift

D7 US 2007/ 0 013 080 A1

als weiteren relevanten Stand der Technik überreicht hat, wurde ein neuer Satz Patentansprüche erarbeitet, den der Vertreter der Anmelderin in der Folge gemeinsam mit einer überarbeiteten Beschreibung eingereicht hat. Er hat daraufhin beantragt:

1. den Beschluss der Prüfungsstelle für Klasse H01L des Deutschen Patent- und Markenamts vom 6. Februar 2020 aufzuheben;
2. ein Patent zu erteilen mit der Bezeichnung „CoWoS-Dreischichtstruktur“, dem Anmeldetag 7. Februar 2016 unter Inanspruchnahme der Priorität US 62/260,832 vom 30. November 2015 und der Priorität US 15/007,714 vom 27. Januar 2016 auf der Grundlage folgender Unterlagen:
 - Patentansprüche 1 bis 10;
 - Beschreibung Absätze [0001] bis [0040], jeweils überreicht in der mündlichen Verhandlung vom 8. März 2022;
 - 11 Blatt Zeichnungen mit Figuren 1 bis 11 eingegangen im Deutschen Patent- und Markenamt am 1. März 2016.

Der in der mündlichen Verhandlung eingereichte Anspruch 1 lautet mit bei unverändertem Wortlaut eingefügter Gliederung:

- „1. Package mit:
 - 1.1 einem ersten, zweiten, dritten, vierten und fünften IVR-Chip (24A, 24B, 24C, 24D, 24E),
 - 1.2 wobei die IVR-Chips (24A, 24B, 24C, 24D, 24E) jeweils Metallsäulen (40) auf ihren Oberseiten aufweisen;

- 1.3 einem ersten Verkapselungsmaterial (44), das die IVR-Chips (24A, 24B, 24C, 24D, 24E) einkapselt, wobei das erste Verkapselungsmaterial (44) eine Oberseite hat, die mit Oberseiten der Metallsäulen (40) koplanar ist;
- 1.4 einer Vielzahl von Umverteilungsleitungen (48) über dem ersten Verkapselungsmaterial (44) und den IVR-Chips (24A, 24B, 24C, 24D, 24E), wobei die Vielzahl von Umverteilungsleitungen (48) mit den Metallsäulen (40) elektrisch gekoppelt ist;
- 1.5 einem ersten Kernchip (52A), einem zweiten Kernchip (52B) und einem Eingabe-/Ausgabechip (52C), die die Vielzahl von Umverteilungsleitungen (48) überlappen und mit diesen verbunden sind;
- 1.6 einem zweiten Verkapselungsmaterial (64), das den ersten Kernchip (52A), den zweiten Kernchip (52B) und den Eingabe-/Ausgabechip (52C) einkapselt,
 - 1.6.1 wobei Ränder des ersten Verkapselungsmaterials (44) und entsprechende Ränder des zweiten Verkapselungsmaterials (64) in vertikaler Richtung koplanar sind;
- 1.7 einem Interposer (70) oder einem Gehäusesubstrat (80), der/das sich unter den IVR-Chips (24A, 24B, 24C, 24D, 24E) befindet und an diese gebondet ist;
- 1.8 wobei der erste Kernchip (52A) den ersten und den zweiten IVR-Chip (24A, 24B) vollständig überlappt und mit diesen elektrisch gekoppelt ist, der zweite Kernchip (52B) den dritten und den vierten IVR-Chip (24C, 24D) vollständig überlappt und mit diesen elektrisch gekoppelt ist, und der Eingabe-/Ausgabechip (52C) den fünften IVR-Chip (24E) vollständig überlappt und mit diesem elektrisch gekoppelt ist.“

Hinsichtlich der auf den Anspruch 1 rückbezogenen Unteransprüche 2 bis 10 und der weiteren Unterlagen und Einzelheiten wird auf den Akteninhalt verwiesen.

Die form- und fristgerecht erhobene Beschwerde der Anmelderin ist zulässig und erweist sich hinsichtlich des in der mündlichen Verhandlung am 8. März 2022 eingereichten Anspruchssatzes auch als begründet, so dass der Beschluss der Prüfungsstelle für Klasse H01L aufzuheben ist, denn die Ansprüche des in der mündlichen Verhandlung eingereichten Anspruchssatzes sind zulässig (§ 38 PatG), und das mit dem Anspruch 1 beanspruchte Package ist durch den ermittelten Stand der Technik nicht patenthindernd getroffen, so dass es patentfähig ist (§§ 1 bis 5 PatG).

1. Die Anmeldung betrifft gemäß der Beschreibung der Anmeldung eine sog. CoWoS-Dreischichtstruktur. Dabei steht CoWoS für „Chip on Wafer on Substrate“.

Gemäß der Beschreibungseinleitung der vorliegenden Anmeldung stellt eine zentrale Verarbeitungseinheit (CPU) hohe Anforderungen an die Ein- und Ausgabe (E/A) und hat einen hohen Energieverbrauch. Eine CPU kann zum Beispiel eine Vielzahl von Kernen aufweisen und benötigt eine beachtliche Energiemenge. Andererseits sind auch die Anforderungen an die bereitgestellte Energie hoch. Zum Beispiel müssen die Versorgungsspannungen sehr stabil sein. Daher kann eine Vielzahl von Spannungsreglern mit ein und demselben CPU-Chip verbunden sein, um Energie bereitzustellen (*vgl. Abs. [0002] der geltenden Beschreibung*).

Ausgehend vom diesem Stand der Technik liegt der Anmeldung als technisches Problem die Aufgabe zugrunde, eine Kern-Bauelement-Chips enthaltende CoWoS-Struktur eines Packages dahingehend zu verbessern, dass die Spannung für die Kernchips zur Verfügung stellende IVR-Chips so angeordnet werden, dass sie sich mit möglichst gleicher Entfernung möglichst nah an den jeweils zu versorgenden Kernchips befinden, so dass sich das Layout des Packages bezüglich der Spannungsversorgung im Gleichgewicht befindet (*vgl. Abs. [0036] der geltenden Beschreibung*).

Diese Aufgabe wird durch das Package nach dem geltenden Anspruch 1 gelöst.

Die Beschreibung erklärt den beanspruchten Gegenstand an Hand der hier dargestellten Fig. 9. Diese Figur stellt einen Schnitt durch ein Package mit Halbleiterbausteinen dar und zeigt von unten nach oben:

- ein Gehäuseunterteil (80),
- einen Interposer (70),
- eine Ebene, in der IVR-(Integrated Voltage Regulation)-Chips (24A bis E) in eine Vergussmasse (44) eingebettet sind,
- Zwischenverdrahtungsebenen mit dielektrischen Schichten (46) und Metallverdrahtungen (48) und
- eine Ebene, in der zwei sog. Kernchips (52A, 52B) und ein Eingabe-/Ausgabe-Chip (52C) in einer zweiten Vergussmasse enthalten sind.

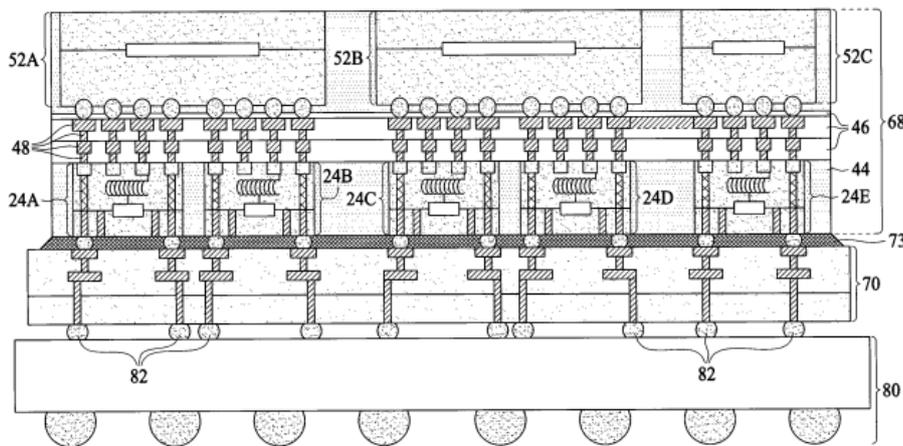


FIG. 9

Die einzelnen Bestandteile weisen gemäß Anspruch 1 unterschiedliche Eigenschaften auf. So besitzen die IVR-Chips an ihrer Oberseite bzw. oberen Oberfläche Metallsäulen (40, in Fig. 9 nicht bezeichnet), die an die obere Oberfläche des ersten Verkapselungsmaterials (44) heranreichen und mit diesem in einer Ebene abschließen. Die Figur zeigt zudem Durchkontaktierungen (36) durch das Halbleitersubstrat (vgl. Fig. 2 und 8), von denen einige (36A) in Säulen (40) weitergeführt werden, ohne mit der Schaltung des IVR-Chips in elektrischem Kontakt zu sein, während

andere (36B) mit der Schaltung des IVR-Chips in Kontakt stehen. Außerdem ist in einem dielektrischen Teil der IVR-Chips eine Induktivität (30) ausgebildet.

Die Leitungen (48) oberhalb der IVR-Chips (24A bis E) und des ersten Verkapselungsmaterials (44) dienen genau wie auch der Interposer (70) unterhalb der IVR-Chips zur Umverdrahtung.

Es werden, wie auch beansprucht, fünf IVR-Chips (24A bis E) gezeigt, wovon zwei (24A, 24B) unter einem ersten Kernchip (52A) und zwei weitere (24C, 24D) unter einem zweiten Kernchip (52B) liegen und von diesen jeweils vollständig überlappt werden, was auf Grund der Größenverhältnisse zwischen diesen Chips möglich ist. Sie sind durch die Umverteilungsleitungen mit den jeweiligen Kernchips, unter denen sie liegen, elektrisch verbunden und dienen diesen als geregelte Spannungsversorgung. Ein weiterer IVR-Chip (24E) ist unter dem Eingabe-/Ausgabe-Chip (52C) angeordnet und wird von diesem vollständig überlappt. Er stellt auf Grund seiner elektrischen Verbindung eine Spannungsversorgung für den Eingabe-/Ausgabechip dar.

Die senkrechten Seitenflächen der Vergussmassen (44, 64) liegen in einer gemeinsamen Ebene, so dass sie für den Fall, dass auch die Zwischenverdrahtungsebenen (46) mit den Vergussmassen abschließen, eine ungestufte Oberfläche bilden. Dies gilt nicht für den Interposer (70) und den Gehäuseboden (80), die, wie in Fig. 9 gezeigt, durchaus über die Vergussmassen (44, 64) hinausragen können.

2. Die mit den Ansprüchen beanspruchten Gegenstände sind in den ursprünglichen Anmeldeunterlagen offenbart, so dass die Ansprüche zulässig sind (§ 38 PatG).

2.1. Wie bereits ausgeführt sind die Merkmale des Gegenstands des Anspruchs 1 alle aus den Fig. 9 und 10 der ursprünglichen Anmeldung mit der zugehörigen Beschreibung, die auch ein Herstellungsverfahren für sie betrifft, ersichtlich. Diese beiden Ausführungsbeispiele weisen jedoch noch weitere Merkmale auf, die nicht in

den geltenden Anspruch 1 übernommen wurden. Dies ist dann zulässig, wenn der Fachmann auf der Grundlage der ursprünglich eingereichten Unterlagen erkennen konnte, dass auch die den beanspruchten Gegenstand charakterisierenden Merkmale ohne diese weiteren Merkmale eine technische Lehre darstellen, die in den ursprünglichen Unterlagen enthalten ist und auf die ein Anspruch gerichtet werden könnte (siehe Schulte/Moufang, Patentgesetz mit EPÜ, 11. Auflage, § 38, Rdn. 19; BGH, X ZR 119/09, Urteil vom 25. November 2014, „Schleifprodukt“; BGH, X ZR 12/10, Urteil vom 30. August 2011, „Antriebseinheit für Trommelwaschmaschine“, Rdn. 29, 30). Dies ist hier der Fall.

Als für die vorliegende Anmeldung zuständiger Fachmann ist hier ein berufserfahrener Physiker oder ein Ingenieur der Fachrichtung Elektrotechnik mit Hochschul- oder Fachhochschulabschluss zu definieren, der über langjährige Erfahrung in der Entwicklung und Verbesserung von CPU-Packages verfügt.

So beansprucht der ursprüngliche Anspruch 1 ein Package, das bei gleichem grundlegenden Aufbau nur einen IVR-Chip und einen Kernchip aufweist, was nicht ausschließt, dass das Package weitere Kernchips oder auch andere Chips enthält. Der Fachmann konnte somit auf Grund der Figuren 9 und 10 und auch der ursprünglichen Ansprüche 4 und 5 erkennen, dass auch ein Package, das einen weiteren Kernchip und einen Eingabe-/Ausgabe-Chip und weitere Spannungsregler enthält, die in den grundlegenden Aufbau integriert sind, von den Anmeldeunterlagen mit umfasst ist. Damit ist Anspruch 1 zulässig.

2.2. Die Unteransprüche 2 bis 10 gehen aus den ursprünglichen Ansprüchen 2, 2, 15, 3, 7, 6, 8, 9 und 10 hervor. Ihre Merkmale sind demnach ebenfalls ursprünglich offenbart und zudem in den Fig. 9 und 10 auch explizit ersichtlich oder zumindest in Zusammenhang mit diesen Figuren beschrieben. Die mit diesen Ansprüchen beanspruchten Gegenstände sind somit ebenfalls ursprünglich offenbart und damit die Ansprüche 2 bis 10 auch zulässig.

3. Die Lehren der Ansprüche sind für den Fachmann auch ausführbar (§ 34 Abs. 4 PatG), da bereits ihr Wortlaut mit den Zeichnungen ausreichend ist, um dem Fachmann eine nacharbeitbare Lehre anzugeben. Zudem werden in den Figuren 9 und 10 zwei Ausführungsbeispiele gezeigt, die in der Beschreibung näher beschrieben werden.

4. Der gewerblich anwendbare (§ 5 PatG) Gegenstand des geltenden Anspruchs 1 ist gegenüber dem ermittelten Stand der Technik neu (§ 3 PatG) und beruht diesem gegenüber auf einer erfinderischen Tätigkeit (§ 4 PatG) des Fachmanns, so dass er patentfähig ist (§ 1 Abs. 1 PatG).

4.1. Druckschrift D3 zeigt in ihrer hier wiedergegebenen Fig. 8 ein Package, dessen Herstellung mit Fig. 7 beschrieben wird und das koplanare Seitenflächen der einzelnen Schichten aufweist. Das Package besteht von unten nach oben aus:

- einem Gehäusesubstrat (*interconnect structure 260*, vgl. Sp. 13, Z. 36 bis 50: „A build-up interconnect structure 260 is formed over active surface 214 of TSV semiconductor die 212 opposite semiconductor die 124. The build-up interconnect structure 260 includes an electrically conductive layer or RDL 262 formed using a patterning and metal deposition process such as sputtering, electrolytic plating, and electroless plating. Conductive layer 262 can be one or more layers of Al, Cu, Sn, Ni, Au, Ag, or other suitable electrically conductive material. Conductive layer 262 includes horizontal and vertical portions for electrical interconnect. One portion of conductive layer 262 is electrically connected to conductive vias 218. Other portions of conductive layer 262 can be electrically common or electrically isolated depending on the design and function of semiconductor die 124 and 212.“),

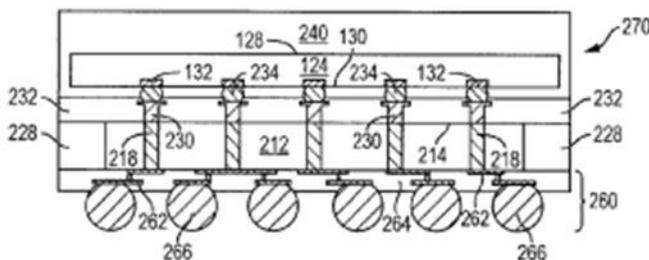


FIG. 8

- einem ersten Chip (TSV semiconductor die 212), der sich in einem ersten Verkapselungsmaterial

(*molding compound 228*) befindet (vgl. Sp. 13, Z. 34 bis 36: „*FIG. 7p shows semiconductor die 124 and TSV semiconductor die 212 surrounded by encapsulant 240 or MUF material 242 after the grinding operation.*“) und Metallsäulen (TSV = *through silicon via 218*) aufweist, deren Oberseiten koplanar zur Oberseite des ersten Verkapselungsmaterials (228) sind (siehe Fig. 8),

- einer Umverdrahtungsstruktur, bestehend aus einer Vielzahl von Umverteilungsleitungen (*conductive layer 230*) und einer isolierenden Schicht (*insulating or passivation layer 232*, vgl. Sp. 12, Z. 21 bis 34: „*In FIG. 7i, an electrically conductive layer 230 is formed over surface 227 of TSV semiconductor die 212 using PVD, CVD, electrolytic plating, electroless plating process, or other suitable metal deposition process. Conductive layer 230 can be one or more layers of Al, Cu, Sn, Ni, Au, Ag, or other suitable electrically conductive material. Conductive layer 230 operates as contact pads or UBM layer for electrical interconnect. Conductive layer 230 also includes redistribution layers and z-direction conductive vias for routing electrical signals horizontally and vertically. One portion of conductive layer 230 is electrically connected to conductive vias 218. Other portions of conductive layer 230 can be electrically common or electrically isolated depending on the design and function of semiconductor die 124 and 212.*“) und
- einem zweiten Chip (*semiconductor die 124*), der sich in einem zweiten Verkapselungsmaterial (*encapsulant 240*) befindet (vgl. Sp. 13, Z. 3 bis 8: „*In FIG. 7l, an encapsulant or molding compound 240 is deposited at the reconstituted wafer level over and around semiconductor die 124 and TSV semiconductor die 212 using a paste printing, compressive molding, transfer molding, liquid encapsulant molding, vacuum lamination, spin coating, or other suitable applicator.*“).

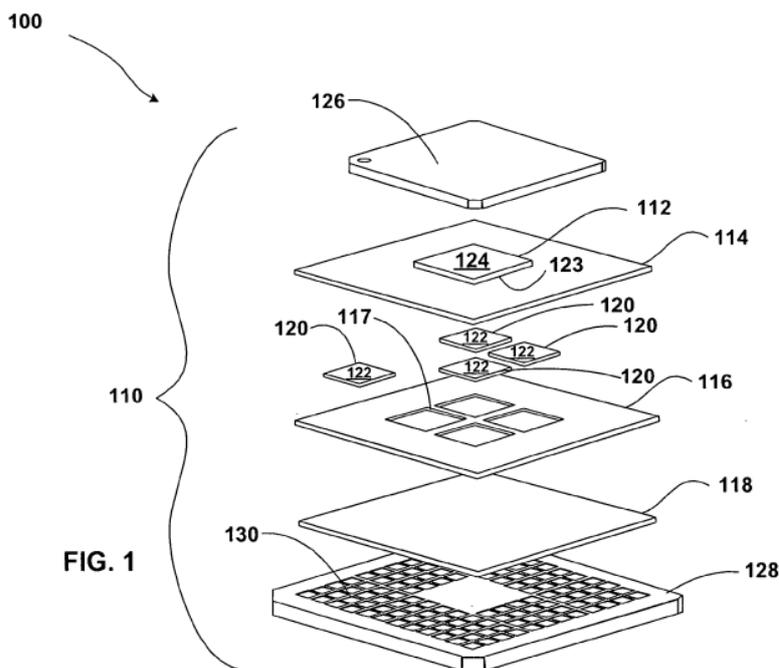
Druckschrift D3 zeigt in den Figuren 8 und 9 nur jeweils einen unteren Chip (212) und einen oberen Chip (124), doch können gemäß der Beschreibung an Stelle des jeweils einen Chips auch mehrere gesetzt sein (vgl. Sp. 2, Z. 5 bis 8: „*The term “semiconductor die” as used herein refers to both the singular and plural form of the words, and accordingly, can refer to both a single semiconductor device and multiple*

semiconductor devices.”), so dass auch eine Ausführungsform mit mehreren unteren Chips (212) im ersten Verkapselungsmaterial (228) und mehreren oberen Chips (124) im zweiten Verkapselungsmaterial (240) offenbart ist.

Wie aus den Figuren 8 und 10 der Druckschrift D3 ersichtlich ist, überlappt dort jeweils der obere Chip (124) den unteren Chip (212) vollständig.

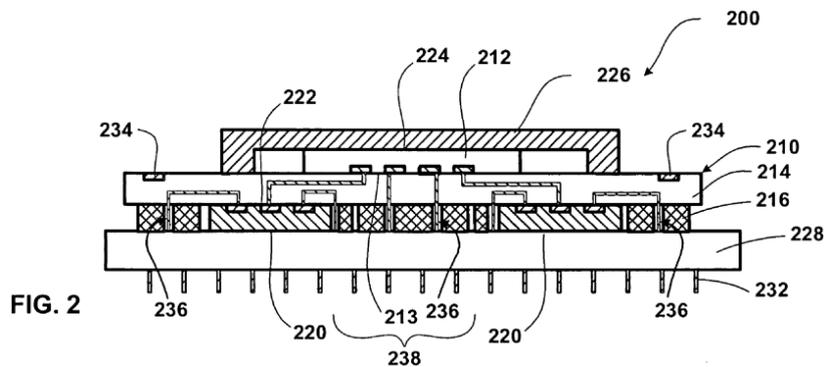
Druckschrift D3 gibt nicht an, dass die Chips (212, 124) des Packages eine bestimmte Funktion haben müssen. Sie gibt beispielhaft an, dass es sich bei dem unteren Chip um einen digitalen Signalprozessor, ein ASIC einen Speicher oder einen anderen signalverarbeitenden Schaltkreis handeln kann (*vgl. Sp. 11, Z. 31 bis 42: „Each semiconductor die 212 has a back surface 215 and active surface 214 containing analog or digital circuits implemented as active devices, passive devices, conductive layers, and dielectric layers formed within the die and electrically interconnected according to the electrical design and function of the die. For example, the circuit may include one or more transistors, diodes, and other circuit elements formed within active surface 214 to implement analog circuits or digital circuits, such as DSP, ASIC, memory, or other signal processing circuit. Semiconductor die 212 may also contain IPDs, such as inductors, capacitors, and resistors, for RF signal processing.*“). Dieselbe Angabe wird auch für den oberen Chip (124) gemacht (*vgl. Sp. 7, Z. 2 bis 11: „Each semiconductor die 124 has a back surface 128 and active surface 130 containing analog or digital circuits implemented as active devices, passive devices, conductive layers, and dielectric layers formed within the die and electrically interconnected according to the electrical design and function of the die. For example, the circuit may include one or more transistors, diodes, and other circuit elements formed within active surface 130 to implement analog circuits or digital circuits, such as digital signal processor (DSP), ASIC, memory, or other signal processing circuit.*”).

Ein bestimmtes Beispiel für die Funktion der Chips wird dem Fachmann durch die Druckschrift D7 nahegelegt. Diese offenbart ein Package, das IVR-Chips, also Spannungsreglerchips (*voltage regulator chips 120*), gemeinsam mit einem als Mikroprozessor ausgeführten Mikrochip (*microelectronic device 112*, vgl. Abs. [0026]: „*In an embodiment, the microelectronic device 112 is a processor manufactured by Intel Corporation of Santa Clara, California.*“) enthält und so wie in den hier abgebildeten Fig. 1 und 2 aufgebaut ist. Die Spannungsreglerchips befinden sich auf einem Gehäusesubstrat (*pin socket 228*) oder einem Interposer (*second bumpless, build-up layer BBUL 118*) und sind in ein Verkapselungsmaterial (*core 116 bzw. 216*) eingebettet. Darüber befindet sich eine Vielzahl von Umverdrahtungsleitungen, die sich in einer Umverdrahtungslage (*first BBUL 114 bzw. 214*) befinden. Darauf ist der Kernchip (*microelectronic device 112 bzw. 212*) angebracht, der die Spannungsreglerchips (*120 bzw. 220*) überlappt (vgl. z.B. Abs. [0035]: „*FIG. 2 also illustrates a mounting substrate such as a pin socket 228 as part of the package 210. The pin socket 228 depicts a plurality of pins, one of which is designated with the reference numeral 232. In an embodiment, the pin 232 represents a pin-out capability for the*



voltage regulator on a chip 220 at a location that is below the first BBUL 214. Similarly if the microelectronic device 212 is present, the pin 232 represents a pin-out capability for the microelectronic device 212 at a location that is below the first BBUL 214"). Das Package weist somit einen Aufbau auf, der dem aus Druckschrift D3 sehr ähnlich ist, abgesehen davon, dass der Kernchip sich in keinem Verkapselungsmaterial befindet. Es liegt für den Fachmann somit nahe, in Druckschrift D3 den oder die unteren Chips als Spannungsreglerchips auszuführen und den oder die oberen Chips als Kernchips.

Jedoch enthalten weder Druckschrift D3 noch Druckschrift D7 einen Hinweis auf einen Eingabe-/Ausgabechip der gemeinsam mit den Kernchips und den Spannungsreglerchips im Package enthalten ist, so dass sie das mit Anspruch 1 beanspruchte Package nicht nahelegen können. Auch die anderen ermittelten Druckschriften enthalten keinen Hinweis auf diese Zusammenstellung



der Chips, so dass das beanspruchte Package als auf einer erfinderischen Tätigkeit beruhend gilt (§ 4 PatG). Es ist demnach patentfähig (§ 1 Abs. 1 PatG).

5. An den Patentanspruch 1 können sich die Unteransprüche 2 bis 10 anschließen, da sie vorteilhafte Weiterbildungen des beanspruchten Packages, welche nicht platt selbstverständlich sind, darstellen.

6. In der in der mündlichen Verhandlung am 8. März 2022 angepassten Beschreibung ist der Stand der Technik, von dem die Erfindung ausgeht, angegeben und die Erfindung anhand der am 1. März 2016 im Deutschen Patent- und Markenamt eingegangenen Zeichnung ausreichend erläutert.

7. Bei dieser Sachlage war der angefochtene Beschluss aufzuheben und das Patent wie beantragt zu erteilen.

III. Rechtsmittelbelehrung

Gegen diesen Beschluss steht der Anmelderin das Rechtsmittel der **Rechtsbeschwerde** zu. Da der Senat die Rechtsbeschwerde nicht zugelassen hat, ist sie nur statthaft, wenn einer der nachfolgenden Verfahrensmängel gerügt wird, nämlich

1. dass das beschließende Gericht nicht vorschriftsmäßig besetzt war,
2. dass bei dem Beschluss ein Richter mitgewirkt hat, der von der Ausübung des Richteramtes kraft Gesetzes ausgeschlossen oder wegen Besorgnis der Befangenheit mit Erfolg abgelehnt war,
3. dass einem Beteiligten das rechtliche Gehör versagt war,
4. dass ein Beteiligter im Verfahren nicht nach Vorschrift des Gesetzes vertreten war, sofern er nicht der Führung des Verfahrens ausdrücklich oder stillschweigend zugestimmt hat,
5. dass der Beschluss aufgrund einer mündlichen Verhandlung ergangen ist, bei der die Vorschriften über die Öffentlichkeit des Verfahrens verletzt worden sind, oder
6. dass der Beschluss nicht mit Gründen versehen ist.

Die Rechtsbeschwerde ist **innerhalb eines Monats** nach Zustellung des Beschlusses

schriftlich durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten beim Bundesgerichtshof, Herrenstr. 45 a, 76133 Karlsruhe, einzureichen oder

durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten in elektronischer Form. Zur Entgegennahme elektronischer Dokumente ist die elektronische Poststelle des Bundesgerichtshofs bestimmt. Die elektronische Poststelle des Bundesgerichtshofs ist über die auf der Internetseite **www.bundesgerichtshof.de/erv.html** bezeichneten Kommunikationswege erreichbar. Die Einreichung erfolgt durch die Übertragung des elektronischen Dokuments in die elektro-

nische Poststelle. Elektronische Dokumente sind mit einer qualifizierten elektronischen Signatur oder mit einer fortgeschrittenen elektronischen Signatur zu versehen.

Dr. Strößner

Dr. Friedrich

Dr. Zebisch

Dr. von Hartz