

BUNDESPATENTGERICHT

IM NAMEN DES VOLKES

URTEIL

Verkündet am
25. Mai 2000

2 Ni 26/98 (EU)

(Aktenzeichen)

...

In der Patentnichtigkeitssache

...

betreffend das europäische Patent 0 527 866

(DE 591 01 394)

hat der 2. Senat (Nichtigkeitssenat) des Bundespatentgerichts auf Grund der mündlichen Verhandlung vom 25. Mai 2000 unter Mitwirkung des Richters Baumgärtner als Vorsitzender, der Richter Dipl.-Ing. Bertl und Dipl.-Ing. Prasch, der Richterin Püschel sowie des Richters Dipl.-Ing. Schuster

für Recht erkannt:

1. Das europäische Patent 0 527 866 wird mit Wirkung für das Hoheitsgebiet der Bundesrepublik Deutschland im Umfang des Patentanspruchs 1 für nichtig erklärt.
2. Die Beklagte trägt die Kosten des Rechtsstreits.
3. Das Urteil ist hinsichtlich der Kosten für die Klägerin gegen Sicherheitsleistung in Höhe von 40.000,- DM vorläufig vollstreckbar.

Tatbestand:

Die Beklagte ist eingetragene Inhaberin des am 8. Mai 1991 unter Inanspruchnahme der Priorität der europäischen Patentanmeldung 90108836 vom 10. Mai 1990 angemeldeten, mit Wirkung auch für die Bundesrepublik Deutschland erteilten europäischen Patents 0 527 866 (Streitpatent). Es betrifft einen integrierten Halbleiterspeicher mit Paralleltestmöglichkeit und Redundanzverfahren. Das Streitpatent, das vom Deutschen Patent- und Markenamt unter der Nummer 591 01 394 geführt wird, umfaßt 80 Patentansprüche, von denen der mit der Nichtigkeitsklage allein angegriffene Patentanspruch 1 in der Verfahrenssprache Deutsch folgenden Wortlaut hat:

"1. Integrierter Halbleiterspeicher mit Paralleltesteinrichtung (PT) und U Blockgruppen ($GP_{u=1...U}$), bei dem in einer Testbetriebsart mehrere Gruppen von M Speicherzellen (MC) gleichzeitig auf Funktion testbar sind, wobei jede Gruppe entlang einer jeweiligen Wortleitung (WL) innerhalb einer jeweiligen der U Blockgruppen (GP_u) angeordnet ist, und

bei dem die dabei ausgelesenen Daten durch die Paralleltesteinrichtung (PT) auswertbar sind,

gekennzeichnet durch

folgende Merkmale:

- die Paralleltesteinrichtung (PT) dient einem Einschreiben und einem Auswerten von in den Halbleiterspeicher einzuschreibenden und aus diesem auszulesenden Daten,
- das Ergebnis der Auswertung liegt, für jede Gruppe von M Speicherzellen (MC) getrennt, an I/O-Datenleitungen (IO1, IO2, IO3) des Halbleiterspeichers an."

Mit ihrer Teilnichtigkeitsklage macht die Klägerin geltend, der Gegenstand des Patentanspruchs 1 sei nicht patentfähig, da er nicht neu sei, sich aber jedenfalls für den Fachmann in naheliegender Weise aus dem Stand der Technik ergebe. Sie beruft sich hierzu auf folgende vorveröffentlichte Druckschriften:

1. Data Book der Firma Toshiba Corporation "MOS Memory Products", 1989, S. 313 bis 331 (Anlage D1);
2. Pinaki Mazumder "Parallel Testing of Parametric Faults in a Three-Dimensional Dynamic Random-Access Memory" in IEEE Journal of Solid-State Circuits, Vol. 23, Nr.4, August 1988, S. 933 bis 941 (Anlage D2);
3. deutsche Patentschrift 40 11 987 (Anlage D3);

4. Pinaki Mazumder "Parallel Testing for Pattern-Sensitive Faults in Semiconductor Random-Access Memories" in IEEE Transactions on Computers, Vol. 38, Nr.3, März 1989, S. 394 bis 407 (Anlage D4);
5. Masayoshi Nakane u.a. "4 M-Bit DRAMS ..." in IEE, Journal of Electronic Engineering, Vol. 26, Nr.265, Januar 1989, S. 32 bis 34 (Anlage D5);
6. G. Finney "DRAM DA 4 MBIT AD ALTA VELOCITA' " in ELETTRONICA OGGI, Nr.90, 15. November 1989, S. 107 bis 114 und englische Übersetzung (Anlagen D6 und D7).

Sie macht des weiteren geltend, vor dem Prioritätstag des Streitpatents sei ein Speicherchip 1Mx4 DRAM der T... Corporation mit der Bezeichnung "TC514400Z-80" frei erhältlich gewesen, dessen schaltungstechnische Zusammenhänge vor dem Prioritätstag des Streitpatents analysierbar gewesen seien und der die Lehre des Anspruchs 1 des Streitpatents vorwegnehme. Zum Nachweis der Erhältlichkeit des Speicherchips beruft sie sich auf die schon aufgeführten Anlagen D1, D5 bis D7 und reicht außerdem 5 Rechnungskopien ein. Für die Analysierbarkeit des Speicherchips sowie für die Darstellung seiner Schaltungen reicht sie folgende Druckschriften ein:

7. Design Analysis Reports der Firma Semiconductor Insights Inc., Kanada (Anlage D8);
8. Design Analysis Report der Firma Chipworks, Kanada (Anlage D9) bezüglich des Speicherbausteins TC514400Z-80 der Firma Toshiba/Japan (1Mx4 DRAM).

Sie stellt ihre Behauptung, die in Anlage D9 dargestellten Schaltungen stammten von dem Speicherchip TC514400Z-80, unter Zeugenbeweis.

Die Klägerin beantragt,

das europäische Patent 0 527 866 im Umfang des Patentanspruchs 1 mit Wirkung für das Hoheitsgebiet der Bundesrepublik Deutschland für nichtig zu erklären.

Die Beklagte beantragt,

die Klage abzuweisen,
hilfsweise verteidigt sie den Patentanspruch 1 mit der Maßgabe, daß im Patentanspruch 1 vor dem Wort "und" auf Seite 19, Zeile 45 der Europäischen Patentschrift die Passage eingefügt wird: "wobei entlang einer Wortleitung (WL) N Speicherzellen (MC) angeordnet sind und wobei $M < N$ ist,".

Sie tritt dem Vorbringen der Klägerin in allen Punkten entgegen und hält das Streitpatent im angegriffenen Umfang für patentfähig, jedenfalls soweit es eingeschränkt verteidigt werde.

In der mündlichen Verhandlung ist anstelle der Druckschrift D3 die dazugehörige Offenlegungsschrift DE 40 11 987 A1 in das Verfahren eingeführt worden.

Entscheidungsgründe:

Die Klage, mit der der in Art. II § 6 Absatz 1 Nr.1 IntPatÜG, Art. 138 Abs. 1 lit a EPÜ iVm Art. 54 Absatz 1, 2 und Art. 56 EPÜ vorgesehene Nichtigkeitsgrund der mangelnden Patentfähigkeit geltend gemacht wird, ist in vollem Umfang begründet.

I.

1. Gegenstand des angegriffenen Patentanspruchs 1 des Streitpatents ist ein integrierter Halbleiterspeicher mit einer Paralleltesteinrichtung, der in mehrere Blockgruppen eingeteilt ist.

Beim Testen eines herkömmlichen Speichers nach dem in der Beschreibungseinleitung des Streitpatents genannten Stand der Technik wird jeweils eine Speicherzelle einer Blockgruppe zusammen mit je einer Speicherzelle aus jeder der restlichen Blockgruppen gleichzeitig gemeinsam auf ihre Funktion geprüft. Wenn eine (oder mehrere) der gemeinsam geprüften Speicherzellen fehlerhaft sind, so erkennt man aufgrund der an den Halbleiterspeicher angelegten Adressierungsdaten zwar die Position der geprüften Speicherzellen innerhalb der Blockgruppen, ohne jedoch zu wissen, ob nur eine einzige oder mehrere der gleichzeitig getesteten Speicherzellen defekt sind, d.h. man weiß auch nicht, ob eine Blockgruppe oder ob mehrere Blockgruppen defekte Speicherzellen enthalten. Ebenso wenig kann man die betroffene(n), fehlerhafte(n) Blockgruppe(n) identifizieren. Will man die defekte(n) Speicherzelle(n) und/oder deren Blockgruppe(n) identifizieren, ist man gezwungen, den Halbleiterspeicher nochmals zu testen und ihn dabei konventionell zu betreiben. Dies bedeutet aber keine Benutzung der Paralleltestmöglichkeit und somit auch kein Ausnützen der im Stand der Technik angegebenen Testzeitreduktion gegenüber dem Testen ohne Paralleltestmöglichkeit. Ein weiterer Nachteil ist es, daß ein Fehler, der in allen getesteten Speicherzellen gleichzeitig auftritt, nicht erkennbar ist.

Vor diesem Hintergrund will das Streitpatent einen solchen Speicher so weiterbilden, daß er folgende Vorgaben erfüllt:

- Auftretende Fehler an gleichzeitig getesteten Speicherzellen sollen unabhängig von der Anzahl der Defekte erkennbar sein,

- die Position defekter Speicherzellen soll in einem einzigen Prüfdurchlauf ermittelbar sein,
- der notwendige Platz- und Schaltelementaufwand für die Paralleltesteinrichtung soll möglichst gering sein.

Zur Lösung dieses technischen Problems schlägt das Streitpatent in seinem Anspruch 1 einen integrierten Halbleiterspeicher vor, der folgende Einzelmerkmale und Merkmalsgruppen aufweist:

- 1.) eine Paralleltesteinrichtung (PT)
- 2.) und U Blockgruppen ($GP_{u=1...U}$),
- 3.) bei dem in einer Testbetriebsart mehrere Gruppen von M Speicherzellen (MC) gleichzeitig auf Funktion testbar sind,
- 4.) wobei jede Gruppe entlang einer jeweiligen Wortleitung (WL) innerhalb einer jeweiligen der U Blockgruppen (GP_u) angeordnet ist,
- 5.) und bei dem die dabei ausgelesenen Daten durch die Paralleltesteinrichtung (PT) auswertbar sind,
- 6.) die Paralleltesteinrichtung (PT) dient einem Einschreiben und einem Auswerten von in den Halbleiterspeicher einzuschreibenden und aus diesem auszulesenden Daten,
- 7.) das Ergebnis der Auswertung liegt, für jede Gruppe von M Speicherzellen (MC) getrennt, an I/O-Datenleitungen (IO1, IO2, IO3) des Halbleiterspeichers an.

Ein Halbleiterspeicher mit Speicherzellen MC und mit einer Testeinrichtung PT nach Figur 1 des Streitpatents enthält U Blockgruppen $GP_{1...U}$, allgemein GP_u . Zur Durchführung eines Paralleltests (= Testbetriebsart), d.h. eines Tests, bei dem viele Speicherzeilen MC gleichzeitig (= innerhalb eines Speicherzyklus)

getestet werden, die in einer Normalbetriebsart, wie ihn Anwender des Halbleiterspeichers durchführen, nicht gleichzeitig beschreibbar und/oder lesbar sind, ist die Paralleltesteinrichtung PT vorgesehen. Sie dient sowohl einem Einschreiben von in den Halbleiterspeicher einzuschreibenden Daten als auch einem Auslesen der in den Halbleiterspeicher eingeschriebenen Daten aus diesem, und zwar sowohl in der Normalbetriebsart wie auch in der Testbetriebsart. In der Testbetriebsart sind, mittels der Paralleltesteinrichtung PT, mehrere Gruppen von jeweils M Speicherzellen MC gleichzeitig auf Funktion testbar. Jede Gruppe von M Speicherzellen MC ist entlang einer jeweiligen Wortleitung WL angeordnet. Alle innerhalb eines Speicherzyklus ausgelesenen Daten sind in der Paralleltesteinrichtung PT auswertbar; das Ergebnis der Auswertung liegt dann, für jede Gruppe von Speicherzellen MC getrennt, an I/O-Datenleitungen an.

2. Der Gegenstand des Patentanspruchs 1 des Streitpatents in der erteilten Fassung ist nicht neu, wobei der Untersuchung der Neuheit des Gegenstandes des Patentanspruchs 1 gegenüber der von der Klägerin genannten älteren Anmeldung (im allgemeinen Einverständnis) die der DE 40 11 987 C2 zugehörige DE 40 11 987 A1 zugrunde zu legen ist.

Die ältere Anmeldung betrifft, wie sich insbesondere aus Spalte 9, Zeile 58 bis Spalte 10, Zeile 22 mit Figuren 1, 3, 11, 20 ergibt, einen integrierten Halbleiterspeicher mit Paralleltesteinrichtung (16, 17, ML1 ... 4) entsprechend Merkmal 1 des Patentanspruchs 1 des Streitpatents. Die Speicherzellen sind in 4 Blockgruppen unterteilt (B1 ... 4) *{Merkmal 2}*. In einer Testbetriebsart sind mehrere Gruppen von Speicherzellen (MC) gleichzeitig auf Funktion testbar (vgl. insb. Patentanspruch 1) *{Merkmal 3}*, wobei jede Gruppe entlang einer jeweiligen Wortleitung (WL) innerhalb einer jeweiligen der Blockgruppen angeordnet ist (vgl. insb. Spalte 8, Zeilen 26 bis 31) *{Merkmal 4}*. Die dabei ausgelesenen Daten sind durch die Paralleltesteinrichtung auswertbar (vgl. insb. Patentanspruch 1, Spalte 16, Zeilen 36 bis 40) *{Merkmal 5}*.

Die Paralleltesteinrichtung (PT) nach der älteren Anmeldung dient einem Einschreiben und einem Auswerten von in den Halbleiterspeicher einzuschreibenden und aus diesem auszulesenden Daten (vgl. insb. Figuren 20 bis 22 und Spalte 7, Zeile 20 bis Spalte 8, Zeile 66) {*Merkmal 6*}. Das Ergebnis der Auswertung liegt, für jede Gruppe von Speicherzellen (MC) getrennt, an I/O-Datenleitungen (31 bis 34) des Halbleiterspeichers an (vgl. insb. Figur 3 und Spalte 10, Zeile 45 bis Spalte 11, Zeile 22) {*Merkmal 7*}.

Die Beklagte wendet zwar ein, daß nach dem Ausführungsbeispiel gemäß Figur 2 der Ausgang des Errordetektors (das Ergebnis der Auswertung) nicht auf die I/O-Datenleitungen geführt sind, dies ist jedoch ohne Belang, da Figur 3 eine Variante betrifft, die neben den Merkmalen 1 bis 6 auch Merkmal 7 aufweist, da die Testergebnisse über die jeweilige Übereinstimmungsleitung (ML1 bis ML4) getrennt an die Ein/Ausgabeanschlüsse (31 bis 34) angelegt werden (vgl. insb. Spalte 9, Zeile 66 bis Spalte 10, Zeile 8).

Die ältere Anmeldung weist demnach alle Merkmale des integrierten Halbleiterspeichers des Patentanspruchs 1 des Streitpatents auf, dem somit die Neuheit fehlt, und der deshalb keinen Bestand haben kann.

3. Der Gegenstand des Patentanspruchs 1 des Streitpatents in der verteidigten Fassung gemäß Hilfsantrag der Beklagten ist zwar neu, beruht jedoch nicht auf erfinderischer Tätigkeit.

a. Der Gegenstand des von der Beklagten gemäß Hilfsantrag vorgelegten Patentanspruchs 1 unterscheidet sich in seinem Oberbegriff von dem Anspruch 1 nach Hauptantrag dadurch, daß nach Merkmal 4 - entsprechend der Merkmalsanalyse von Patentanspruch 1 des Streitpatents - zusätzlich eingefügt wird (= Merkmal 4.a): "wobei entlang einer Wortleitung (WL) N Speicherzellen (MC) angeordnet sind und wobei $M < N$ ist". Dies ist der Sache nach keine Klarstellung, sondern eine Beschränkung, da nach dem Hauptantrag die Gruppe auch alle

Speicherzellen entlang einer Wortleitung umfassen kann, was durch die Formulierung nach Hilfsantrag ausgeschlossen ist.

Das eingefügte Merkmal ist sowohl in den ursprünglichen Unterlagen als auch in der Streitpatentschrift offenbart. Im Patentanspruch 1 des Streitpatents heißt es: "bei dem in einer Testbetriebsart mehrere Gruppen von M Speicherzellen (MC) gleichzeitig auf Funktion testbar sind". Dies kann sowohl heißen, daß alle Speicherzellen an einer Wortleitung oder nur eine Teilgruppe gleichzeitig getestet werden. Dem Ausführungsbeispiel nach Figur 3 entnimmt der Fachmann, daß an einer Wortleitung mehrere Gruppen von M Speicherzellen angeordnet sind, die jeweils über einen Bitschalter (BSW) ausgewählt werden. Die Änderung erweitert auch nicht den Schutzbereich des erteilten Patents, da die zunächst weiter gefaßte Lehre auf eine engere Lehre eingeschränkt worden und dieses Merkmal auch in der Beschreibung als zu der beanspruchten Erfindung gehörend zu erkennen ist (vgl. BGH BIPMZ 1991, 188 - Bodenwalze).

b. Durch dieses zusätzlich aufgenommene Merkmal ist der Gegenstand des Patentanspruchs 1 des Streitpatents nicht mehr neuheitsschädlich vorweggenommen.

Die Klägerin vertritt zwar die Auffassung, daß der Fachmann dem Patentanspruch 1 der DE 40 11 987 A1 entnehme, es könne auch nur ein Teil der an einer Wortleitung angeordneten Speicherzellen gleichzeitig getestet werden. Der im dortigen Patentanspruch gewählten Formulierung "eine Mehrzahl von Speicherzellen" läßt sich jedoch nicht zweifelsfrei entnehmen, was damit gemeint ist. So wird der Fachmann zur weiteren Information die Beschreibung zu Rate ziehen. Hier findet er keinen Hinweis, nur Gruppen von Speicherzellen einer Wortleitung gleichzeitig zu testen, sondern nur den, alle an einer Wortleitung angeordneten Speicherzellen gleichzeitig zu testen (vgl. z.B. Spalte 7, Zeilen 58 bis 64 und Spalte 8, Zeilen 26 bis 38).

c. Der integrierte Halbleiterspeicher nach Anspruch 1 gemäß Hilfsantrag ergibt sich für den Fachmann jedoch in naheliegender Weise aus dem Aufsatz von Pinaki Mazumder "Parallel Testing of Parametric Faults in a Three-Dimensional Dynamic Random-Access Memory" in IEEE Journal of Solid-State Circuits, Vol. 23, Nr.4, August 1988, S. 933 bis 941.

Diese Textstelle setzt sich mit dem parallelen Testen von Speicherzellen in einem dynamischen RAM auseinander, sie betrifft also einen integrierten Halbleiterspeicher mit Paralleltesteinrichtung *{Merkmal 1}*. Dieser Halbleiterspeicher weist eine Mehrzahl von Blockgruppen (p Subarrays) auf *{Merkmal 2}*. In einer Testbetriebsart (vgl. insb. Seite 935, linke Spalte: "test mode") sind mehrere Gruppen von M Speicherzellen gleichzeitig auf Funktion testbar (vgl. insb. Figur 1). Die Ersparnis bei der Testzeit ist durch den Ausdruck \sqrt{pn} bestimmt. Dabei bedeutet p die Anzahl der Subarrays. Die Tatsache, daß die Anzahl der Subarrays in die Verminderung der Testzeit eingeht (vgl. insb. Seite 934, linke Spalte, Zeilen 11 bis 13) gibt dem Fachmann den Hinweis, daß der Test gleichzeitig in den Subarrays durchgeführt wird *{Merkmal 3}*. In einer der beschriebenen Testarten ist jede Gruppe entlang einer jeweiligen Wortleitung innerhalb einer jeweiligen der Blockgruppen angeordnet (vgl. insb. Figur 1c und Seite 934, rechte Spalte, letzter Absatz, Zeilen 1 und 2) *{Merkmal 4}*. Das DRAM ist im Testbetrieb so organisiert, daß die zu testenden M Speicherzellen (group j) entlang einer Wortleitung N (in dieser Druckschrift b) angeordnet sind und wobei $M < N$, bzw. $j < b$ ist (vgl. insb. Abstract und Seite 934, rechte Spalte, Abschnitt II, Zeilen 1 bis 15) *{Merkmal 4a}*. Die beim Test ausgelesenen Daten sind durch die Paralleltesteinrichtung auswertbar (vgl. insb. Seite 934, linke Spalte, vierte Zeile von unten - 0/1 detector) *{Merkmal 5}*.

Die Paralleltesteinrichtung (PT) dient einem Einschreiben und einem Auswerten von in den Halbleiterspeicher einzuschreibenden und aus diesem auszulesenden Daten (vgl. z.B. Seite 934, linke Spalte, Zeilen 1 bis 5). In jedem Subarray ist ein Detektor, d.h. eine Testeinrichtung vorhanden (vgl. insb. Seite 934, linke Spalte,

letzte 4 Zeilen), die das Testergebnis für jede Gruppe von Speicherzellen getrennt erzeugt. Der Fachmann muß diese Ergebnisse, um sie auszuwerten, nach außen führen. Eine schnelle Auswertung des Tests bedingt, daß die einzeln erzeugten Ergebnisse so schnell wie möglich zur Verfügung gestellt werden, was bedeutet, sie gleichzeitig, also getrennt auszugeben. Für die Ausgabe bieten sich dem Fachmann jene vorhandenen Anschlüsse an, die gerade nicht benötigt werden, dies sind die I/O-Datenleitungen, so daß es im Rahmen des Wissens und Könnens des Durchschnitts-Fachmanns liegt, das Ergebnis der Auswertung, für jede Gruppe von M Speicherzellen (MC) getrennt, an I/O-Datenleitungen (IO1, IO2, IO3) des Halbleiterspeichers anzulegen {Merkmal 7}.

Der Fachmann gelangt somit zum Gegenstand des beschränkten Patentanspruchs 1 nach Hilfsantrag, ohne erfinderisch tätig zu werden, so daß die Klage insgesamt Erfolg hat.

II.

Als Unterlegene hat die Beklagte die Kosten des Rechtsstreits gemäß § 84 Abs 2 PatG iVm § 91 Abs 1 Satz 1 ZPO zu tragen. Die Entscheidung über die vorläufige Vollstreckbarkeit beruht auf §§ 99 Abs 1 PatG, 709 ZPO.

Baumgärtner

Bertl

Prasch

Püschel

Schuster

Fa