

BUNDESPATENTGERICHT

23 W (pat) 39/99

(Aktenzeichen)

Verkündet am
20. März 2001

...

BESCHLUSS

In der Beschwerdesache

...

betreffend die Patentanmeldung 195 29 689.3-33

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 20. März 2001 unter Mitwirkung des Vorsitzenden Richters Dr. Beyer, des Richters Dr. Gottschalk, der Richterin Tronser sowie des Richters Dipl.-Phys. Lokys

beschlossen:

Die Beschwerde der Anmelderin gegen den Beschluß des Deutschen Patent- und Markenamts - Prüfungsstelle für Klasse H 01 L – vom 22. April 1999 wird zurückgewiesen.

Gründe

I.

Die Prüfungsstelle für Klasse H 01 L des Deutschen Patent- und Markenamts hat die am 11. August 1995 mit der Bezeichnung "Halbleitervorrichtung und Herstellungsverfahren derselben" eingereichte Patentanmeldung, für die die Priorität der Anmeldung in Japan vom 7. Februar 1995 (AktENZEICHEN P 7-019213) in Anspruch genommen ist, durch Beschluß vom 22. April 1999 zurückgewiesen.

Zur Begründung ist ausgeführt, daß der Gegenstand des mit Schriftsatz vom 30. April 1997 eingereichten Patentanspruchs 1 gegenüber dem Stand der Technik nach der US-Patentschrift 4 694 321 und der Literaturstelle "IBM Technical Disclosure Bulletin", Bd. 19, Nr. 10, März 1977, Seiten 3942 bis 3946 nicht erfindetrisch sei.

Gegen diesen Beschluß richtet sich die Beschwerde der Anmelderin.

Sie verfolgt ihr Schutzbegehren mit den in der mündlichen Verhandlung überreichten Patentansprüchen 1 bis 8 gemäß Hauptantrag, hilfsweise mit den überreichten Patentansprüchen 1 und 7 gemäß Hilfsantrag 1 sowie höchst hilfsweise mit den überreichten Patentansprüchen 1 bis 7 gemäß Hilfsantrag 2 weiter und vertritt die Auffassung, daß die Gegenstände der neugefaßten nebengeordneten Patentan-

sprüche 1 und 7 gemäß Hauptantrag, zumindest aber diejenigen der nebengeordneten Patentansprüche 1 und 7 gemäß Hilfsantrag 1 bzw. der nebengeordneten Patentansprüche 1, 2, 5 und 6 gemäß Hilfsantrag 2 gegenüber dem nachgewiesenen Stand der Technik patentfähig seien.

Die Anmelderin beantragt,

den Beschluß des Deutschen Patent- und Markenamts - Prüfungsstelle für Klasse H 01 L - vom 22. April 1999 aufzuheben und das Patent 195 29 689 mit folgenden Unterlagen zu erteilen:

Patentansprüche 1 bis 8 in der in der mündlichen Verhandlung als "Hauptantrag" eingereichten Fassung,

hilfsweise Patentansprüche 1 und 7 in der in der mündlichen Verhandlung als "Hilfsantrag 1" überreichten Fassung sowie Patentansprüche 2 bis 6 und 8 nach Hauptantrag,

höchst hilfsweise Patentansprüche 1 bis 7 in der in der mündlichen Verhandlung als "Hilfsantrag 2" überreichten Fassung,

sowie jeweils Beschreibung, Seiten 1 bis 4 und 11 bis 18 in der ursprünglich eingereichten Fassung,

Seiten 5, 7 bis 10 in der am 6. Mai 1997 eingereichten Fassung,

und Zeichnung, Figuren 2, 3 und 5A bis 8D in der ursprünglichen Fassung

und Figuren 1A, 1B, 4A, 4B in der 6. Mai 1997 eingereichten Fassung.

Die geltenden nebengeordneten Patentansprüche 1 und 7 gemäß Hauptantrag lauten:

"1. Halbleitervorrichtung, in der zumindest ein IIL-Transistor gebildet ist, mit:

einer auf einem Halbleitersubstrat (1) vorgesehenen Epitaxieschicht (3);

einem in der Epitaxieschicht (3) vorgesehenen Basisbereich (6);

einer Mehrzahl von in dem Basisbereich (6) gebildeten Kollektorbereichen (9) eines IIL-Transistors, wobei die Kollektorbereiche (9) entlang einer vorbestimmten Richtung, die sich parallel zu der Oberfläche des Halbleitersubstrates (1) erstreckt, angeordnet sind;

einer Mehrzahl von Polysiliziumabdeckungen (11), wobei jeder der Kollektorbereiche (9) durch eine Polysiliziumabdeckung (11) bedeckt ist;

einer auf der Epitaxieschicht (3) gebildeten Isolierschicht (7), die eine Mehrzahl von Kontaktlöchern (8) aufweist, die sich jeweils bis zu einer der Polysiliziumabdeckungen (11) erstrecken;

einer Metallverdrahtung (10) mit einer Mehrzahl von Kontaktbereichen in den Kontaktlöchern (8), wobei jeder der Kontaktbereiche über eine der Polysiliziumabdeckungen (11) mit einem vorbestimmten Kollektorbereich (9) elektrisch verbunden ist, und

die Ausdehnung von jedem der Kontaktlöcher (8) in der vorbestimmten Richtung kleiner ist als die des dazu entsprechenden Kollektorbereiches (9).

7. Herstellungsverfahren einer Halbleitervorrichtung, in der zumindest ein IIL Transistor gebildet ist, mit den Schritten:

Bilden einer n-Typ-Diffusionsschicht (2) in einem Halbleitersubstrat (1);

Bilden einer Epitaxieschicht (3) auf dem Halbleitersubstrat (1) mit der n-Typ-Diffusionsschicht (2) durch einen Abscheidungsprozeß;

Bilden einer p-Typ-Elementtrenndiffusionsschicht (5) in der Epitaxieschicht (3);

Bilden einer p-Typ-Diffusionsschicht (6) in der Epitaxieschicht (3), die als ein Basisbereich des IIL Transistors dient;

Bilden einer Mehrzahl von n-Typ-Diffusionsschichten (9) in der p-Typ-Diffusionsschicht (6), wobei die n-Typ-Diffusionsschichten (9) in einer vorbestimmten Richtung, die parallel zur Oberfläche des Halbleitersubstrates (1) verläuft, angeordnet sind und jeweils einen Kollektorbereich des IIL Transistors bilden;

Bilden einer Mehrzahl von n-Typ-Polysiliziumabdeckungen (11) derart, daß jede Polysiliziumabdeckung (11) eine vorbestimmte der n-Typ-Diffusionsschichten (9) bedeckt und mit der n-Typ-Diffusionsschicht (9) elektrisch verbunden ist;

Bilden einer Isolierschicht (7) auf der Epitaxieschicht (3);

Bilden einer Mehrzahl von Kontaktlöchern (8) derart, daß sich die Kontaktlöcher (8) jeweils bis zu einer der Polysiliziumabdeckungen (11) erstrecken und die Ausdehnung jedes Kontaktloches (8) in der vorbestimmten Richtung kleiner ist als die des dazu entsprechenden Kollektorbereiches (9);

Bilden einer Metallverdrahtung (10) mit einer Mehrzahl von Kontaktbereichen in den Kontaktlöchern (8) derart, daß jeder der Kontaktbereiche mit einer der vorbestimmten n-Typ-Polysiliziumabdeckungen (11) elektrisch verbunden wird."

Die nebengeordneten Patentansprüche 1 und 7 gemäß Hilfsantrag 1 haben folgenden Wortlaut:

"1. Halbleitervorrichtung, in der zumindest ein IIL-Transistor gebildet ist, mit:

einer auf einem Halbleitersubstrat (1) vorgesehenen Epitaxieschicht (3);

einem in der Epitaxieschicht (3) vorgesehenen Basisbereich (6);

einer Mehrzahl von in dem Basisbereich (6) gebildeten Kollektorbereichen (9) eines IIL-Transistors, wobei die Kollektorbereiche (9) entlang einer vorbestimmten Richtung, die sich parallel zu der Oberfläche des Halbleitersubstrates (1) erstreckt, angeordnet sind;

einer Mehrzahl von Polysiliziumabdeckungen (11), wobei jeder der Kollektorbereiche (9) durch eine Polysiliziumabdeckung (11) bedeckt ist;

einer auf der Epitaxieschicht (3) gebildeten Isolierschicht (7), die eine Mehrzahl von Kontaktlöchern (8) aufweist, die sich jeweils bis zu einer der Polysiliziumabdeckungen (11) erstrecken;

einer Metallverdrahtung (10) mit einer Mehrzahl von Kontaktbereichen in den Kontaktlöchern (8), wobei jeder der Kontaktbereiche über eine der Polysiliziumabdeckungen (11) mit einem vorbestimmten Kollektorbereich (9) elektrisch verbunden ist, und

die Ausdehnung von jedem der Kontaktlöcher (8) in der vorbestimmten Richtung kleiner ist als die des dazu entsprechenden Kollektorbereiches (9),

wobei ein Raum (A_1) zwischen Kollektorbereichen (9) entlang der vorbestimmten Richtung so gewählt ist, daß eine Metallverdrahtung (10) dazwischen angeordnet werden kann.

7. Herstellungsverfahren einer Halbleitervorrichtung, in der zumindest ein IIL Transistor gebildet ist, mit den Schritten:

Bilden einer n-Typ-Diffusionsschicht (2) in einem Halbleitersubstrat (1);

Bilden einer Epitaxieschicht (3) auf dem Halbleitersubstrat (1) mit der n-Typ-Diffusionsschicht (2) durch einen Abscheidungsprozeß;

Bilden einer p-Typ-Elementtrenndiffusionsschicht (5) in der Epitaxieschicht (3);

Bilden einer p-Typ-Diffusionsschicht (6) in der Epitaxieschicht (3), die als ein Basisbereich des IIL Transistors dient;

Bilden einer Mehrzahl von n-Typ-Diffusionsschichten (9) in der p-Typ-Diffusionsschicht (6), wobei die n-Typ-Diffusionsschichten (9) in einer vorbestimmten Richtung, die parallel zur Oberfläche des Halbleitersubstrates (1) verläuft, angeordnet sind und jeweils einen Kollektorbereich des IIL Transistors bilden;

Bilden einer Mehrzahl von n-Typ-Polysiliziumabdeckungen (11) derart, daß jede Polysiliziumabdeckung (11) eine vorbestimmte der n-Typ-Diffusionsschichten (9) bedeckt und mit der n-Typ-Diffusionsschicht (9) elektrisch verbunden ist;

Bilden einer Isolierschicht (7) auf der Epitaxieschicht (3);

Bilden einer Mehrzahl von Kontaktlöchern (8) derart, daß sich die Kontaktlöcher (8) jeweils bis zu einer der Polysiliziumabdeckungen (11) erstrecken und die Ausdehnung jedes Kontaktloches (8) in der vorbestimmten Richtung kleiner ist als die des dazu entsprechenden Kollektorbereiches (9);

Bilden einer Metallverdrahtung (10) mit einer Mehrzahl von Kontaktbereichen in den Kontaktlöchern (8) derart, daß jeder der Kontaktbereiche mit einer der vorbestimmten n-Typ-Polysiliziumabdeckungen (11) elektrisch verbunden wird;

wobei ein Raum (A_1) zwischen Kollektorbereichen (9) entlang der vorbestimmten Richtung so gewählt wird, daß eine Metallverdrahtung dazwischen angeordnet werden kann."

Die nebengeordneten Patentansprüche 1, 2, 5 und 6 gemäß Hilfsantrag 2 lauten:

"1. Halbleitervorrichtung, in der zumindest ein IIL-Transistor gebildet ist, mit:
einer auf einem Halbleitersubstrat (1) vorgesehenen Epitaxieschicht (3);
einem in der Epitaxieschicht (3) vorgesehenen Basisbereich (6);
einer Mehrzahl von in dem Basisbereich (6) gebildeten Kollektorbereichen (9) eines IIL-Transistors, wobei die Kollektorbereiche (9) entlang einer vorbestimmten Richtung, die sich parallel zu der Oberfläche des Halbleitersubstrates (1) erstreckt, angeordnet sind;
einer Mehrzahl von Polysiliziumabdeckungen (11), wobei jeder der Kollektorbereiche (9) durch eine Polysiliziumabdeckung (11) bedeckt ist;
einer auf der Epitaxieschicht (3) gebildeten Isolierschicht (7), die eine Mehrzahl von Kontaktlöchern (8) aufweist, die sich jeweils bis zu einer der Polysiliziumabdeckungen (11) erstrecken;
einer Metallverdrahtung (10) mit einer Mehrzahl von Kontaktbereichen in den Kontaktlöchern (8), wobei jeder der Kontaktbereiche über eine der Polysiliziumabdeckungen (11) mit einem vorbestimmten Kollektorbereich (9) elektrisch verbunden ist, und

die Ausdehnung von jedem der Kontaktlöcher (8) in der vorbestimmten Richtung kleiner ist als die des dazu entsprechenden Kollektorbereiches (9),
wobei ein Raum (A_1) zwischen Kollektorbereichen (9) entlang der vorbestimmten Richtung so gewählt ist, daß eine Metallverdrahtung (10) dazwischen angeordnet werden kann, und sich zumindest eine der Polysiliziumabdeckungen (11) außerhalb eines Gates des IIL Transistors erstreckt, so daß der sich erstreckende Bereich der Polysiliziumabdeckung (11) mit einem der Kontaktbereiche der Metallverdrahtung (10) elektrisch verbunden ist.

2. Halbleitervorrichtung, in der zumindest ein IIL-Transistor gebildet ist, mit:

einer auf einem Halbleitersubstrat (1) vorgesehenen Epitaxieschicht (3);

einem in der Epitaxieschicht (3) vorgesehenen Basisbereich (6);

einer Mehrzahl von in dem Basisbereich (6) gebildeten Kollektorbereichen (9) eines IIL-Transistors, wobei die Kollektorbereiche (9) entlang einer vorbestimmten Richtung, die sich parallel zu der Oberfläche des Halbleitersubstrates (1) erstreckt, angeordnet sind;

einer Mehrzahl von Polysiliziumabdeckungen (11), wobei jeder der Kollektorbereiche (9) durch eine Polysiliziumabdeckung (11) bedeckt ist;

einer auf der Epitaxieschicht (3) gebildeten Isolierschicht (7), die eine Mehrzahl von Kontaktlöchern (8) aufweist, die sich jeweils bis zu einer der Polysiliziumabdeckungen (11) erstrecken;

einer Metallverdrahtung (10) mit einer Mehrzahl von Kontaktbereichen in den Kontaktlöchern (8), wobei jeder der Kontaktbereiche über eine der Polysiliziumabdeckungen (11) mit einem vorbestimmten Kollektorbereich (9) elektrisch verbunden ist, und

die Ausdehnung von jedem der Kontaktlöcher (8) in der vorbestimmten Richtung kleiner ist als die des dazu entsprechenden Kollektorbereiches (9),

wobei ein Raum (A_1) zwischen Kollektorbereichen (9) entlang der vorbestimmten Richtung so gewählt ist, daß eine Metallverdrahtung (10) dazwischen angeordnet werden kann, und mindestens eine der Polysiliziumabdeckungen (11) als eine Logikschaltungsverdrahtung des IIL Transistors verwendet wird.

5. Herstellungsverfahren einer Halbleitervorrichtung, in der zumindest ein IIL Transistor gebildet ist, mit den Schritten:

Bilden einer n-Typ-Diffusionsschicht (2) in einem Halbleitersubstrat (1);

Bilden einer Epitaxieschicht (3) auf dem Halbleitersubstrat (1) mit der n-Typ-Diffusionsschicht (2) durch einen Abscheidungsprozeß;

Bilden einer p-Typ-Elementtrenndiffusionsschicht (5) in der Epitaxieschicht (3);

Bilden einer p-Typ-Diffusionsschicht (6) in der Epitaxieschicht (3), die als ein Basisbereich des IIL Transistors dient;

Bilden einer Mehrzahl von n-Typ-Diffusionsschichten (9) in der p-Typ-Diffusionsschicht (6), wobei die n-Typ-Diffusionsschichten (9) in einer vorbestimmten Richtung, die parallel zur Oberfläche des Halbleitersubstrates (1) verläuft, ange-

ordnet sind und jeweils einen Kollektorbereich des IIL Transistors bilden;

Bilden einer Mehrzahl von n-Typ-Polysiliziumabdeckungen (11) derart, daß jede Polysiliziumabdeckung (11) eine vorbestimmte der n-Typ-Diffusionsschichten (9) bedeckt und mit der n-Typ-Diffusionsschicht (9) elektrisch verbunden ist;

Bilden einer Isolierschicht (7) auf der Epitaxieschicht (3);

Bilden einer Mehrzahl von Kontaktlöchern (8) derart, daß sich die Kontaktlöcher (8) jeweils bis zu einer der Polysiliziumabdeckungen (11) erstrecken und die Ausdehnung jedes Kontaktloches (8) in der vorbestimmten Richtung kleiner ist als die des dazu entsprechenden Kollektorbereiches (9);

Bilden einer Metallverdrahtung (10) mit einer Mehrzahl von Kontaktbereichen in den Kontaktlöchern (8) derart, daß jeder der Kontaktbereiche mit einer der vorbestimmten n-Typ-Polysiliziumabdeckungen (11) elektrisch verbunden wird;

wobei ein Raum (A_1) zwischen Kollektorbereichen (9) entlang der vorbestimmten Richtung so gewählt wird, daß eine Metallverdrahtung dazwischen angeordnet werden kann, und sich zumindest eine der Polysiliziumabdeckungen (11) außerhalb eines Gates des IIL Transistors erstreckt, so daß der sich erstreckende Bereich der Polysiliziumabdeckung (11) mit einem der Kontaktbereiche der Metallverdrahtung (10) elektrisch verbunden ist.

6. Herstellungsverfahren einer Halbleitervorrichtung, in der zumindest ein IIL Transistor gebildet ist, mit den Schritten:

Bilden einer n-Typ-Diffusionsschicht (2) in einem Halbleitersubstrat (1);

Bilden einer Epitaxieschicht (3) auf dem Halbleitersubstrat (1) mit der n-Typ-Diffusionsschicht (2) durch einen Abscheidungsprozeß;

Bilden einer p-Typ-Elementtrenndiffusionsschicht (5) in der Epitaxieschicht (3);

Bilden einer p-Typ-Diffusionsschicht (6) in der Epitaxieschicht (3), die als ein Basisbereich des IIL Transistors dient;

Bilden einer Mehrzahl von n-Typ-Diffusionsschichten (9) in der p-Typ-Diffusionsschicht (6), wobei die n-Typ-Diffusionsschichten (9) in einer vorbestimmten Richtung, die parallel zur Oberfläche des Halbleitersubstrates (1) verläuft, angeordnet sind und jeweils einen Kollektorbereich des IIL Transistors bilden;

Bilden einer Mehrzahl von n-Typ-Polysiliziumabdeckungen (11) derart, daß jede Polysiliziumabdeckung (11) eine vorbestimmte der n-Typ-Diffusionsschichten (9) bedeckt und mit der n-Typ-Diffusionsschicht (9) elektrisch verbunden ist;

Bilden einer Isolierschicht (7) auf der Epitaxieschicht (3);

Bilden einer Mehrzahl von Kontaktlöchern (8) derart, daß sich die Kontaktlöcher (8) jeweils bis zu einer der Polysiliziumabdeckungen (11) erstrecken und die Ausdehnung jedes Kontaktloches (8) in der vorbestimmten Richtung kleiner ist als die des dazu entsprechenden Kollektorbereiches (9);

Bilden einer Metallverdrahtung (10) mit einer Mehrzahl von Kontaktbereichen in den Kontaktlöchern (8) derart, daß jeder der Kontaktbereiche mit einer der vorbestimmten n-Typ-Polysiliziumabdeckungen (11) elektrisch verbunden wird;

wobei ein Raum (A_1) zwischen Kollektorbereichen (9) entlang der vorbestimmten Richtung so gewählt wird, daß eine Metallverdrahtung dazwischen angeordnet werden kann, und

mindestens eine der Polysiliziumabdeckungen (11) als eine Logikschaltungsverdrahtung verwendet wird."

Wegen der Unteransprüche 2 bis 6 und 8 gemäß Hauptantrag, der mit diesen übereinstimmenden Unteransprüche 2 bis 6 und 8 gemäß Hilfsantrag 1, der Unteransprüche 3, 4 und 7 gemäß Hilfsantrag 2 sowie der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

II.

Die zulässige Beschwerde ist nicht begründet, denn die Halbleitervorrichtung und das Herstellungsverfahren einer Halbleitervorrichtung nach den nebengeordneten Patentansprüchen 1 bzw. 7 gemäß Hauptantrag, den nebengeordneten Patentansprüchen 1 bzw. 7 gemäß Hilfsantrag 1 sowie den nebengeordneten Patentansprüchen 1, 2, 5, bzw. 6 gemäß Hilfsantrag 2 sind nicht patentfähig.

1. Es kann dahingestellt bleiben, ob sämtliche Patentansprüche gemäß Hauptantrag sowie gemäß den Hilfsanträgen 1 und 2 mit ihren Merkmalen in den ursprünglichen Unterlagen als zur Erfindung gehörend offenbart sind, was insbesondere hinsichtlich der Merkmale "durch Sputtern und Ätzen" in den Patentansprüchen 6 und 8 gemäß Hauptantrag bzw. Hilfsantrag 1 und bei den Patentansprüchen 4 und 7 gemäß Hilfsantrag 2 in Frage gestellt werden könnte, nachdem in den ursprünglichen Unterlagen nur von einem "Sputterätzen" die Rede ist; denn die Beschwerde der Anmelderin kann jedenfalls deshalb keinen Erfolg haben, weil die mit den nebengeordneten Patentansprüchen 1 bzw. 7 gemäß Hauptantrag, den nebengeordneten Patentansprüchen 1 bzw. 7 gemäß Hilfsantrag 1 und den nebengeordneten Patentansprüchen 1, 2, 5, bzw. 6 gemäß Hilfsantrag 2 beanspruchten Lehren gegenüber dem Stand der Technik jeweils nicht auf einer erfinderischen Tätigkeit beruhen (vgl. hierzu BGH GRUR 1991, 120, 121 IiSp Abs 3 - "Elastische Bandage").

2. Nach den Angaben in der geltenden Beschreibung (Seite 4, Absatz 2 bis Seite 5, Absatz 1) geht die Erfindung von der Problematik aus, daß bei der als bekannt vorausgesetzten (Seite 1, Absatz 3) Halbleitervorrichtung nach Fig. 7 und dem dazugehörigen Herstellungsverfahren nach den Figuren 8A bis 8D der Anmeldungsunterlagen der Zwischenraum (A_2 , Fig. 8D) zwischen benachbarten Kontaktbereichen der Metallverdrahtung (10) so eng ist, daß hier die Einfügung einer zusätzlichen Metallverdrahtungsbahn nicht ohne weiteres möglich ist. Um diesen Zwischenraum (A_2) zu erweitern, wäre es erforderlich, den Abstand (d_2) der Kollektorbereiche (9) entsprechend zu vergrößern, was jedoch eine Verringerung des Stromverstärkungsfaktors (β_{eff}) des IIL-Transistors zur Folge hätte. Würde die zusätzliche Metallverdrahtungsbahn aber in einer anderen Verdrahtungsebene angeordnet (Zweischichtstruktur), so würde dies mehr Herstellungsverfahrensschritte erfordern.

Dem Anmeldungsgegenstand liegt als technisches Problem daher die Aufgabe zugrunde, eine Halbleitereinrichtung mit einem IIL-Transistor (oder IIL-Transistoren) mit einem großen Stromverstärkungsfaktor β_{eff} des IIL-Transistors und mit einer einfachen und kompakten Verdrahtungsstruktur und ein Herstellungsverfahren für eine solche Halbleitervorrichtung zur Verfügung zu stellen (geltende Beschreibung, Seite 5, Absatz 4).

Diese Aufgabe soll gemäß den nebengeordneten Patentansprüchen 1 bzw. 7 gemäß Hauptantrag letztlich dadurch gelöst werden, daß jeder der Kollektorbereiche (9) durch eine Polysiliziumabdeckung (11) bedeckt ist bzw. wird, wobei jeder der Kontaktbereiche der Metallverdrahtung (10) über eine der Polysiliziumabdeckungen (11) mit einem vorbestimmten Kollektorbereich (9) elektrisch verbunden ist bzw. wird. Dann kann nämlich - entsprechend der weitergehenden Lehre der Patentansprüche 1 bzw. 7 gemäß Hauptantrag - die Ausdehnung jedes der Kontaktlöcher (8) in der vorbestimmten Richtung kleiner als diejenige des dazugehörigen Kollektorbereichs (9) eingestellt werden und damit - entsprechend dem zusätzlichen letzten Merkmal der Patentansprüche 1 bzw. 7 gemäß Hilfsantrag 1 -

der Raum (A_1 , geltende Fig. 1A) zwischen Kollektorbereichen (9) in der vorbestimmten Richtung so gewählt werden, daß - ohne Vergrößerung des Abstandes zwischen den Kollektorbereichen (9) - eine zusätzliche Metallverdrahtung (10, geltende Fig. 1 B) dazwischen angeordnet werden kann (vgl. hierzu die geltende Beschreibung, Seite 7, letzter Absatz bis Seite 8, Absatz 1 bzw. Seite 9, letzter Absatz bis Seite 10, Absatz 1 iVm Seite 12, drittletzter Absatz bis Seite 13, Absatz 1 zu den Figuren 1A und 1B und Seite 16, Absatz 2 bis Seite 17, Absatz 1 zu den Figuren 5A bis 5D).

Das zusätzliche letzte Merkmal der nebengeordneten Patentansprüche 1 bzw. 5 gemäß Hilfsantrag 2, wonach sich zumindest eine der Polysiliziumabdeckungen (11) außerhalb eines Gates des IIL-Transistors erstreckt, so daß der sich erstreckende Bereich der Polysiliziumabdeckung (11) mit einem der Kontaktbereiche der Metallverdrahtung (10) elektrisch verbunden ist, ermöglicht ebenfalls eine Vergrößerung des Abstandes zwischen den Kontaktbereichen benachbarter Kollektorbereiche (9) zwecks Einfügung einer zusätzlichen Metallverdrahtungsbahn (10) (Seite 13, Abschnitt "2. Ausführungsform" zur Fig. 2).

Mit dem zusätzlichen letzten Merkmal der nebengeordneten Patentansprüche 2 bzw. 6 gemäß Hilfsantrag 2, wonach mindestens eine der Polysiliziumabdeckungen (11) als eine Logikschaltungsverdrahtung des IIL-Transistors verwendet wird, wird die Anzahl der erforderlichen Metallverdrahtungsbahnen (10) reduziert und damit die Notwendigkeit für das Vorsehen einer zweiten Metallverdrahtungsebene verringert (Seite 13, letzter Absatz bis Seite 14, Absatz 2 zur Fig. 3).

3. Die Halbleitervorrichtung und das Herstellungsverfahren einer Halbleitervorrichtung nach den nebengeordneten Patentansprüchen 1 bzw. 7 gemäß Hauptantrag, den nebengeordneten Patentansprüchen 1 bzw. 7 gemäß Hilfsantrag 1 sowie den nebengeordneten Patentansprüchen 1, 2, 5, bzw. 6 gemäß Hilfsantrag 2 sind zwar gegenüber dem nachgewiesenen Stand der Technik jeweils neu und auch gewerblich anwendbar; sie beruhen jedoch im Hinblick auf den eingangs genannten

Stand der Technik nach der US-Patentschrift 4 694 321 und der Literaturstelle "IBM Technical Disclosure Bulletin" nicht auf einer erfinderischen Tätigkeit des zuständigen Durchschnittsfachmanns, der hier als ein mit der Entwicklung und Bereitstellung von Halbleitervorrichtungen mit zumindest einem IIL-Transistor einschließlich dazugehöriger Herstellungsverfahren befaßter, berufserfahrener Physiker oder Ingenieur der Halbleitertechnik mit Universitätsausbildung zu definieren ist.

a) Patentanspruch 1 gemäß Hauptantrag

Die US-Patentschrift 4 694 321 betrifft eine Halbleitervorrichtung, die gemäß Fig. 2 nebst der dazugehörigen Beschreibung folgende Merkmale des Patentanspruchs 1 gemäß Hauptantrag aufweist:

- zumindest einen IIL-Transistor (200)
- eine auf einem Halbleitersubstrat (1) vorgesehene Epitaxieschicht (11)
- einen in der Epitaxieschicht (11) vorgesehenen Basisbereich (2011)
- eine Mehrzahl von in dem Basisbereich (2011) gebildeten Kollektorbereichen (301) des IIL-Transistors (200), wobei die Kollektorbereiche (301) entlang einer vorbestimmten Richtung angeordnet sind, die sich parallel zur der Oberfläche des Halbleitersubstrats (1) erstreckt,
- eine auf der Epitaxieschicht (11) gebildete Isolierschicht (4), die eine Mehrzahl von Kontaktlöchern aufweist,
- eine Metallverdrahtung mit einer Mehrzahl von Kontaktbereichen (9) in den Kontaktlöchern, wobei jeder der Kontaktbereiche (9) mit einem vorbestimmten Kollektorbereich (301) elektrisch verbunden ist und die Aus-

dehnung von jedem der Kontaktlöcher in der vorbestimmten Richtung kleiner als diejenige des entsprechenden Kollektorbereiches (301) ist.

Der Gegenstand des Patentanspruchs 1 gemäß Hauptantrag unterscheidet sich von dieser bekannten Halbleitervorrichtung somit lediglich noch dadurch, daß bei ihm zusätzlich:

- eine Mehrzahl von Polysiliziumabdeckungen vorgesehen ist, wobei jeder der Kollektorbereiche durch eine Polysiliziumabdeckung bedeckt ist,
- die Kontaktlöcher der Isolierschicht sich jeweils bis zu einer der Polysiliziumabdeckungen erstrecken und
- jeder der Kontaktbereiche über eine der Polysiliziumabdeckungen mit dem vorbestimmten Kollektorbereich elektrisch verbunden ist.

Dieser Unterschied erweist sich nach dem Ergebnis der mündlichen Verhandlung jedoch als nicht patentbegründend.

Gemäß der ebenfalls eine Halbleitervorrichtung mit zumindest einem IIL-Transistor betreffenden Literaturstelle "IBM Technical Disclosure Bulletin" ist nämlich zur Vermeidung einer zweiten Metallisierungsebene und daraus resultierender Topologie- und Verfahrensprobleme (Seite 3942, unten bis Seite 3943, Absatz 1) auch bereits vorgeschlagen:

- eine Mehrzahl von Polysiliziumabdeckungen (Poly) vorzusehen, wobei jeder der Kollektorbereiche (C_1 , C_2) des IIL-Transistors jeweils durch eine Polysiliziumabdeckung (Poly) zu bedecken ist,
- die in einer Isolierschicht (CVD Oxide) gebildeten Kontaktlöcher sich jeweils bis zu einer der Polysiliziumabdeckungen (Poly) - d.h. bis zu einer

auf deren Oberfläche vorgesehenen Silizidschicht (vgl. hierzu auch den Patentanspruch 6 gemäß Hauptantrag) - erstrecken zu lassen

- und jeden der Kontaktbereiche einer Metallverdrahtung (Al) über eine der Polysiliziumabdeckungen (Poly) mit einem vorbestimmten Kollektorbereich (C_1 bzw. C_2) elektrisch zu verbinden (vgl. die Figuren 2 bis 4 nebst der dazugehörigen Beschreibung).

Die Ausdehnung der Kontaktlöcher in der vorbestimmten Richtung parallel zur Oberfläche des Halbleitersubstrats ist hier daher auch bereits kleiner als diejenige des dazugehörigen Kollektorbereichs (Fig. 4E, rechts).

Es erfordert keine erfinderische Tätigkeit, wenn der Fachmann diese Merkmale der Halbleitervorrichtung nach der Literaturstelle "IBM Technical Disclosure Bulletin" zu ihrem bekannten Zweck (Vermeidung einer zweiten Metallisierungsebene) entsprechend auch bei der Halbleitervorrichtung nach der US-Patentschrift 4 694 321 anwendet, womit er bereits ohne erfinderisches Zutun zum Gegenstand des Patentanspruchs 1 gemäß Hauptantrag gelangt, zumal die Polysiliziumabdeckungen (Poly) gemäß der Literaturstelle "IBM Technical Disclosure Bulletin" zusätzlich als Dotierstoffquellen für die Dotierung der Kollektorbereiche (C_1 , C_2) dienen, d.h. eine Vielzahl weiterer Vorteile mit sich bringen (vgl. den Text auf Seite 3945).

Der von der Anmelderin (Beschwerdebegründung vom 8. Juni 1999, Seite 5, Absatz 2 bis Seite 6, letzter Absatz) vertretenen Auffassung, gemäß dem Patentanspruch 1 nach Hauptantrag bildeten die Polysiliziumabdeckungen keine zweite Verdrahtungsebene, vielmehr seien sie - im Unterschied zur Halbleitervorrichtung nach den Figuren 2 bis 4 der Literaturstelle "IBM Technical Disclosure Bulletin" - auf die Kollektorbereiche reduziert - wobei pro Kollektorbereich jeweils eine Siliziumabdeckung vorgesehen sei -, kann nicht beigetreten werden. Der Patentanspruch 1 gemäß Hauptantrag umfaßt dem Wortlaut nach nämlich auch die Ausfüh-

nungsarten gemäß den Patentansprüchen 3 bzw. 5 nach Hauptantrag, gemäß denen die Polysiliziumabdeckungen (11) insofern nicht auf die Kollektorbereiche (9) reduziert sind, als sie sich von einem Kollektorbereich (9) bis zu einem hierzu seitlich verschobenen Kontaktloch (8) erstrecken (Anspruch 3 iVm Fig. 2 nebst der dazugehörigen Beschreibung) bzw. Kollektorbereiche (9) benachbarter IIL-Transistoren miteinander verbinden können (Anspruch 5 iVm Fig. 3 nebst der dazugehörigen Beschreibung). Auch ist bei der Halbleitervorrichtung nach der Literaturstelle "IBM Technical Disclosure Bulletin" jedem Kollektorbereich (C_1 bzw. C_2) eines IIL-Transistors jeweils eine andere Polysiliziumabdeckung (Poly) zugeordnet (vgl. den in Fig. 2 in der Draufsicht und in Fig. 4E im Querschnitt dargestellten IIL-Transistor).

Die Halbleitervorrichtung mit zumindest einem IIL-Transistor nach dem Patentanspruch 1 gemäß Hauptantrag ist daher mangels erfinderischer Tätigkeit nicht patentfähig.

b) Patentanspruch 7 gemäß Hauptantrag

Aus dem Aufbau der Halbleitervorrichtung mit zumindest einem IIL-Transistor gemäß Fig. 2 der US-Patentschrift 4 694 321 ergibt sich für den Fachmann implizit ein Herstellungsverfahren mit folgenden Verfahrensschritten:

- Bilden einer n-Typ-Diffusionsschicht (22) in einem Halbleitersubstrat (1)
- Bilden einer Epitaxieschicht (11) auf dem Halbleitersubstrat (1) mit der n-Typ-Diffusionsschicht (22) durch einen Abscheidungsprozeß
- Bilden einer p-Typ-Elementtrenndiffusionsschicht (3) in der Epitaxieschicht (11)

- Bilden einer p-Typ-Diffusionsschicht (2011) in der Epitaxieschicht (11), die als Basisbereich des IIL-Transistors dient
- Bilden einer Mehrzahl von n-Typ-Diffusionsschichten (301) in der p-Typ-Diffusionsschicht (2011), wobei die n-Typ-Diffusionsschichten (301) in einer vorbestimmten Richtung, die parallel zur Oberfläche des Halbleitersubstrats (1) verläuft, angeordnet sind und jeweils einen Kollektorbereich des IIL-Transistors bilden
- Bilden einer Isolierschicht (4) auf der Epitaxieschicht (11)
- Bilden einer Mehrzahl von Kontaktlöchern, wobei die Ausdehnung jedes Kontaktloches in der vorbestimmten Richtung kleiner als diejenige des dazu entsprechenden Kollektorbereichs (301) ist, und
- Bilden einer Metallverdrahtung mit einer Mehrzahl von Kontaktbereichen (9) in den Kontaktlöchern.

Der Gegenstand des Patentanspruchs 7 gemäß Hauptantrag unterscheidet sich von diesem aus der US-Patentschrift 4 694 321 herleitbaren Verfahren somit noch durch die zusätzlichen Verfahrensschritte:

- Bilden einer Mehrzahl von n-Typ-Polysiliziumabdeckungen, wobei
- jede n-Typ-Polysiliziumabdeckung eine vorbestimmte der n-Typ-Diffusionsschichten bedeckt und mit dieser elektrisch verbunden ist,
- die Kontaktlöcher der Isolierschicht so gebildet werden, daß sie sich bis zu einer der Polysiliziumabdeckungen erstrecken, und

- jeder der Kontaktbereiche der Metallverdrahtung in den Kontaktlöchern mit einer der n-Typ-Polysiliziumabdeckungen elektrisch verbunden wird.

Die sinngemäße Anwendung dieser zusätzlichen Verfahrensschritte bei dem aus der US-Patentschrift 4 694 321 herleitbaren Verfahren ist dem Fachmann jedoch - wie sich aus den vorstehenden Ausführungen zum Patentanspruch 1 gemäß Hauptantrag ergibt - durch die Literaturstelle "IBM Technical Disclosure Bulletin" nahegelegt.

Das Herstellungsverfahren einer Halbleitervorrichtung mit zumindest einem IIL-Transistor nach dem Patentanspruch 7 gemäß Hauptantrag ist demnach ebenfalls mangels erfinderischer Tätigkeit nicht patentfähig.

c) Patentansprüche 1 und 7 gemäß Hilfsantrag 1

Soweit die Patentansprüche 1 bzw. 7 gemäß Hilfsantrag 1 inhaltlich mit den Patentansprüchen 1 bzw. 7 gemäß Hauptantrag übereinstimmen, wird zur Vermeidung von Wiederholungen auf die vorstehenden Ausführungen zu Patentansprüchen 1 bzw. 7 gemäß Hauptantrag verwiesen.

Die Patentansprüche 1 bzw. 7 gemäß Hilfsantrag 1 unterscheiden sich von den Patentansprüchen 1 bzw. 7 gemäß Hauptantrag jeweils nur durch das zusätzliche letzte Merkmal, wonach ein Raum (A_1) zwischen Kollektorbereichen (9) entlang der vorbestimmten Richtung so gewählt ist bzw. wird, daß eine Metallverdrahtung (10) dazwischen angeordnet werden kann. Die Realisierung dieses Merkmals wird aber - wie im vorstehenden Abschnitt II.2. dargelegt - letztlich dadurch ermöglicht, daß die Ausdehnung jedes der Kontaktlöcher (8) in der vorbestimmten Richtung kleiner als diejenige des dazu entsprechenden Kollektorbereiches (9) ist, wofür wiederum die Polysiliziumabdeckungen (11) ursächlich sind.

Gemäß der Literaturstelle "IBM Technical Disclosure Bulletin" ist die Ausdehnung der Kontaktlöcher in der vorbestimmten Richtung parallel zur Oberfläche des Halbleitersubstrats aber auch bereits kleiner als diejenige des dazugehörigen Kollektorbereichs (vgl. die Fig. 4E, rechts). Dem durch diese Entgegenhaltung (Seite 3942, unten bis Seite 3943, Absatz 1) zur Vermeidung einer zweiten Metallverdrahtungsebene angehaltenen Fachmann bietet es sich daher an, den größeren Freiraum zwischen benachbarten Kontaktlöchern zum Einfügen einer zusätzlichen Metallverdrahtungsbahn zu nutzen, zumal die Patentansprüche 1 bzw. 7 gemäß Hilfsantrag 1 die Breite der Metallverdrahtungsbahnen völlig offenlassen - d.h. auch die kleinste realisierbare Breite zulassen - und außerdem die Breite von Metallverdrahtungsbahnen in dem langen Zeitraum zwischen der Veröffentlichung der Literaturstelle "IBM Technical Disclosure Bulletin" (März 1977) und dem Prioritätstag der vorliegenden Anmeldung (7. Februar 1995) durch Verbesserungen des Auflösungsvermögens der Lithographieprozesse erheblich verringert worden ist.

Die Halbleitervorrichtung nach dem Patentanspruch 1 und das Herstellungsverfahren einer Halbleitervorrichtung nach dem Patentanspruch 7 gemäß Hilfsantrag 1 sind mithin ebenfalls wegen fehlender erfinderischer Tätigkeit nicht patentfähig.

d) Patentansprüche 1 und 5 gemäß Hilfsantrag 2

Zu den Patentansprüchen 1 bzw. 5 gemäß Hilfsantrag 2 wird, soweit sie inhaltlich mit den Patentansprüchen 1 bzw. 7 gemäß Hilfsantrag 1 übereinstimmen, auf die vorstehenden Ausführungen zu den Patentansprüchen 1 bzw. 7 gemäß Hilfsantrag 1 verwiesen.

Die Patentansprüche 1 bzw. 5 gemäß Hilfsantrag 2 zeichnen sich gegenüber den Patentansprüchen 1 bzw. 7 gemäß Hilfsantrag 1 jeweils durch das zusätzliche letzte Merkmal aus, wonach sich zumindest eine der Polysiliziumabdeckungen (11) außerhalb eines Gates des IIL Transistors erstreckt, so daß der sich er-

streckende Bereich der Polysiliziumabdeckung (11) mit einem der Kontaktbereiche der Metallverdrahtung (10) elektrisch verbunden ist.

Durch die auf die Vermeidung einer zweiten Metallverdrahtungsebene abzielende Literaturstelle "IBM Technical Disclosure Bulletin" erhält der Fachmann aber auch bereits die Anregung, zumindest eine der Polysiliziumabdeckungen (Poly) sich bis außerhalb des dazugehörigen Kollektorbereichs (C_1) oder gar bis außerhalb des dazugehörigen IIL-Transistors erstrecken zu lassen und sie dort mit einem der Kontaktbereiche (Al to Poly Contacts) der Metallverdrahtung (Al) elektrisch zu verbinden (vgl. in Fig. 2 die linke vertikale Polysiliziumabdeckung (Poly) mit den darin angeordneten drei Kollektorbereichen (C_1) dreier parallel zueinander ausgebildeter IIL-Transistoren und den unterhalb des untersten dieser Kollektorbereiche (C_1) angeordneten dazugehörigen Kontaktbereich (Al to Poly Contacts) der Metallverdrahtung (Al)).

Die Halbleitervorrichtung nach dem Patentanspruch 1 und das Herstellungsverfahren einer Halbleitervorrichtung nach dem Patentanspruch 5 gemäß Hilfsantrag 2 sind daher ebenfalls mangels erfinderischer Tätigkeit nicht patentfähig.

e) Patentansprüche 2 und 6 gemäß Hilfsantrag 2

Zu den Patentansprüchen 2 bzw. 6 gemäß Hilfsantrag 2 wird, soweit sie inhaltlich mit den Patentansprüchen 1 bzw. 7 gemäß Hilfsantrag 1 übereinstimmen, auf die vorstehenden Ausführungen zu den Patentansprüchen 1 bzw. 7 gemäß Hilfsantrag 1 verwiesen.

Die Patentansprüche 2 bzw. 6 gemäß Hilfsantrag 2 unterscheiden sich von den Patentansprüchen 1 bzw. 7 gemäß Hilfsantrag 1 jeweils nur durch das zusätzliche letzte Merkmal, wonach mindestens eine der Polysiliziumabdeckungen (11) als eine Logikschaltungsverdrahtung des IIL-Transistors verwendet wird.

Die Literaturstelle "IBM Technical Disclosure Bulletin" schlägt zwecks Vermeidung einer zweiten Metallverdrahtungsebene durch Verringerung der Anzahl von Metallverdrahtungsbahnen (AI) aber auch bereits eine Verlängerung der Polysiliziumabdeckungen bis zu den Kollektorbereichen (C_1 , C_2 bzw. C_3) benachbarter IIL-Transistoren - d.h. eine aus Polysiliziumabdeckungen bestehende Logikschaltungsverdrahtung für die IIL-Transistoren im Sinne der Patentansprüche 2 bzw. 6 gemäß Hilfsantrag 2 - vor (vgl. Seite 3944, letzter Absatz zur Fig. 2).

Die Halbleitervorrichtung nach dem Patentanspruch 2 und das Herstellungsverfahren einer Halbleitervorrichtung nach dem Patentanspruch 6 gemäß Hilfsantrag 2 sind demnach ebenfalls mangels einer erfinderischen Tätigkeit nicht patentfähig.

4. Mit den nebengeordneten Patentansprüchen 1 und 7 gemäß Hauptantrag bzw. Hilfsantrag 1 sowie den nebengeordneten Patentansprüchen 1, 2, 5 und 6 gemäß Hilfsantrag 2 fallen auch die darauf zurückbezogenen Unteransprüche 2 bis 6 und 8 gemäß Hauptantrag, die Unteransprüche 2 bis 6 und 8 gemäß Hilfsantrag 1 sowie die Unteransprüche 3, 4 und 7 gemäß Hilfsantrag 2. Einen selbständigen erfinderischen Gehalt dieser Unteransprüche hat die Anmelderin im übrigen auch nicht geltend gemacht (vgl. hierzu BGH GRUR 1997, 120 amtlicher Leitsatz - "Elektrisches Speicherheizgerät").

Dr. Beyer

Dr. Gottschalk

Tronser

Lokys

Ko