

# BUNDESPATENTGERICHT

20 W (pat) 19/01

---

(Aktenzeichen)

Verkündet am  
11. September 2002

...

## BESCHLUSS

In der Beschwerdesache

...

### betreffend die Patentanmeldung 199 37 997.1-35

hat der 20. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 11. September 2002 durch den Vorsitzenden Richter Dipl.-Phys. Dr. Anders sowie die Richter Dipl.-Ing. Obermayer, Engels und Dipl.-Phys. Dr. Zehendner

beschlossen:

1. Der Beschluss des Patentamts vom 14. Dezember 2000 wird aufgehoben.
2. Das Patent wird mit folgenden Unterlagen erteilt:

**Bezeichnung:** Phasenregelschleife

Patentansprüche 1-4, überreicht in der mündlichen Verhandlung,  
Beschreibung Seiten 1-9, überreicht in der mündlichen Verhandlung,  
Zeichnungen Figuren 1 und 2, überreicht in der mündlichen Verhandlung, Figur 3, eingegangen am 11. August 1999.

**Anmeldetag:** 11. August 1999.

## **G r ü n d e**

### **I.**

Die Patentanmeldung wurde vom Patentamt sinngemäß wegen fehlender Neuheit des damals beanspruchten Gegenstandes zurückgewiesen.

Die Anmelderin beantragt, den angefochtenen Beschluss aufzuheben und das Patent aufgrund der in der mündlichen Verhandlung überreichten Unterlagen zu erteilen.

Der geltende Patentanspruch 1 lautet:

„Phasenregelschleife (PLL) mit einem Eingang für ein Referenzsignal, einem Ausgang für einen Ausgangstakt, einem Phasendetektor (1), einem Abtast-Halteglied (11) mit Mitteln (14) zur digitalen Speicherung des Ausgangssignals des Phasendetektors und Ausgabe einer Signalfolge und einem Oszillator (4), wobei das Abtast-Halteglied (11) einen digitalen Umschalter (Multiplexer 13) aufweist, an dessen Eingängen einerseits das Ausgangssignal des Phasendetektors (1) und andererseits das Ausgangssignal der Mittel (14) zur

digitalen Speicherung und Ausgabe einer Signalfolge anliegt, wobei das am Ausgang des digitalen Umschalters (13) anliegende Signal durch einen Signaldetektor zur Erkennung des Vorliegens des Referenzsignals gesteuert ist, dadurch gekennzeichnet, dass die Mittel (14) zur digitalen Speicherung und Ausgabe einer Signalfolge einen Ereigniszähler (15) zur Erfassung der Anzahl eines vorgegebenen Wertes (0 oder 1) innerhalb eines Messintervalls, einen Speicher (18), einen Intervallzähler (16) und eine Kette von kaskadierten Multiplexern (17.1 – 17.n) aufweisen, wobei die Ausgänge des Ereigniszählers (15) über den Speicher (18) mit den Multiplexereingängen verbunden sind und die Multiplexer (17.1 – 17.n) vom Intervallzähler (16) gesteuert sind, und dass zwischen dem Ausgang des digitalen Umschalters (Multiplexer 13) und dem Oszillator (4) ein Schleifenfilter (3) angeordnet ist.“

Zum Wortlaut der Patentansprüche 2 bis 4 wird auf die Akte verwiesen.

Im Prüfungsverfahren wurden folgende Druckschriften berücksichtigt:

- 1) JP 10-145230 A
- (2) EP 0 535 397 A2
- (3) US 5 574 757 A.

In der Beschreibung wird noch auf das Fachbuch

- (4) Tietze, Schenk; Halbleiterschaltungstechnik, 11. Auflage, Kap. 17.4, 24.4

hingewiesen.

## II.

Die Beschwerde ist zulässig und führt mit dem beschränkten Patentbegehren auch zum Erfolg.

1. Die geltenden Patentansprüche sind zulässig. Die Merkmale des Patentanspruchs 1 sind aus den ursprünglichen Patentansprüchen 1, 3, 4, 5 und 6 sowie aus der ursprünglichen Beschreibung als zur Erfindung gehörend entnehmbar. Die Ausbildung der Mittel zur digitalen Speicherung und Ausgabe einer Signalfolge ist im einzelnen auf Seite 7, Absatz 3 bis Seite 8, Absatz 2 und der digitale Umschalter auf Seite 3, letzter Absatz beschrieben.

### 2. Stand der Technik

Die Druckschrift (1) zeigt in Figur 4 mit zugehöriger Beschreibung in Übereinstimmung mit den Merkmalen im Oberbegriff des Patentanspruchs 1 eine Phasenregelschleife (PLL-circuit), die einen Eingang für ein Referenzsignal und einen Ausgang für einen Ausgangstakt aufweist. Weiter ist ein Phasendetektor 1, ein Abtast-Halteglied mit Mitteln 12 zur digitalen Speicherung des Ausgangssignals des Phasendetektors und Ausgabe einer Signalfolge und ein Oszillator 6 vorgesehen. Das Abtast-Halteglied weist einen digitalen Umschalter (selecting means 9, vgl. zugehöriges Abstract) auf, an dessen Eingängen einerseits das Ausgangssignal des Phasendetektors 1 und andererseits das Ausgangssignal der Mittel 12 zur digitalen Speicherung und Ausgabe einer Signalfolge anliegt, wobei das am Ausgang des digitalen Umschalters 9 anliegende Signal durch einen Signaldetektor 2 zur Erkennung des Vorliegens des Referenzsignals gesteuert ist.

Die Mittel 12 zur digitalen Speicherung und Ausgabe einer Signalfolge sind in ihrem Aufbau nicht weiter erläutert. Demnach ist auch kein Ereigniszähler zur Erfassung der Anzahl eines vorgegebenen Wertes innerhalb eines Messintervalls, kein Intervallzähler und keine Kette von kaskadierten Multiplexern entnehmbar. Außer-

dem ist kein Schleifenfilter vorgesehen. Die zwischen dem Ausgang des digitalen Umschalters 9 und dem Oszillator 6 angeordneten Mittel 5 für die Steuerspannungserzeugung dienen allgemein als Digital-Analog-Wandler.

Aus Druckschrift (2) ist eine Phasenregelschleife mit einem Eingang für ein Referenzsignal RF, einem Ausgang für einen Ausgangstakt AT, einem Phasendetektor PH, einer als Abtast-Halteglied arbeitenden Phasenregleinrichtung PR mit Mitteln SP zur digitalen Speicherung des Ausgangssignals des Phasendetektors und zur Ausgabe einer Pulsfolge und einem Oszillator VCO bekannt. Ein Mikroprozessor MP als Teil der Phasenregleinrichtung PR leitet entweder das Ausgangssignal des Phasendetektors PH oder - bei Ausfall des Referenzsignals - das gespeicherte Signal an den Ausgang der Phasenregleinrichtung.

Ein gesonderter Signaldetektor zur Erkennung des Vorliegens des Referenzsignals ist jedoch nicht vorgesehen. Außerdem sind die Mittel SP zur digitalen Speicherung des Ausgangssignals des Phasendetektors und zur Ausgabe einer Pulsfolge nicht weiter ausgestaltet. Darüber hinaus befindet sich zwischen der Phasenregleinrichtung und dem Oszillator kein Schleifenfilter, sondern ein Digital-Analog-Wandler D/A.

Auch bei dem Gegenstand nach Druckschrift (3) handelt es sich um eine Phasenregelschleife mit einem Eingang für ein Referenzsignal (Fig. 2, input clock signal a), einem Ausgang für einen Ausgangstakt (output clock signal b), einem Phasendetektor (comparator 3) mit nachgeschaltetem Tiefpassfilter 4 und einem Oszillator (VCO 1). Allerdings sind keine Mittel zur digitalen Speicherung des Ausgangssignals des Phasendetektors und zur Ausgabe einer Pulsfolge und kein digitaler Umschalter vorgesehen, an dessen Eingängen das Ausgangssignal des Phasendetektors und das Ausgangssignal von Mitteln zur digitalen Speicherung des Ausgangssignals des Phasendetektors anliegen. Stattdessen wird die Verbindung zwischen einem Dividierer 6, also dem Referenzsignal a, und dem Phasendetektor 3 durch einen Schalter 7 unterbrochen, wenn ein einen Fehler anzeigendes Signal

(failure detection signal e) am Steuereingang des Schalters 7 anliegt. Bei dem Fehler kann es sich auch um ein Ausbleiben des Referenzsignals handeln (Sp 1 Z 59-61). Ein Signaldetektor zur Erkennung des Vorliegens eines Referenzsignals wird jedoch nicht beschrieben. Wenn das Fehlersignal e einen Fehler anzeigt, wird durch den Schalter 7 an Stelle des Referenzsignals das Ausgangssignal eines Abtast-Halteglieders (10-16) auf den Eingang des Phasendetektors 3 gelegt. Das Abtast-Halteglied umfasst zwar Ereigniszähler 10, 13-15 an sich, zeigt aber insbesondere keine Multiplexerkette.

Das von der Anmelderin genannte Fachbuch (4) hat in der mündlichen Verhandlung keine Rolle gespielt und bringt hinsichtlich der Beurteilung der Patentfähigkeit keine neuen Gesichtspunkte.

### 3. Neuheit

Der zweifelsfrei gewerblich anwendbare Gegenstand des Patentanspruches 1 ist neu, denn keine der Druckschriften zeigt alle seine Merkmale, wie sich aus den vorstehenden Ausführungen zum Stand der Technik ergibt.

### 4. Erfinderische Tätigkeit

Der Gegenstand des Patentanspruches 1 beruht auch auf einer erfinderischen Tätigkeit.

Bei den aus den Druckschriften (1) und (2) bekannten Phasenregelschleifen wird das Ausgangssignal des Phasendetektors unverändert in einem digitalen Speicher gespeichert. Die weiter abliegende Druckschrift (3) zeigt eine Phasenregelschleife, bei der überhaupt keine Speicherung des Ausgangssignals des Phasendetektors stattfindet. Auch die Speichereinrichtung an sich gemäß dem kennzeichnenden Teil des Patentanspruchs 1 ist nicht als Stand der Technik nachgewiesen.

Diese Druckschriften geben daher dem Fachmann, einem Physiker oder einem Hochschulingenieur der Fachrichtung Elektrotechnik, jeweils mit Berufserfahrung und mehrjähriger Entwicklertätigkeit auf dem Gebiet der Schaltungstechnik, keinen Hinweis darauf, die Speicherung der Ausgangssignale des Phasendetektors dadurch auszubilden, dass aus der vom Phasendetektor kommenden digitalen Signalfolge nur die Anzahl eines vorgegebenen Wertes, d.h. entweder der 1-Entscheidungen oder der 0-Entscheidungen, des Phasendetektors während eines Messintervalls gezählt wird und somit nicht die gesamte Signalfolge, sondern nur die Anzahl eines einzigen binären Wertes gespeichert wird. Eine derartige Lösung zieht er beim Stand der Technik nach (1) oder (2) auch deshalb nicht in Betracht, weil aus der gespeicherten Ereigniszahl nicht die genaue Signalfolge des Ausgangssignals des Phasendetektors rekonstruiert werden kann, so dass daher eine zuverlässige Ansteuerung des Oszillators bei Ausfall des Referenzsignals nicht möglich erscheint.

Es bedarf vielmehr weiterer Überlegungen des Fachmanns, um zu erkennen, dass die genaue Rekonstruktion der Signalfolge nicht notwendig ist und die Reihenfolge der 1-Entscheidungen und der 0-Entscheidungen des Phasendetektors unerheblich ist, solange der Mittelwert für die einzelnen Zeitintervalle stimmt. Die Druckschrift (3) liegt insofern weit ab, weil die dortige Speichereinrichtung nicht das Ausgangssignal des Phasendetektors, sondern das gleichförmige Ausgangsimpulssignal  $b$  des Oszillators 1 erfasst.

Aber auch mit dieser Erkenntnis kann er eine anspruchsgemäße Speichereinrichtung nicht ohne weiteres bei den aus (1) und (2) bekannten Phasenregelschleifen an Stelle der dort verwendeten Speichereinrichtungen einsetzen, denn der dort vor dem Oszillator angeordnete D-A-Wandler wandelt die ankommende Signalfolge in einen analogen Wert um, der von der Abfolge der 1- und 0-Ereignisse in der Signalfolge abhängt und somit dann nicht für die Ansteuerung des Oszillators geeignet ist, wenn im Speicher nur die Anzahl der 1- oder 0-Ereignisse gespeichert ist. Der Fachmann muss daher auch noch erkennen, dass zwischen dem digitalen

Umschalter und dem Oszillator an Stelle eines üblichen D-A-Wandlers ein Schleifenfilter angeordnet werden muss, dass auf Grund seiner Zeitkonstante ein analoges Ausgangssignal entsprechend der Anzahl der 1- und 0-Ereignisse in dem Zeitintervall erzeugt. Derartige Überlegungen, für die der Stand der Technik keine Anregungen liefert, liegen aber außerhalb des durchschnittlichen Könnens des Fachmanns, auch wenn Schleifenfilter an sich zum Stand der Technik gehören (vgl. Tiefpassfilter 4 nach (3)).

Auch unter Berücksichtigung seines Fachwissens und Fachkönnens gelangt der Fachmann daher nur durch erfinderische Tätigkeit dazu, bei einer Phasenregelschleife, wie sie aus (1) bekannt ist, die Mittel zur digitalen Speicherung und Ausgabe einer Signalfolge so auszugestalten, dass sie einen Ereigniszähler zur Erfassung der Anzahl eines vorgegebenen Wertes (0 oder 1) innerhalb eines Messintervalls, einen Speicher, einen Intervallzähler und eine Kette von kaskadierten Multiplexern aufweisen, wobei die Ausgänge des Ereigniszählers über den Speicher mit den Multiplexereingängen verbunden sind und die Multiplexer vom Intervallzähler gesteuert sind, und dass weiter zwischen dem Ausgang des digitalen Umschalters und dem Oszillator ein Schleifenfilter angeordnet ist.

5. Die auf den Patentanspruch 1 rückbezogenen Patentansprüche 2 bis 4 betreffen über das Selbstverständliche hinausgehende Ausgestaltungen des Gegenstandes des Patentanspruches 1 und sind daher ebenfalls gewährbar.

6. Die Beschreibung genügt den an sie nach § 34 PatG zu stellenden Anforderungen.

Dr. Anders

Obermayer

Engels

Dr. Zehendner

Pr