



BUNDESPATENTGERICHT

5 W (pat) 443/03

(Aktenzeichen)

Verkündet am
19. Juli 2004

...

BESCHLUSS

In der Beschwerdesache

...

...

betreffend das Gebrauchsmuster 91 17 296

hier: Löschantrag

hat der 5. Senat (Gebrauchsmuster-Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 19. Juli 2004 durch den Vorsitzenden Richter Goebel sowie die Richter Bertl und Prasch

beschlossen:

Die Beschwerde der Antragsgegnerin gegen den Beschluss des Deutschen Patent- und Markenamts - Gebrauchsmusterabteilung I - vom 27. Mai 2003 wird zurückgewiesen.

Die Kosten des Beschwerdeverfahrens trägt die Antragsgegnerin.

Gründe

I

Die Beschwerdeführerin war Inhaberin des deutschen Gebrauchsmusters 91 17 296 mit der Bezeichnung:

Integrierte E/A-Schaltung unter Verwendung einer Hochleistungs-Bus-Schnittstelle.

Dieses Gebrauchsmuster ist durch Abzweigung aus der europäischen Patentanmeldung 91 908 374.1 hervorgegangen, die am 16. April 1991 unter Inanspruchnahme der US-Priorität 07/510 898 vom 18. April 1990 angemeldet wurde. Die Eintragung des Gebrauchsmusters erfolgte am 6. April 2000. Das Gebrauchsmuster ist am 16. April 2001 nach Ablauf der Höchstlaufzeit erloschen.

Die Eintragung des Gebrauchsmusters erfolgte mit 18 Schutzansprüchen, die sämtlich auf eine Halbleiter-Speichervorrichtung gerichtet sind.

Der den Anmeldungsunterlagen, mit denen das Gebrauchsmuster abgezeigt wurde, zugehörige Schutzanspruch 103 lautet wie folgt:

Halbleiter-Gerät, welches zur Verwendung einer Halbleiter-Bus-architektur einschließlich einer Mehrzahl von Halbleiter-Geräten in der Lage ist, die parallel an einen Bus angeschlossen sind, wobei der Bus eine Mehrzahl von Busleitungen zum Transportieren von im wesentlichen sämtlichen Adress-, Daten- und Steuerungsinformationen beinhaltet, die von dem Halbleiter-Gerät zur Kommunikation mit im wesentlichen jedem anderen an den Bus angeschlossenem Halbleiter-Gerät benötigt werden und im Wesentlichen weniger Busleitungen als die Anzahl von Bits in einer einzelnen Adresse aufweist, wobei das Halbleiter-Gerät umfasst:

Anschlusseinrichtungen, die ausgebildet sind, um das Halbleitergerät an den Bus anzuschließen, und
wenigstens ein modifizierbares Zugriffszeit-Register, das für den Bus durch die Anschlusseinrichtung ansprechbar ist, wodurch Daten über den Bus zu dem Register gesendet werden können, welche einen vorbestimmten Zeitbetrag einstellen, den das Halbleiter-Gerät danach warten muss, bevor es den Bus zur Antwort auf eine Anforderung benutzt.

Der eingetragene Schutzanspruch 1 hat folgenden Wortlaut:

Halbleiter-Speichervorrichtung mit wenigstens einer Speicher-Matrix (1), welche eine Mehrzahl von Speicherzellen beinhaltet, wobei die Speichervorrichtung umfasst:

eine Taktempfängerschaltung (101, 111) zum Empfangen eines externen Taktsignals (53, 54) mit einer festen Frequenz;

ein programmierbares Zugriffs-Register zum Speichern eines Wertes, welcher die Anzahl von Taktzyklen des externen Taktsignals (53, 54) angibt, die verstreichen sollen, bevor die Speichervorrichtung auf eine Leseanforderung antwortet; und

eine Vielzahl von Ausgabe-Treibern (76) zum Ausgeben von Daten auf einen externen Bus (18, 65) als Antwort auf eine Leseanforderung,

wobei die Ausgabe-Treiber (76) nach Verstreichen der Anzahl der Taktzyklen des externen Taktes und synchron mit dem externen Taktsignal (53, 54) Daten auf den externen Bus (18, 65) ausgeben.

Hinsichtlich des Wortlauts der eingetragenen Ansprüche 2 bis 18 wird auf die Registerakte verwiesen.

Die Beschwerdegegnerinnen I bis III haben beim Deutschen Patent- und Markenamt im Jahr 2000 die Löschung des Gebrauchsmusters wegen unzulässiger Erweiterung und mangelnder Schutzfähigkeit des Gegenstandes beantragt und auf eine größere Anzahl von Schriften aus dem Stand der Technik verwiesen. Die Antragsgegnerin hat den Anträgen widersprochen. Nach Erlöschen des Gebrauchsmusters wegen Ablaufs der Schutzfrist sind die Antragsteller auf einen Feststellungsantrag übergegangen. Wegen des Feststellungsinteresse haben sie auf das anhängige Verletzungsverfahren beim Landgericht M... verwiesen. Auf ihren Antrag hin hat die Gebrauchsmusterabteilung I mit Beschluss vom

28. Mai 2003 festgestellt, dass das Gebrauchsmuster 91 17 296 von Anfang an unwirksam war.

Gegen diesen Beschluss hat die Antragsgegnerin Beschwerde eingelegt.

Sie verteidigt ihr Gebrauchsmuster auf der Grundlage der eingetragenen Ansprüche 1 bis 18, hilfsweise auf der Grundlage der mit Schriftsatz vom 13. Juli 2004 eingereichten Hilfsanträge I bis XIX sowie I' bis XIX'.

Der Schutzanspruch 1 gemäß Hilfsantrag I lautet:

Halbleiter-Speichervorrichtung mit wenigstens einer Speicher-Matrix (1), welche eine Mehrzahl von Speicherzellen beinhaltet, wobei die Speichervorrichtung umfasst:
eine Taktempfängerschaltung (101, 111) zum Empfangen eines externen Taktsignals (53, 54) mit einer festen Frequenz;
ein programmierbares Zugriffszeit-Register zum Speichern eines Wertes, welcher die Anzahl von Taktzyklen des externen Taktsignals (53, 54) angibt, die verstreichen sollen, bevor die Speichervorrichtung auf eine Leseanforderung antwortet; und
eine Vielzahl von Ausgabe-Treibern (76) zum Ausgeben von Daten auf einen externen Bus (18, 65) als Antwort auf eine Leseanforderung,
wobei die Ausgabe-Treiber (76) nach Verstreichen der Anzahl der Taktzyklen des externen Taktes und synchron mit dem externen Taktsignal (53, 54) Daten auf den externen Bus (18, 65) ausgeben, so dass die Leseanforderung und die zugehörige Antwort durch die Anzahl von Taktzyklen getrennt sind, die durch den im Zugriffszeit-Register gespeicherten Wert bestimmt ist.

Der Schutzanspruch 1 gemäß Hilfsantrag II lautet:

Dynamischer Wahlfrei-Zugriffs-Speicher (DRAM) mit wenigstens einer Speicher-Matrix (1), welche eine Mehrzahl von Speicherzellen beinhaltet, wobei der DRAM umfasst:

eine Taktempfängerschaltung (101, 111) zum Empfangen eines externen Taktsignals (53, 54) mit einer festen Frequenz;

ein programmierbares Zugriffszeit-Register zum Speichern eines Wertes, welcher die Anzahl von Taktzyklen des externen Taktsignals (53, 54) angibt, die verstreichen sollen, bevor die Speichervorrichtung auf eine Leseanforderung antwortet; und

eine Vielzahl von Ausgabe-Treibern (76) zum Ausgeben von Daten auf einen externen Bus (18, 65) als Antwort auf eine Leseanforderung,

wobei die Ausgabe-Treiber (76) nach Verstreichen der Anzahl der Taktzyklen des externen Taktes und synchron mit dem externen Taktsignal (53, 54) Daten auf den externen Bus (18, 65) ausgeben, so dass die Leseanforderung und die zugehörige Antwort durch die Anzahl von Taktzyklen getrennt sind, die durch den im programmierbaren Zugriffszeit-Register gespeicherten Wert bestimmt ist.

Der Schutzanspruch 1 gemäß Hilfsantrag III lautet:

Dynamischer Wahlfrei-Zugriffs-Speicher (DRAM) mit wenigstens einer Speicher-Matrix (1), welche eine Mehrzahl von Speicherzellen beinhaltet, wobei der DRAM umfasst:

Anschlusseinrichtungen, die ausgebildet sind, um den DRAM an einen externen Bus anzuschließen;

eine Taktempfängerschaltung (101, 111) zum Empfangen eines externen Taktsignals (53, 54) mit einer festen Frequenz;

ein programmierbares Zugriffszeit-Register zum Speichern eines Wertes, welcher die Anzahl von Taktzyklen des externen Taktsignales (53, 54) angibt, die verstreichen sollen, bevor die Speichervorrichtung auf eine Leseanforderung antwortet; und eine Vielzahl von Ausgabe-Treibern (76) zum Ausgeben von Daten auf den externen Bus (18, 65) als Antwort auf eine Leseanforderung,

wobei die Ausgabe-Treiber (76) nach Verstreichen der Anzahl der Taktzyklen des externen Taktes und synchron mit dem externen Taktsignal (53, 54) Daten auf den externen Bus (18, 65) ausgeben, so dass die Leseanforderung und die zugehörige Antwort durch die Anzahl von Taktzyklen getrennt sind, die durch den im programmierbaren Zugriffszeit-Register gespeicherten Wert bestimmt ist.

Der Schutzanspruch 1 gemäß Hilfsantrag IV lautet:

Dynamischer Wahlfrei-Zugriffs-Speicher (DRAM) mit wenigstens einer Speicher-Matrix (1), welche eine Mehrzahl von Speicherzellen beinhaltet, wobei der DRAM umfasst:

Anschlusseinrichtungen, die ausgebildet sind, um den DRAM an einen externen Bus anzuschließen;

eine Taktempfängerschaltung (101, 111) zum Empfangen eines externen Taktsignals (53, 54) mit einer festen Frequenz;

ein programmierbares Zugriffszeit-Register zum Speichern eines Wertes, welcher die Anzahl von Taktzyklen des externen Taktsignales (53, 54) angibt, die verstreichen sollen, bevor die Speichervorrichtung auf eine Leseanforderung antwortet, wobei Daten an das programmierbare Zugriffszeit-Register über den externen Bus zum Einstellen des Wertes, im programmierbaren Zugriffszeit-Register übermittelt werden können; und

eine Vielzahl von Ausgabe-Treibern (76) zum Ausgeben von Daten auf den externen Bus (18, 65) als Antwort auf eine Leseanforderung,
wobei die Ausgabe-Treiber (76) nach Verstreichen der Anzahl der Taktzyklen des externen Taktes und synchron mit dem externen Taktsignal (53, 54) Daten auf den externen Bus (18, 65) ausgeben, so dass die Leseanforderung und die zugehörige Antwort durch die Anzahl von Taktzyklen getrennt sind, die durch den im programmierbaren Zugriffszeit-Register gespeicherten Wert bestimmt ist.

Der Schutzanspruch 1 gemäß Hilfsantrag V lautet:

Dynamischer Wahlfrei-Zugriffs-Speicher (DRAM) mit wenigstens einer Speicher-Matrix (1), welche eine Mehrzahl von Speicherzellen beinhaltet, wobei der DRAM umfasst:
Anschlusseinrichtungen, die ausgebildet sind, um den DRAM an einen externen Bus anzuschließen;
eine Taktempfängerschaltung (101, 111) zum Empfangen eines externen Taktsignals (53, 54) mit einer festen Frequenz;
ein programmierbares Zugriffszeit-Register zum Speichern eines Wertes, welcher die Anzahl von Taktzyklen des externen Taktsignales (53, 54) angibt, die verstreichen sollen, bevor die Speichervorrichtung auf eine Leseanforderung antwortet, wobei der DRAM die Leseanforderung synchron mit dem externen Taktsignal empfängt, und wobei Daten an das programmierbare Zugriffszeit-Register über den externen Bus zum Einstellen des Wertes im programmierbaren Zugriffszeit-Register übermittelt werden können; und

eine Vielzahl von Ausgabe-Treibern (76) zum Ausgeben von Daten auf den externen Bus (18, 65) als Antwort auf eine Leseanforderung,

wobei die Ausgabe-Treiber (76) nach Verstreichen der Anzahl der Taktzyklen des externen Taktes und synchron mit dem externen Taktsignal (53, 54) Daten auf den externen Bus (18, 65) ausgeben, so dass die Leseanforderung und die zugehörige Antwort durch die Anzahl von Taktzyklen getrennt sind, die durch den im programmierbaren Zugriffszeit-Register gespeicherten Wert bestimmt ist.

Der Schutzanspruch 1 gemäß Hilfsantrag VI lautet:

Dynamischer Wahlfrei-Zugriffs-Speicher (DRAM) mit wenigstens einer Speicher-Matrix (1), welche eine Mehrzahl von Speicherzellen beinhaltet, wobei der DRAM umfasst:

Anschlusseinrichtungen, die ausgebildet sind, um den DRAM an einen externen Bus anzuschließen;

eine Taktempfängerschaltung (101, 111) zum Empfangen eines externen Taktsignals (53, 54) mit einer festen Frequenz;

ein programmierbares Zugriffszeit-Register zum Speichern eines Wertes, welcher die Anzahl von Taktzyklen des externen Taktsignales (53, 54) angibt, die verstreichen sollen, bevor die Speichervorrichtung auf eine Leseanforderung antwortet, wobei der DRAM die Leseanforderung synchron mit dem externen Taktsignal empfängt, wobei Daten an das programmierbare Zugriffszeit-Register über den externen Bus zum Einstellen des Wertes im programmierbaren Zugriffszeit-Register übermittelt werden können, und wobei der Wert im programmierbaren Zugriffszeit-Register während einer Initialisierungssequenz nach dem Anlegen von Energie an den DRAM eingestellt wird; und

eine Vielzahl von Ausgabe-Treibern (76) zum Ausgeben von Daten auf den externen Bus (18, 65) als Antwort auf eine Leseanforderung,

wobei die Ausgabe-Treiber (76) nach Verstreichen der Anzahl der Taktzyklen des externen Taktes und synchron mit dem externen Taktsignal (53, 54) Daten auf den externen Bus (18, 65) ausgeben, so dass die Leseanforderung und die zugehörige Antwort durch die Anzahl von Taktzyklen getrennt sind, die durch den im programmierbaren Zugriffszeit-Register gespeicherten Wert bestimmt ist.

Der Schutzanspruch 1 gemäß Hilfsantrag VII lautet:

Dynamischer Wahlfrei-Zugriffs-Speicher (DRAM) mit wenigstens einer Speicher-Matrix (1), welche eine Mehrzahl von Speicherzellen beinhaltet, wobei der DRAM umfasst:

Anschlusseinrichtungen, die ausgebildet sind, um den DRAM an einen externen Bus anzuschließen;

eine Taktempfängerschaltung (101, 111) zum Empfangen eines externen Taktsignals (53, 54) mit einer festen Frequenz;

ein programmierbares Zugriffszeit-Register zum Speichern eines Wertes, welcher die Anzahl von Taktzyklen des externen Taktsignales (53, 54) angibt, die verstreichen sollen, bevor die Speichervorrichtung auf eine Leseanforderung antwortet, wobei der DRAM die Leseanforderung synchron mit dem externen Taktsignal empfängt, wobei Daten an das programmierbare Zugriffszeit-Register über den externen Bus zum Einstellen des Wertes im programmierbaren Zugriffszeit-Register übermittelt werden können, und wobei der Wert im programmierbaren Zugriffszeit-Register sowohl während als auch nach einer Initialisierungssequenz programmierbar ist; und

eine Vielzahl von Ausgabe-Treibern (76) zum Ausgeben von Daten auf den externen Bus (18, 65) als Antwort auf eine Leseanforderung,

wobei die Ausgabe-Treiber (76) nach Verstreichen der Anzahl der Taktzyklen des externen Taktes und synchron mit dem externen Taktsignal (53, 54) Daten auf den externen Bus (18, 65) ausgeben, so dass die Leseanforderung und die zugehörige Antwort durch die Anzahl von Taktzyklen getrennt sind, die durch den im programmierbaren Zugriffszeit-Register gespeicherten Wert bestimmt ist.

Der Schutzanspruch 1 gemäß Hilfsantrag VIII lautet:

Dynamischer Wahlfrei-Zugriffs-Speicher (DRAM) mit wenigstens einer Speicher-Matrix (1), welche eine Mehrzahl von Speicherzellen beinhaltet, wobei der DRAM umfasst:

Anschlusseinrichtungen, die ausgebildet sind, um den DRAM an einen externen Bus anzuschließen;

eine Taktempfängerschaltung (101, 111) zum Empfangen eines externen Taktsignals (53, 54) mit einer festen Frequenz;

ein programmierbares Zugriffszeit-Register zum Speichern eines Wertes, welcher die Anzahl von Taktzyklen des externen Taktsignales (53, 54) angibt, die verstreichen sollen, bevor die Speichervorrichtung auf eine Leseanforderung antwortet, wobei der DRAM die Leseanforderung synchron mit dem externen Taktsignal empfängt, wobei Daten an das programmierbare Zugriffszeit-Register über den externen Bus zum Einstellen des Wertes im programmierbaren Zugriffszeit-Register übermittelt werden können, und wobei der Wert im programmierbaren Zugriffszeit-Register sowohl während als auch nach einer Initialisierungssequenz programmierbar ist; und

eine Vielzahl von Ausgabe-Treibern (76) zum Ausgeben von Daten auf den externen Bus (18, 65) als Antwort auf eine Leseanforderung,

wobei die Ausgabe-Treiber (76) nach Verstreichen der Anzahl der Taktzyklen des externen Taktes und synchron mit dem externen Taktsignal (53, 54) Daten auf den externen Bus (18, 65) ausgeben, so dass die Leseanforderung und die zugehörige Antwort durch die Anzahl von Taktzyklen getrennt sind, die durch den im programmierbaren Zugriffszeit-Register gespeicherten Wert bestimmt ist; und wobei ein Teil der Speicher-Matrix (1) automatisch als Reaktion auf die Leseanforderung ohne weitere Anweisungen voraufgeladen wird.

Der Schutzanspruch 1 gemäß Hilfsantrag IX lautet:

Dynamischer Wahlfrei-Zugriffs-Speicher (DRAM) mit wenigstens einer Speicher-Matrix (1), welche eine Mehrzahl von Speicherzellen beinhaltet, wobei der DRAM umfasst:

Anschlusseinrichtungen, die ausgebildet sind, um den DRAM an einen externen Bus anzuschließen;

eine Taktempfängerschaltung (101, 111) zum Empfangen eines externen Taktsignals (53, 54) mit einer festen Frequenz;

ein programmierbares Zugriffszeit-Register zum Speichern eines Wertes, welcher die Anzahl von Taktzyklen des externen Taktsignales (53, 54) angibt, die verstreichen sollen, bevor die Speichervorrichtung auf eine Leseanforderung antwortet, wobei der DRAM die Leseanforderung synchron mit dem externen Taktsignal empfängt, wobei Daten an das programmierbare Zugriffszeit-Register über den externen Bus zum Einstellen des Wertes im programmierbaren Zugriffszeit-Register übermittelt werden können, und wobei der Wert im programmierbaren Zu-

griffszeit-Register sowohl während als auch nach einer Initialisierungssequenz programmierbar ist; und eine Vielzahl von Ausgabe-Treibern (76) zum Ausgeben von Daten auf den externen Bus (18, 65) als Antwort auf eine Leseanforderung, wobei die Ausgabe-Treiber (76) nach Verstreichen der Anzahl der Taktzyklen des externen Taktes und synchron mit dem externen Taktsignal (53, 54) Daten auf den externen Bus (18, 65) ausgeben, so dass die Leseanforderung und die zugehörige Antwort durch die Anzahl von Taktzyklen getrennt sind, die durch den im programmierbaren Zugriffszeit-Register gespeicherten Wert bestimmt ist, wobei jeder Ausgabe-Treiber (76) zwei Bits der Daten während eines Taktzyklus des externen Taktsignales (53, 54) ausgibt; und wobei ein Teil der Speicher-Matrix (1) automatisch als Reaktion auf die Leseanforderung ohne weitere Anweisungen voraufgeladen wird.

Der Schutzanspruch 1 gemäß Hilfsantrag X lautet:

Dynamischer Wahlfrei-Zugriffs-Speicher (DRAM) mit wenigstens einer Speicher-Matrix (1), welche eine Mehrzahl von Speicherzellen beinhaltet, wobei der DRAM umfasst: Anschlusseinrichtungen, die ausgebildet sind, um den DRAM an einen externen Bus anzuschließen; eine Taktempfängerschaltung (101, 111) zum Empfangen eines externen Taktsignals (53, 54) mit einer festen Frequenz; ein programmierbares Zugriffszeit-Register zum Speichern eines Wertes, welcher die Anzahl von Taktzyklen des externen Taktsignales (53, 54) angibt, die verstreichen sollen, bevor die Speichervorrichtung auf eine Leseanforderung antwortet, wobei

der DRAM die Leseanforderung über den externen Bus synchron mit dem externen Taktsignal empfängt, wobei Daten an das programmierbare Zugriffszeit-Register über den externen Bus zum Einstellen des Wertes im programmierbaren Zugriffszeit-Register übermittelt werden können, und wobei der Wert im programmierbaren Zugriffszeit-Register sowohl während als auch nach einer Initialisierungssequenz programmierbar ist; und

eine Vielzahl von Ausgabe-Treibern (76) zum Ausgeben von Daten auf den externen Bus (18, 65) als Antwort auf eine Leseanforderung,

wobei die Ausgabe-Treiber (76) nach Verstreichen der Anzahl der Taktzyklen des externen Taktes und synchron mit dem externen Taktsignal (53, 54) Daten auf den externen Bus (18, 65) ausgeben, so dass die Leseanforderung und die zugehörige Antwort durch die Anzahl von Taktzyklen getrennt sind, die durch den im programmierbaren Zugriffszeit-Register gespeicherten Wert bestimmt ist; und wobei ein Teil der Speicher-Matrix (1) automatisch als Reaktion auf die Leseanforderung ohne weitere Anweisungen voraufgeladen wird.

Der Schutzanspruch 1 gemäß Hilfsantrag XI lautet:

Dynamischer Wahlfrei-Zugriffs-Speicher (DRAM) mit wenigstens einer Speicher-Matrix (1), welche eine Mehrzahl von Speicherzellen beinhaltet, wobei der DRAM zur Verwendung in einer Halbleiter-Busarchitektur geeignet ist, die eine Mehrzahl von parallel an einen externen Bus angeschlossenen Halbleiter-Geräten umfasst, wobei der DRAM zum Empfang von gemultiplexten Adressinformationen über den externen Bus geeignet ist, wobei der DRAM umfasst:

Anschlusseinrichtungen, die ausgebildet sind, um den DRAM an einen externen Bus anzuschließen;
eine Taktempfängerschaltung (101, 111) zum Empfangen eines externen Taktsignals (53, 54) mit einer festen Frequenz;
ein programmierbares Zugriffszeit-Register zum Speichern eines Wertes, welcher die Anzahl von Taktzyklen des externen Taktsignales (53, 54) angibt, die verstreichen sollen, bevor die Speichervorrichtung auf eine Leseanforderung antwortet, wobei der DRAM die Leseanforderung synchron mit dem externen Taktsignal empfängt, und wobei Daten an das programmierbare Zugriffszeit-Register über den externen Bus zum Einstellen des Wertes im programmierbaren Zugriffszeit-Register übermittelt werden können; und
eine Vielzahl von Ausgabe-Treibern (76) zum Ausgeben von Daten auf den externen Bus (18, 65) als Antwort auf eine Leseanforderung,
wobei die Ausgabe-Treiber (76) nach Verstreichen der Anzahl der Taktzyklen des externen Taktes und synchron mit dem externen Taktsignal (53, 54) Daten auf den externen Bus (18, 65) ausgeben, so dass die Leseanforderung und die zugehörige Antwort durch die Anzahl von Taktzyklen getrennt sind, die durch den im programmierbaren Zugriffszeit-Register gespeicherten Wert bestimmt ist.

Der Schutzanspruch 1 gemäß Hilfsantrag XII lautet:

Dynamischer Wahlfrei-Zugriffs-Speicher (DRAM) mit wenigstens einer Speicher-Matrix (1), welche eine Mehrzahl von Speicherzellen beinhaltet, wobei der DRAM umfasst:
Pins und Drähte zum Anschließen des DRAM an einen externen Bus, der Teil einer Halbleiter-Busarchitektur mit einer Mehr-

zahl von parallel an den externen Bus angeschlossenen Halbleiter-Geräten ist, wobei der externe Bus eine Mehrzahl von Busleitungen zum Übertragen von im wesentlichen sämtlichen Adress-, Daten- und Steuerungsinformationen beinhaltet, die vom DRAM zur Kommunikation mit im wesentlichen jedem anderen, an den externen Bus angeschlossenen Halbleiter-Gerät benötigt werden, und wobei der DRAM zum Empfang von gemultiplexten Adressinformationen vom externen Bus geeignet ist;

eine Taktempfängerschaltung (101, 111) zum Empfangen eines externen Taktsignals (53, 54) mit einer festen Frequenz;

ein programmierbares Zugriffszeit-Register zum Speichern eines Wertes, welcher die Anzahl von Taktzyklen des externen Taktsignales (53, 54) angibt, die verstreichen sollen, bevor die Speichervorrichtung auf eine Leseanforderung antwortet, wobei das programmierbare Zugriffszeit-Register für den externen Bus durch die Pins und Drähte zugänglich ist, wobei der DRAM die Leseanforderung synchron mit dem externen Taktsignal empfängt, und wobei Daten an das programmierbare Zugriffszeit-Register über den externen Bus zum Einstellen des Wertes im programmierbaren Zugriffszeit-Register übermittelt werden können; und eine Vielzahl von Ausgabe-Treibern (76) zum Ausgeben von Daten auf den externen Bus (18, 65) als Antwort auf eine Leseanforderung;

wobei die Ausgabe-Treiber (76) nach Verstreichen der Anzahl der Taktzyklen des externen Taktes und synchron mit dem externen Taktsignal (53, 54) Daten auf den externen Bus (18, 65) ausgeben, so dass die Leseanforderung und die zugehörige Antwort durch die Anzahl von Taktzyklen getrennt sind, die durch den im programmierbaren Zugriffszeit-Register gespeicherten Wert bestimmt ist.

Der Schutzanspruch 1 gemäß Hilfsantrag XIII lautet:

Dynamischer Wahlfrei-Zugriffs-Speicher (DRAM) mit wenigstens einer Speicher-Matrix (1), welche eine Mehrzahl von Speicherzellen beinhaltet, wobei der DRAM umfasst:

Pins und Drähte zum Anschließen des DRAM an einen externen Bus, der Teil einer Halbleiter-Busarchitektur mit einer Mehrzahl von parallel an den externen Bus angeschlossenen Halbleiter-Geräten ist, wobei der externe Bus eine Mehrzahl von Busleitungen zum Übertragen von im wesentlichen sämtlichen Adress-, Daten- und Steuerungsinformationen beinhaltet, die vom DRAM zur Kommunikation mit im wesentlichen jedem anderen, an den externen Bus angeschlossenen Halbleiter-Gerät benötigt werden, und wobei der externe Bus wesentlich weniger Busleitungen als die Anzahl von Bits in einer einzelnen Adresse aufweist;

eine Taktempfängerschaltung (101, 111) zum Empfangen eines externen Taktsignals (53, 54) mit einer festen Frequenz;

ein programmierbares Zugriffszeit-Register zum Speichern eines Wertes, welcher die Anzahl von Taktzyklen des externen Taktsignales (53, 54) angibt, die verstreichen sollen, bevor die Speichervorrichtung auf eine Leseanforderung antwortet, wobei das programmierbare Zugriffszeit-Register für den externen Bus durch die Pins und Drähte zugänglich ist, wobei der DRAM die Leseanforderung synchron mit dem externen Taktsignal empfängt, und wobei Daten an das programmierbare Zugriffszeit-Register über den externen Bus zum Einstellen des Wertes im programmierbaren Zugriffszeit-Register übermittelt werden können;

und eine Vielzahl von Ausgabe-Treibern (76) zum Ausgeben von Daten auf den externen Bus (18, 65) als Antwort auf eine Leseanforderung,

wobei die Ausgabe-Treiber (76) nach Verstreichen der Anzahl der Taktzyklen des externen Taktes und synchron mit dem externen Taktsignal (53, 54) Daten auf den externen Bus (18, 65) ausgeben, so dass die Leseanforderung und die zugehörige Antwort durch die Anzahl von Taktzyklen getrennt sind, die durch den im programmierbaren Zugriffszeit-Register gespeicherten Wert bestimmt ist.

Der Schutzanspruch 1 gemäß Hilfsantrag XIV lautet:

Dynamischer Wahlfrei-Zugriffs-Speicher (DRAM) mit wenigstens einer Speicher-Matrix (1), welche eine Mehrzahl von Speicherzellen beinhaltet, wobei der DRAM zur Verwendung in einer Halbleiter-Busarchitektur geeignet ist, die eine Mehrzahl von parallel an einen externen Bus angeschlossenen Halbleiter-Geräten umfasst, wobei der externe Bus eine Mehrzahl von Busleitungen zum Übertragen von Adress-, Daten- und Steuerungsinformationen beinhaltet, die vom DRAM zur Kommunikation mit anderen, an den externen Bus angeschlossenen Halbleiter-Geräten benötigt werden, wobei der DRAM zum Empfang von gemultiplexten Adressinformationen vom externen Bus geeignet ist, wobei der DRAM umfasst:

Anschlusseinrichtungen, die ausgebildet sind, um den DRAM an einen externen Bus anzuschließen;

eine Taktempfängerschaltung(101, 111) zum Empfangen eines externen Taktsignals (53, 54) mit einer festen Frequenz;

ein programmierbares Zugriffszeit-Register zum Speichern eines Wertes, welcher die Anzahl von Taktzyklen des externen

Taktsignales (53, 54) angibt, die verstreichen sollen, bevor die Speichervorrichtung auf eine Leseanforderung antwortet, wobei das programmierbare Zugriffszeit-Register für den externen Bus durch die Anschlusseinrichtungen zugänglich ist, wobei der DRAM die Leseanforderung synchron mit dem externen Taktsignal empfängt, und wobei Daten an das programmierbare Zugriffszeit-Register über den externen Bus zum Einstellen des Wertes im programmierbaren Zugriffszeit-Register übermittelt werden können; und

eine Vielzahl von Ausgabe-Treibern (76) zum Ausgeben von Daten auf den externen Bus (18, 65) als Antwort auf eine Leseanforderung,

wobei die Ausgabe-Treiber(76) nach Verstreichen der Anzahl der Taktzyklen des externen Taktes und synchron mit dem externen Taktsignal (53, 54) Daten auf den externen Bus (18, 65) ausgeben, so dass die Leseanforderung und die zugehörige Antwort durch die Anzahl von Taktzyklen getrennt sind, die durch den im programmierbaren Zugriffszeit-Register gespeicherten Wert bestimmt ist.

Der Schutzanspruch 1 gemäß Hilfsantrag XV lautet:

Dynamischer Wahlfrei-Zugriffs-Speicher (DRAM) mit wenigstens einer Speicher-Matrix (1), welche eine Mehrzahl von Speicherzellen beinhaltet, wobei der DRAM umfasst:

Anschlusseinrichtungen zum Anschließen des DRAM an einen externen Bus, der Teil einer Halbleiter-Busarchitektur mit einer Mehrzahl von parallel an den externen Bus angeschlossenen Halbleiter-Geräten ist, wobei der externe Bus eine Mehrzahl von Busleitungen zum Übertragen von im wesentlichen sämtlichen Adress-, Daten- und Steuerungsinformationen aufweist,

die vom DRAM zur Kommunikation mit im wesentlichen jedem anderen, an den externen Bus angeschlossenen Halbleiter-Gerät benötigt werden, und wobei der externe Bus wesentlich weniger Busleitungen als die Anzahl von Bits in einer einzelnen Adresse aufweist;

eine Taktempfängerschaltung (101, 111) zum Empfangen eines externen Taktsignals (53, 54) mit einer festen Frequenz;

ein programmierbares Zugriffs-Register zum Speichern eines Wertes, welcher die Anzahl von Taktzyklen des externen Taktsignales (53, 54) angibt, die verstreichen sollen, bevor die Speichervorrichtung auf eine Leseanforderung antwortet, wobei das programmierbare Zugriffszeit-Register für den externen Bus durch die Anschlusseinrichtungen zugänglich ist, wobei der DRAM die Leseanforderung synchron mit dem externen Taktsignal empfängt, und wobei Daten an das programmierbare Zugriffszeit-Register über den externen Bus zum Einstellen des Wertes im programmierbaren Zugriffszeit-Register übermittelt werden können; und

eine Vielzahl von Ausgabe-Treibern (76) zum Ausgeben von Daten auf den externen Bus (18, 65) als Antwort auf eine Leseanforderung,

wobei die Ausgabe-Treiber (76) nach Verstreichen der Anzahl der Taktzyklen des externen Taktes und synchron mit dem externen Taktsignal (53, 54) Daten auf den externen Bus (18, 65) ausgeben, so dass die Leseanforderung und die zugehörige Antwort durch die Anzahl von Taktzyklen getrennt sind, die durch den im programmierbaren Zugriffszeit-Register gespeicherten Wert bestimmt ist.

Der Schutzanspruch 1 gemäß Hilfsantrag XVI lautet:

Dynamischer Wahlfrei-Zugriffs-Speicher (DRAM) mit wenigstens einer Speicher-Matrix (1), welche eine Mehrzahl von Speicherzellen beinhaltet, wobei der DRAM umfasst:

Pins und Drähte zum Anschließen des DRAM an einen externen Bus, der Teil einer Halbleiter-Busarchitektur mit einer Mehrzahl von parallel an den externen Bus angeschlossenen Halbleiter-Geräten ist, wobei der externe Bus eine Mehrzahl von Busleitungen zum Übertragen von im wesentlichen sämtlichen Adress-, Daten- und Steuerungsinformationen aufweist, die vom DRAM zur Kommunikation mit im wesentlichen jedem anderen, an den externen Bus angeschlossenen Halbleiter-Gerät benötigt werden, und wobei der externe Bus wesentlich weniger Busleitungen als die Anzahl von Bits in einer einzelnen Adresse aufweist;

eine Taktempfängerschaltung (101, 111) zum Empfangen eines externen Taktsignals (53, 54) mit einer festen Frequenz;

ein programmierbares Zugriffszeit-Register zum Speichern eines Wertes, welcher die Anzahl von Taktzyklen des externen Taktsignales (53, 54) angibt, die verstreichen sollen, bevor die Speichervorrichtung auf eine Leseanforderung antwortet, wobei das programmierbare Zugriffszeit-Register für den externen Bus durch die Pins und Drähte zugänglich ist, wobei der DRAM die Leseanforderung synchron mit dem externen Taktsignal empfängt, und wobei Daten an das programmierbare Zugriffszeit-Register über den externen Bus zum Einstellen des Wertes im programmierbaren Zugriffszeit-Register übermittelt werden können, und wobei der Wert im programmierbaren Zugriffszeit-Register sowohl während als auch nach einer Initialisierungssequenz programmierbar ist; und

eine Vielzahl von Ausgabe-Treibern (76) zum Ausgeben von Daten auf den externen Bus (18, 65) als Antwort auf eine Leseanforderung,

wobei die Ausgabe-Treiber (76) nach Verstreichen der Anzahl der Taktzyklen des externen Taktes und synchron mit dem externen Taktsignal (53, 54) Daten auf den externen Bus (18, 65) ausgeben, so dass die Leseanforderung und die zugehörige Antwort durch die Anzahl von Taktzyklen getrennt sind, die durch den im programmierbaren Zugriffszeit-Register gespeicherten Wert bestimmt ist,

wobei jeder Ausgabe-Treiber (76) zwei Bits der Daten während eines Taktzyklus des externen Taktsignales (53, 54) ausgibt;

und wobei ein Teil der Speicher-Matrix (1) automatisch als Reaktion auf die Leseanforderung ohne weitere Anweisungen voraufgeladen wird.

Der Schutzanspruch 1 gemäß Hilfsantrag XVII lautet:

Dynamischer Wahlfrei-Zugriffs-Speicher (DRAM) mit wenigstens einer Speicher-Matrix (1), welche eine Mehrzahl von Speicherzellen beinhaltet, wobei der DRAM umfasst:

Anschlusseinrichtungen, die ausgebildet sind, um den DRAM an einen externen Bus anzuschließen, der Teil einer Halbleiter-Busarchitektur mit einer Mehrzahl von parallel an den externen Bus angeschlossenen Halbleiter-Geräten ist, wobei der externe Bus eine Mehrzahl von Busleitungen zum Übertragen von im wesentlichen sämtlichen Adress-, Daten- und Steuerungsinformationen beinhaltet, die vom DRAM zur Kommunikation mit im wesentlichen jedem anderen, an den externen Bus angeschlossenen Halbleiter-Gerät benötigt werden, und wobei der externe

Bus wesentlich weniger Busleitungen als die Anzahl von Bits in einer einzelnen Adresse aufweist;

eine Taktempfängerschaltung (101, 111) zum Empfangen eines externen Taktsignals (53, 54) mit einer festen Frequenz;

ein programmierbares Zugriffszeit-Register zum Speichern eines Wertes, welcher die Anzahl von Taktzyklen des externen Taktsignales (53, 54) angibt, die verstreichen sollen, bevor die Speichervorrichtung auf eine Leseanforderung antwortet, wobei das programmierbare Zugriffszeit-Register für den externen Bus durch die Anschlusseinrichtungen zugänglich ist, wobei der DRAM die Leseanforderung synchron mit dem externen Taktsignal empfängt, und wobei Daten an das programmierbare Zugriffszeit-Register über den externen Bus zum Einstellen des Wertes im programmierbaren Zugriffszeit-Register übermittelt werden können, und wobei der Wert im programmierbaren Zugriffszeit-Register sowohl während als auch nach einer Initialisierungssequenz programmierbar ist; und

eine Vielzahl von Ausgabe-Treibern (76) zum Ausgeben von Daten auf den externen Bus (18, 65) als Antwort auf eine Leseanforderung,

wobei die Ausgabe-Treiber (76) nach Verstreichen der Anzahl der Taktzyklen des externen Taktes und synchron mit dem externen Taktsignal (53, 54) Daten auf den externen Bus (18, 65) ausgeben, so dass die Leseanforderung und die zugehörige Antwort durch die Anzahl von Taktzyklen getrennt sind, die durch den im programmierbaren Zugriffszeit-Register gespeicherten Wert bestimmt ist,

wobei jeder Ausgabe-Treiber (76) zwei Bits der Daten während eines Taktzyklus des externen Taktsignales (53, 54) ausgibt; und wobei ein Teil der Speicher-Matrix (1) automatisch als Reaktion auf die Leseanforderung ohne weitere Anweisungen voraufgeladen wird.

Der Schutzanspruch 1 gemäß Hilfsantrag XVIII lautet:

Dynamischer Wahlfrei-Zugriffs-Speicher (DRAM) mit wenigstens einer Speicher-Matrix (1), welche eine Mehrzahl von Speicherzellen beinhaltet, wobei der DRAM zur Verwendung in einer Halbleiter-Busarchitektur geeignet ist, die eine Mehrzahl von parallel an einen Bus angeschlossenen Halbleiter-Geräten umfasst, wobei der Bus eine Mehrzahl von Busleitungen zum Übertragen von im wesentlichen sämtlichen Adress-, Daten- und Steuerungsinformationen beinhaltet, die vom DRAM zur Kommunikation mit im wesentlichen jedem anderen an den Bus angeschlossenen Halbleiter-Gerät benötigt werden, und wobei der Bus wesentlich weniger Busleitungen als die Anzahl von Bits in einer einzelnen Adresse aufweist, wobei der DRAM umfasst:

Anschlusseinrichtungen, die ausgebildet sind, um den DRAM an einen externen Bus anzuschließen;

eine Taktempfängerschaltung (101, 111) zum Empfangen eines externen Taktsignals (53, 54) mit einer festen Frequenz;

mindestens ein programmierbares Zugriffszeit-Register zum Speichern eines Wertes, welcher die Anzahl von Taktzyklen des externen Taktsignales (53, 54) angibt, die verstreichen sollen, bevor die Speichervorrichtung auf eine Leseanforderung antwortet, wobei das programmierbare Zugriffszeit-Register für den externen Bus durch die Anschlusseinrichtungen zugänglich

ist, wobei Daten an das programmierbare Zugriffszeit-Register über den externen Bus übermittelt werden können, der den Wert im programmierbaren Zugriffszeit-Register einstellt; und eine Vielzahl von Ausgabe-Treibern (76) zum Ausgeben von Daten auf den externen Bus(18, 65) als Antwort auf eine Leseanforderung,

wobei die Ausgabe-Treiber (76) nach Verstreichen der Anzahl der Taktzyklen des externen Taktes und synchron mit dem externen Taktsignal (53, 54) Daten auf den externen Bus (18, 65) ausgeben, so dass die Leseanforderung und die zugehörige Antwort durch die Anzahl von Taktzyklen getrennt sind, die durch den im programmierbaren Zugriffszeit-Register gespeicherten Wert bestimmt ist.

Der Schutzanspruch 1 gemäß Hilfsantrag XIX lautet:

Dynamischer Wahlfrei-Zugriffs-Speicher (DRAM) mit wenigstens einer Speicher-Matrix (1), welche eine Mehrzahl von Speicherzellen beinhaltet, wobei der DRAM zur Verwendung in einer Halbleiter-Busarchitektur geeignet ist, die eine Mehrzahl von parallel an einen Bus angeschlossenen Halbleiter-Geräten umfasst, wobei der Bus eine Mehrzahl von Busleitungen zum Übertragen von im wesentlichen sämtlichen Adress-, Daten- und Steuerungsinformationen beinhaltet, die vom DRAM zur Kommunikation mit in wesentlichen jedem anderen, an den Bus angeschlossenen Halbleiter-Gerät benötigt werden, und wobei der Bus wesentlich weniger Busleitungen als die Anzahl von Bits in einer einzelnen Adresse aufweist, wobei der DRAM umfasst:

Anschlusseinrichtungen; die ausgebildet sind, um den DRAM an einen externen Bus anzuschließen;

eine Taktempfängerschaltung (101, 111) zum Empfangen eines externen Taktsignals (53, 54) mit einer festen Frequenz;
mindestens ein programmierbares Zugriffszeit-Register zum Speichern eines Wertes, welcher die Anzahl von Taktzyklen des externen Taktsignales (53, 54) angibt, die verstreichen sollen, bevor die Speichervorrichtung auf eine Leseanforderung antwortet, wobei das programmierbare Zugriffszeit-Register für den externen Bus durch die Anschlusseinrichtungen zugänglich ist, wobei Daten an das programmierbare Zugriffszeit-Register über den externen Bus übermittelt werden können, der den Wert im programmierbaren Zugriffszeit-Register einstellt, wobei der DRAM die Leseanforderung synchron mit dem externen Taktsignal empfängt, wobei Daten an das programmierbare Zugriffszeit-Register über den externen Bus zum Einstellen des Wertes im programmierbaren Zugriffszeit-Register übermittelt werden können, und wobei der Wert im programmierbaren Zugriffszeit-Register sowohl während als auch nach einer Initialisierungssequenz programmierbar ist; und
eine Vielzahl von Ausgabe-Treibern (76) zum Ausgeben von Daten auf den externen Bus (18, 65) als Antwort auf eine Leseanforderung,
wobei die Ausgabe-Treiber (76) nach Verstreichen der Anzahl der Taktzyklen des externen Taktes und synchron mit dem externen Taktsignal (53, 54) Daten auf den externen Bus (18, 65) ausgeben, so dass die Leseanforderung und die zugehörige Antwort durch die Anzahl von Taktzyklen getrennt sind, die durch den im programmierbaren Zugriffszeit-Register gespeicherten Wert bestimmt ist,

wobei jeder Ausgabe-Treiber (76) zwei Bits der Daten während eines Taktzyklus des externen Taktsignales (53, 54) ausgibt; und wobei ein Teil der Speicher-Matrix (1) automatisch als Reaktion auf die Leseanforderung ohne weitere Anweisungen voraufgeladen wird.

Die Ansprüche nach den Hilfsanträgen I' bis XIX' unterscheiden sich von denen nach den Hilfsanträgen I bis XIX lediglich durch die Streichung des abhängigen Anspruchs 5.

Die Beschwerdeführerin führt zur Begründung ihrer Beschwerde aus, dass der Gegenstand des Gebrauchsmusters in der eingetragenen und den hilfsweise verteidigten Fassungen nicht in unzulässiger Weise über den Inhalt der Ursprungsanmeldung hinausgehe. Sowohl der ursprüngliche Anspruch 103 als auch die Beschreibung der Ursprungsanmeldung böten eine hinreichende Offenbarungsgrundlage für die Schutzansprüche nach Haupt- und Hilfsanträgen.

Der Gegenstand des Gebrauchsmusters beruhe auch auf einem erfinderischen Schritt. Die aus dem Stand der Technik bekannten Halbleiter-Speichervorrichtungen bestünden aus einem Controller und einer Anzahl von Speicherchips. Dem gegenüber lehre das Gebrauchsmuster die Zusammenfassung dieser Komponenten auf einem Chip und das Vorsehen eines Zugriffszeit-Registers unter Zugrundelegung eines synchron getakteten Busses. Auch die Ausführungen in der Intel Application Note "Designing Memory Systems with the 8K x 8 iRAM" enthielten keine Anregung in Hinsicht auf den beanspruchten Gegenstand, da dort lediglich Vorkehrungen für einen "Internal refresh", dh das interne Auffrischen der dynamischen Speicherzeiten entnehmbar seien, nicht aber übliche Funktionen einer Speichersteuerung. Daher sei die Schutzfähigkeit des Gebrauchsmusters anzuerkennen.

Die Beschwerdeführerin beantragt,

den angefochtenen Beschluss aufzuheben und die Feststellungsanträge zurückzuweisen, hilfsweise, sie zurückzuweisen im Umfang der Schutzansprüche nach den Hilfsanträgen I bis XIX und weiter den Hilfsanträgen I' bis XIX', jeweils umfassend den entsprechenden Schutzanspruch 1 und die betreffenden eingetragenen Unteransprüche, bezogen auf den jeweiligen Hauptanspruch.

Die Beschwerdegegnerinnen stellen den Antrag,

die Beschwerde zurückzuweisen.

Sie sind der Ansicht, dass die Gegenstände der Schutzansprüche in der eingetragenen Fassung und in den Fassungen nach den Hilfsanträgen, in denen das Merkmal weggelassen ist, dass der "Bus wesentlich weniger Busleitungen als die Anzahl von Bits in einer einzelnen Adresse aufweist", über den Inhalt der Anmeldung hinausgehen, deren Altersrang das Gebrauchsmuster in Anspruch nimmt. Sie vertreten weiterhin die Ansicht, dass es keines erfinderischen Schrittes bedurfte, um ausgehend vom Stand der Technik zu den Gegenständen der um die Erweiterung bereinigten Schutzansprüche zu kommen. Hierzu verweisen sie insbesondere auf

Application Note AP 132 "Designing Memory Systems with the 8K x 8 iRAM" der Intel Corp., 1982, und

Aufsatz von David K. Morgan "The CVAX CMCTL-A CMOS Memory Controller Chip" in der Zeitschrift "Digital Technical Journal", No. 7, August 1988.

In Hinsicht auf das in einigen Hilfsanträgen ergänzte Merkmal der Voraufladung eines Teils der Speicher-Matrix und das Merkmal der Ausgabe von zwei Bits der Daten während eines Taktzyklus vertreten sie die Auffassung, dass diese Merkmale in keinem einheitlichen Zusammenhang mit der Erfindung stünden und im übrigen aus dem Stand der Technik bekannt seien.

II

Die Beschwerde der Beschwerdeführerin ist zulässig, hat in der Sache jedoch keinen Erfolg. Denn der Feststellungsantrag ist zulässig. Insbesondere mangelt es nicht an dem hierfür erforderlichen berechtigten Feststellungsinteresses, da das auf Schadensersatz gerichtete Verletzungsklageverfahren zwischen den Verfahrensbeteiligten anhängig ist (7 O 317/00 LG Mannheim). Der Feststellungsantrag ist auch sachlich gerechtfertigt. Die Gebrauchsmusterabteilung I des Deutschen Patentamts hat im Ergebnis zu Recht gemäß § 15 Abs 1 Nr 1 und 3 GebrMG die Unwirksamkeit des Gebrauchsmusters von Anfang an festgestellt. Das Gebrauchsmuster war weder in der eingetragenen Fassung noch in der Fassung nach einem der Hilfsanträge I bis XIX und I' bis XIX' rechtsbeständig.

1. Zum Hauptantrag (eingetragene Fassung):

a) Der Anspruch auf Löschung wegen unzulässiger Erweiterung ist gegeben und begründet die Feststellung der Unwirksamkeit in dem unzulässig erweiterten Umfang. Der Gegenstand des Gebrauchsmusters geht über den Inhalt der Anmeldung in der Fassung hinaus, in der sie ursprünglich eingereicht worden ist (§ 15 Abs 1 Nr 3 GebrMG).

Die Gebrauchsmusteranmeldung ist in einer Fassung ursprünglich - am 17. Februar 2000 - eingereicht worden, die mit ihrer Beschreibung, den Zeichnungen und den 150 Schutzansprüchen der zugrundeliegenden (englischsprachigen) Patentanmeldung EP 91 908 374.1 mit deren Beschreibung, den Zeichnungen und den

150 Patentansprüchen inhaltlich übereinstimmt. Hiervon weicht der Gegenstand des Gebrauchsmusters ab, der sich nach den Unterlagen bestimmt, mit denen das Gebrauchsmuster eingetragen worden ist, und die mit den ursprünglichen Unterlagen nicht übereinstimmen. Die eingetragenen Unterlagen sind mit ihren 18 Schutzansprüchen gleichfalls am 17. Februar 2000 eingereicht (BI 350-413 der Registerakten) und in der Anmeldung als "Unterlagen, mit denen d. Gbm eingetragen werden soll" bezeichnet worden, während die anderen (BI 4-103 der Registerakten) als "Unterlagen, mit denen das Gebrauchsmuster abgezweigt werden soll", gekennzeichnet worden sind.

Gegen die gleichzeitige Einreichung zweier unterschiedlicher Fassungen von Unterlagen zu einer abgezweigten Gebrauchsmusteranmeldung, deren eine unzweideutig als Anmeldungs-, die andere als Eintragungsfassung bezeichnet ist, bestehen keine rechtlichen Bedenken (vgl BPatGE 45, 202 - Selbsthaftende Label). Die Anmeldungsfassung, deren legitimer Zweck die Begründung einer möglichst breiten Offenbarungsgrundlage - im vorliegenden Fall wie meist in der Praxis sachlich voll identisch mit der zugrunde liegenden Patentanmeldung - ist, ist von dieser Zweckbestimmung her gesehen die "ursprüngliche" Fassung iSd § 15 Abs 1 Nr 3 GebrMG. Daneben bleibt bei abgezweigten Gebrauchsmustern zu beachten, dass diese ursprüngliche Fassung nicht von der zugrundeliegenden Patentanmeldung unzulässig erweiternd abweichen darf (§ 5 Abs 1 GebrMG); im vorliegenden Fall steht wegen sachlicher Identität beider Fassungen die Wirksamkeit der Abzweigung allerdings außer Zweifel.

Die Abweichung der eingetragenen von der ursprünglichen Fassung stellt sich dagegen als unzulässige Erweiterung dar.

Die ursprüngliche Fassung trägt im englischen Wortlaut der europäischen Patentanmeldung EP 91 908 374.1 die Bezeichnung "Integrated Circuit I/O Using A High Performance Bus Interface" und nennt ua die Schaffung einer neuen Busschnittstelle in Halbleiterspeichern für schnelle Zugriffe auf große Datenblöcke in effizien-

ter und kostengünstiger Weise (vgl S 6, Z 8 – 12) und den Transfer von Adressen, Daten und Steuerinformationen über einen relativ schmalen Bus (vgl S 6, Z 21-23) als Aufgaben.

Entsprechend bezieht sich der Anspruch 103 der ursprünglichen Unterlagen, auf den sich die Beschwerdeführerin bei ihrer Argumentation hinsichtlich der Offenbarung der Lehre des eingetragenen Gebrauchsmusters vorrangig beruft, auf ein Halbleiter-I/O-Gerät, das parallel mit anderen Geräten an einen Bus angeschlossen ist, über den im wesentlichen alle Adressen, Daten und Steuerinformationen übertragen werden, um eine Kommunikation zwischen den Geräten zu ermöglichen. Jedes Gerät soll mit Anschlussmitteln (connection means) an den Bus angeschlossen und mit einem über den Bus programmierbaren Zugriffszeit-Register (access-time register) ausgestattet sein. Dabei legt der Wert im Zugriffszeit-Register die Zeitspanne fest, die das Halbleiter-Gerät nach einer Anforderung warten muss, bevor es auf eine Leseanforderung antworten darf und Daten an den Bus abgibt. Weiterhin ist in diesem Anspruch angegeben, dass der Bus über erheblich weniger Busleitungen verfügen soll, als die Anzahl von Bits in einer Adresse beträgt (has substantially fewer bus lines than the number of bits in a single address).

Der zuständige Fachmann, ein Datenverarbeitungsingenieur mit mehrjähriger Erfahrung auf dem Gebiet der PC-Schaltungstechnik, wird aus der letzten Angabe in Verbindung mit der in der Beschreibung angegebenen Aufgabenstellung, einen relativ schmalen Bus zu schaffen, schließen, dass die Verminderung der Anzahl von Busleitungen ein wesentliches Merkmal des Gegenstandes der ursprünglichen Anmeldung ist. Er wird das Vorsehen des Zugriffszeit-Registers und die Bemessung des dort programmierten Wertes in einen Zusammenhang stellen. Denn beim Nachvollzug der gegebenen Lehre erkennt er zwangsläufig, dass die verminderte Anzahl von Busleitungen Einfluss auf die Zugriffszeit zu den Daten des Geräts und damit auf den im Zugriffszeit-Register programmierten Wert für die Anzahl von Taktzyklen hat. Eine Verminderung der Anzahl von Busleitungen unter die Anzahl von Bits einer Adresse bedingt, dass die vollständige Übertragung einer Adresse

nicht in einem (Bus-)Taktzyklus erfolgen kann, sondern mindestens zwei Taktzyklen erfordert, wie auch die Beschwerdeführerin einräumt (vgl die in der mündlichen Verhandlung überreichte schriftliche Ausarbeitung zur unzulässigen Erweiterung, S 6 "1. Zwischenergebnis"), und der im Zugriffszeit-Register gespeicherte Wert an Taktzyklen je nach dem Grad der Verminderung der Busbreite also erhöht werden muss. Das Argument der Beschwerdeführerin, das Merkmal, dass der Bus über erheblich weniger Busleitungen verfügt, stehe in keinem erkennbaren funktionalen Zusammenhang mit dem Zugriffsregister, kann somit nicht nachvollzogen werden.

In der eingetragenen Fassung bezieht sich der Schutzanspruch 1 auf eine Halbleiter-Speichervorrichtung mit wenigstens einer Speicher-Matrix. Eine solche Speichervorrichtung ist in Übereinstimmung mit Anspruch 103 der ursprünglichen Fassung mit einer Taktempfängerschaltung und einem programmierten Zugriffszeit-Register ausgestattet. Hiergegen findet sich die im ursprünglichen Anspruch 103 enthaltene Angabe, dass der Bus über erheblich weniger Busleitungen verfügen soll, als die Anzahl von Bits in einer Adresse beträgt, in der eingetragenen Fassung nicht mehr. Das Vorsehen des Zugriffregisters und des darin gespeicherten Wertes ist sonach des Zusammenhangs mit der verminderten Busbreite beraubt und geht insoweit über den Inhalt des ursprünglichen Anspruchs 103 hinaus.

Eine andere Sicht des Zusammenhangs von verminderter Busbreite und Zugriffszeit-Register ergibt sich auch nicht bei Berücksichtigung der von der Beschwerdeführerin genannten Fundstellen in der Beschreibung der ursprünglichen Anmeldung. Dass das Zugriffszeit-Register einen Satz von mehreren Verzögerungszeiten speichern kann, wie auf S 12, 2. Abs erwähnt, oder der Bus in den zwischen Anforderung und Antwort liegenden Bus-Zyklen für zusätzlich Anforderungen benutzt werden kann, wie auf S 13, 2. Abs dargestellt, kann zwar als vorteilhafte Ausgestaltung der sich durch das Vorsehen eines Zugriffszeit-Registers ergebenden Möglichkeiten angesehen werden, vermindert aber nicht die grundlegende Bedeutung des dargestellten Zusammenhangs zwischen Busbreite und Zugriffszeitregister für den Anmeldungsgegenstand.

b) Das Gebrauchsmuster kann mit Aussicht auf Erfolg auch nicht mit einer Fassung des eingetragenen Schutzanspruchs 1 verteidigt werden, in der die unzulässige Erweiterung beseitigt ist, also das Merkmal ergänzt ist, dass der Bus über erheblich weniger Busleitungen verfügt, als die Anzahl von Bits in einer Adresse beträgt. Denn der Gegenstand eines derart auf die ursprüngliche Offenbarung zurückgeführten Anspruchs beruht nicht auf einem erfinderischen Schritt (§ 15 Abs 1 Nr 1 iVm § 1 GebrMG), so dass auch insoweit die Feststellung der Unwirksamkeit geboten ist.

Eine derartige Halbleiter-Speichervorrichtung ist durch die von den Beschwerdeführerinnen genannten Entgegenhaltungen "The CVAX CMCTL - A CMOS Memory Controller CHIP" und Intel Application Note "Designing Memory Systems with the 8K x 8 iRAM" in einer Weise nahegelegt, dass sie vom Fachmann ohne Schwierigkeiten aufgegriffen werden konnte.

Die Beschwerdeführerin versteht die "Halbleiter-Speichervorrichtung" nach dem Schutzanspruch 1 in dem Sinne, dass es sich hierbei um eine integrierte Vorrichtung handelt, also Speicher-Matrix, Taktempfängerschaltung, programmierbares Zugriffszeit-Register und Ausgabetreiber auf einem Chip integriert sind (vgl die in der mündlichen Verhandlung überreichte schriftliche Ausarbeitung zum erfinderischen Schritt, S 2 "Anspruch 1 - eingetragene Fassung"). Sie sieht bereits in der Zusammenfassung der Speicher mit den erforderlichen Steuerschaltungen zu einem Chip einen erfinderischen Schritt. Unter Bezug auf das Privat-Gutachten von William R. Huber, D.Sc., P.E, vom 13. Juli 2004 vertritt sie die Auffassung, dass die Ausführungen in den beiden genannten Entgegenhaltungen den Fachmann von der Kombination von DRAM (dynamischen Speichern) und den zugehörigen Steuerungsfunktionen für das Auffrischen und die Schnittstelle zum externen Bus auf einem Chip abhielten. Im einzelnen führt sie aus, dass unterschiedliche (Halbleiter-)Technologien, Kostenzwänge, Systemflexibilität und Fehlererkennung den Fachmann von der Zusammenfassung der DRAM- und Steuerungsfunktionen auf einem Chip abgehalten hätten (vgl Abschnitt V. des Gutachtens).

Der von der Beschwerdeführerin vertretenen Auffassung hinsichtlich der Zusammenfassung der für die Speicherung und die Steuerung des Speichers und der Schnittstellenfunktionen zum externen Bus erforderlichen Schaltungseinheiten auf einem Chip ist nicht beizutreten. Der Fachmann wird durch die Ausführungen in der Applikationsschrift "Designing Memory Systems with the 8K x 8 iRAM" durchaus greifbar zu einer Zusammenfassung dieser Funktionen auf einen Chip angeregt.

In der Applikationsschrift wird zunächst erläutert, dass einer die Nachteile von herkömmlichen DRAMS in den extensiven Anwendungen zu sehen sei, die sie für Steuerung und Schnittstelle (control and interface requirements) erforderten (vgl. Abschnitt 1.1). In Abschnitt 1.2 iVm Fig 2 wird weiter ausgeführt, dass dies (bisher) zu Mikroprozessorsystemen geführt habe, die aus den drei Hauptblöcken (major blocks) Mikroprozessor (CPU), Speichersteuerung (memory controller) und Speichermatrix (memory array) bestünden. Um zu einem höheren Niveau an Integration zu kommen, müsse daher eine Entscheidung getroffen werden, ob die Speichersteuerung im Mikroprozessor oder innerhalb des Speichers platziert werde. Eine sinnvolle Alternative (sensible alternative) sei hierfür die Integration der Speichersteuerung im Speicher. Dieser Ansatz stelle zwar zusätzliche Anforderungen an den Chipdesigner, vereinfache aber die Aufgabe des Systementwicklers.

Die dargestellten Textpassagen weisen den Fachmann sonach deutlich darauf hin, dass die Zusammenfassung der eigentlichen Speicher- und der erforderlichen Speichersteuerungsfunktionen auf einem Chip (RAM) eine durchaus in Betracht zu ziehende Möglichkeit ist. Darüber hinaus kann der Figur 6 und dem der Applikationsschrift beigefügten Datenblatt "2186" entnommen werden, dass der "iRAM" ein Teil der Universalproduktpalette eines Halbleiterherstellers war und auf dem Markt angeboten wurde.

Entgegen der von der Beschwerdeführer vertretenen Ansicht widersprechen die Ausführungen in dem Aufsatz "The CVAX CMCTL- A CMOS Memory Controller Chip" den Ausführungen in der Applikationsschrift nicht. In diesem Aufsatz wird ein herkömmliches System beschrieben, das aus den drei Hauptblöcken Prozessor, Speichersteuerung und Speichermatrix besteht (vgl dort Fig 1) und das insoweit auch mit der in der Applikationsschrift "iRAM" dargestellten Ausgangssituation übereinstimmt. Allerdings enthält der Aufsatz "CVAX CTML" keine Anregung in Hinsicht auf die mit dem Gebrauchsmuster angestrebte Höhenintegration und die Zusammenfassung von Speichersteuerung und Speichermatrix zu einem Chip.

Die Halbleiter-Speichervorrichtung nach der Applikationsschrift "iRAM" zeigt über die grundsätzliche Anregung in Hinsicht auf eine Höhenintegration hinaus jedoch auch einen Teil der im Schutzanspruch 1 genannten Merkmale.

Dem in Figur 1 dargestellten Blockschaubild iVm Abschnitt 1.4.2 entnimmt der Fachmann, dass der "iRAM" mit einer Vielzahl von Ausgabe-Treibern zum Ausgeben von Daten an einen (bezogen auf den Speicher) externen Bus als Antwort auf eine Leseanforderung ausgestattet ist. Dass der "iRAM" auch über eine Taktempfängerschaltung zum Empfang eines Taktsignals mit einer festen Frequenz verfügen muss, entnimmt der Fachmann Figur 6 auf Seite 3-44. Dort ist angegeben, dass eine synchrone Version "2187" angeboten wird, was den Empfang eines die Synchronität zum Restsystem bewirkenden externen Taktsignals mit einer geeigneten Empfängerschaltung voraussetzt.

Der in der Applikationsschrift beschriebene "iRAM" unterscheidet sich von der Halbleiter-Speichervorrichtung nach Schutzanspruch 1 sonach nur noch durch ein programmierbares Zugriffszeit-Register, in dem ein Wert gespeichert ist, welcher die Anzahl von Taktzyklen des externen Taktsignals angibt, die verstreichen sollen, bevor die Speichervorrichtung auf eine Leseanforderung antwortet, dh die Ausgabetreiber veranlasst werden, Daten auf den externen Bus auszugeben.

Die Ausgestaltung einer Halbleiter-Speichervorrichtung mit einem derartigen Zugriffszeit-Register bot sich dem Fachmann jedoch durch die Ausführungen in dem Aufsatz "CVAX CMCTL" an. Wie erläutert, ist dort ein herkömmliches System mit den drei Hauptblöcken Prozessor, Speichersteuerung und Speichermatrix beschrieben. Die Speichersteuerung (CMCTL) empfängt von einem externen Bus (CVAX-Bus) Leseanforderungen von dem synchron arbeitenden Prozessor (CVAX-CPU) und steuert die Ausführung der Lesezugriffe (vgl Fig 1). Um das Speicherverhalten an unterschiedliche CVAX-Bus-Geschwindigkeiten (bzw Prozessorgeschwindigkeiten, vgl S 143 oben) anpassen zu können, ist in der Speichersteuerung CMCTL ein programmierbarer Mechanismus (programmable mechanism) vorgesehen, der so programmiert werden kann, dass die Zugriffszeit für Lesezugriffe um ein Vielfaches von der Dauer einer Buszykluszeit verlängert werden kann (vgl Abschnitt "CMCTL Performance", S 142/143 mit Tabelle 2). Wie im Abschnitt "CMCTL Functions" auf Seite 143 erläutert, ist hierfür ein ladbares "control register" vorgesehen.

Ausgehend von der Problemstellung, eine hochintegrierte Speichervorrichtung schaffen zu wollen, die für Busse mit unterschiedlichen Übertragungsraten und ggf reduzierter Busbreite einsetzbar ist, war es vom Fachmann ohne weiteres zu erwarten, die in der Applikationsschrift "iRAM" beschriebene höherintegrierte Halbleiter-Speichervorrichtung mit einem programmierbaren Zugriffszeit-Register auszustatten, wie im Aufsatz "CVAX CTML" beschrieben. Dabei konnte der Fachmann unschwer absehen, dass die Hinzufügung eines zusätzlichen Registers kein Hindernis bildete, das der Integration von Speichersteuerung und Speichermatrizen ernstlich entgegenstand. Denn der Platzbedarf eines zusätzlichen Registers auf dem Chip war zu vernachlässigen gegenüber dem erheblich höheren Platzbedarf für Speichersteuerung und Speichermatrizen.

Das von der Beschwerdeführerin vorgebrachte Argument, dass die beiden Entgegenhaltungen die Schutzfähigkeit der Halbleiter-Speichervorrichtung nach dem Schutzanspruch 1 nicht in Frage stellen könnten, weil in der Applikationsschrift "iRAM" lediglich Vorkehrungen für das interne Auffrischen der dynamischen Speicherzellen dargestellt seien, nicht aber übliche Funktionen einer Speichersteuerung, vermag nicht zu überzeugen. Denn auf Seite 3-42, rechte Spalte der Applikationsschrift ist ausgeführt, dass "iRAM" alle Komponenten eines dynamischen RAM-Speichersystems auf einen Chip integriert. Dabei wird ausdrücklich erwähnt, dass sich der "iRAM" in dieser Hinsicht von pseudostatischen oder quasistatischen RAMs unterscheidet, die nur über die Auffrischungsschaltkreise verfügten und weiterhin einen erheblichen Steuerungsbedarf durch die CPU erforderten.

2. Zum Hilfsantrag I:

Dem Bestand dieser Fassung des Anspruchs 1 (wie auch der Fassungen nach den Hilfsanträgen II bis X) steht schon der Lösungsgrund der Erweiterung des Gegenstands des Schutzanspruchs über den Inhalt der ursprünglichen Anmeldung hinaus entgegen, wie zur eingetragenen Fassung des Schutzanspruchs 1 im einzelnen ausgeführt.

Auch eine Fassung des Schutzanspruchs 1, die auf den Inhalt der ursprünglichen Anmeldung zurückgeführt ist, erfüllt nicht die Schutzvoraussetzungen, da sie nicht auf einem erfinderischen Schritt beruht.

Hinsichtlich ihres Gegenstandes unterscheidet sich diese Fassung von der eingetragenen Fassung durch eine Ergänzung des die Ausgabe-Treiber betreffenden Merkmals. Danach sollen "die Leseanforderung und die zugehörige Antwort durch die Anzahl von Taktzyklen getrennt" sein, "die durch den im Zugriffszeit-Register gespeicherten Wert bestimmt ist."

Diese Ergänzung wiederholt aber nur den Sachverhalt, den der Fachmann bereits dem Merkmal "Zugriffszeit-Register" des eingetragenen Schutzanspruchs 1 entnimmt, nämlich dass das Zugriffszeit-Register einen Wert speichern soll, welcher die Anzahl von Taktzyklen angibt, die verstreichen sollen, bevor die Speichervorrichtung auf eine Leseanforderung antwortet.

3. Zum Hilfsantrag II:

Das Schutzbegehren nach diesem und den nachfolgenden Hilfsanträgen ist nicht generell auf eine Halbleiter-Speichervorrichtung gerichtet, sondern auf einen dynamischen Wahlfrei-Zugriffs-Speicher (DRAM). Das Schutzbegehren ist sonach auf dynamische Speicher eingeschränkt, dh Speicherzellen, die in regelmäßigen Zeitabständen einer Auffrischung bedürfen. Im übrigen unterscheidet sich diese Anspruchsfassung nicht von der Fassung nach dem Hilfsantrag I.

Eine andere Sicht des Anspruchsgegenstandes hinsichtlich Erweiterung und Schutzfähigkeit ergibt sich dadurch jedoch nicht. Auch diese Anspruchsfassung ist mangels des Merkmals, dass der Bus über erheblich weniger Busleitungen verfügt, als die Anzahl von Bits in einer Adresse beträgt, über den Inhalt der ursprünglichen Anmeldung hinaus erweitert. Dass dynamische Wahlfrei-Zugriffs-Speicher in der Speichervorrichtung verwendet werden, ist aus der Applikationschrift "iRAM" zu entnehmen. Dort ist erläutert, dass dynamische Speicherzellen zum Einsatz kommen, die einer regelmäßigen Auffrischung (refresh) unterzogen werden müssen (vgl S 3-45, re Sp).

4. Zum Hilfsantrag III:

Der Schutzanspruch 1 in dieser Fassung (und den nachfolgenden Fassungen außer denen nach den Hilfsanträgen XII, XIII und XVI) ist gegenüber der Fassung nach dem vorhergehenden Hilfsantrag lediglich um das Merkmal ergänzt, dass Anschlusseinrichtungen vorhanden sind, "die ausgebildet sind, um den DRAM an einen externen Bus anzuschließen". Dieses Merkmal, das letztlich bedeutet, dass

die Speichereinrichtung derart mit elektrischen Anschlüssen versehen sein soll, dass ein Betrieb an einem (externen) Bus möglich ist, ist bereits für die Speichereinrichtung nach der Applikationsschrift "iRAM" bekannt. Dort sind in den Abschnitten 1.4.1 und 1.4.2 zwei Möglichkeiten für den Anschluss des "iRAM" an einen externen Bus erläutert.

Sonach greifen die zu den vorhergehenden Anspruchsfassungen dargelegten Lösungsgründe gleichermaßen.

5. Zum Hilfsantrag IV:

In dieser Fassung des Schutzanspruchs 1 ist gegenüber der Fassung nach Hilfsantrag III ergänzt, dass "Daten an das programmierbare Zugriffszeit-Register über den externen Bus zum Einstellen des Wertes im programmierbaren Zugriffszeit-Register übermittelt werden können", dh dass das Zugriffszeit-Register über den externen Bus programmiert werden kann. Von einer solchen Programmierbarkeit wird der Fachmann jedoch bereits bei dem programmierbaren Zugriffszeit-Register (control register) nach dem Aufsatz "CVAX CMCTL" ausgehen. Dort ist im Abschnitt "System Overview" in Verbindung mit Figur 1 dargestellt, dass die Speichersteuerung CMCTL lediglich über den externen Bus (CVAX-BUS) mit dem restlichen System verbunden ist. Hieraus ergibt sich für den Fachmann zwangsläufig, dass das Zugriffszeit-Register (control register) nur über den Bus programmiert werden kann.

Auch bei dieser Anspruchsfassung greifen sonach die genannten Lösungsgründe.

6. Zum Hilfsantrag V:

In dieser Anspruchsfassung ist gegenüber der vorhergehenden das Merkmal ergänzt, dass "der DRAM die Leseanforderung synchron mit dem externen Taktsignal empfängt". Auch diese Ergänzung vermag das Vorliegen eines erfinderischen

Schrittes nicht zu begründen. Denn der Fachmann geht auch bei der Speichervorrichtung nach der Applikationsschrift "iRAM" davon aus, dass - jedenfalls bei der synchronen Version 2187 - die Leseanforderung von der Speichersteuerung synchron mit dem empfangenen Taktsignal übernommen wird.

7. Zu den Hilfsanträgen VI und VII:

In diesen Fassungen ist ergänzt, dass das Zugriffszeit-Register während oder zusätzlich auch nach einer Initialisierungssequenz geladen werden kann. Nachdem das Zugriffszeit-Register (control register), wie zum Hilfsantrag IV ausgeführt, entsprechend dem Aufsatz "CVAX" CMCTL" über den externen Bus programmierbar ist, wird der Fachmann davon ausgehen, dass der Wert in diesem Register jederzeit an die gerade vorliegenden Gegebenheiten des Restsystems angepasst, also geladen werden kann. Daneben stellt für den Fachmann das Laden eines definierten Wertes in ein Register nach dem Anlegen von Energie eine Notwendigkeit dar. Denn ihm ist bekannt, dass ein Register ein flüchtiger Speicher ist, der nach dem Einschalten der Spannung beliebige Inhalte aufweisen kann und daher der Initialisierung, dh des Ladens eines vorgegebenen Wertes bedarf.

8. Zum Hilfsantrag VIII:

In dieser Fassung des Schutzanspruchs ist ergänzt, dass "ein Teil der Speichermatrix automatisch als Reaktion auf die Leseanforderung ohne weitere Anweisung voraufgeladen wird".

Die Beschwerdegegner führen an, dass dieser Sachverhalt in keinem einheitlichen Zusammenhang mit den objektiv gelösten oder genannten Aufgabenstellungen stünde, nämlich der Schaffung einer neuen Busschnittstelle für Halbleiterspeicher oder der Höherintegration einer Speichereinrichtung. Aber selbst wenn zu Gunsten der Beschwerdeführerin ein solcher Zusammenhang unterstellt wird, ist eine solche Vorladung eines Teils der Speichermatrix als Maßnahme zur Beschleunigung von Speicherzugriffen aus dem Stand der Technik bekannt. Gegenstand der

entgegengehaltenen US 4 845 677 ist ein Speicherchip (memory chip), das in Übereinstimmung mit der beanspruchten Speichervorrichtung in Speichermatrizen (sub-arrays) unterteilt ist. Bei Zugriffen auf eine bestimmte Speichermatrix veranlasst ein Voraufldeschaltkreis (precharge circuit) eine Voraufldung dieser Matrix (vgl insb Anspruch 1 der US 4 845 677). Es bedurfte angesichts dessen keines erfinderischen Schrittes des Fachmanns, diese für die Verkürzung der Zugriffszeit von Speichern bekannte Maßnahme auch bei dem beanspruchten Speicher einzusetzen.

9. Zum Hilfsantrag IX:

In dieser Fassung ist der Schutzanspruch 1 weiterhin um das Merkmal ergänzt, dass "jeder Ausgabe-Treiber zwei Bits der Daten während eines Taktzyklus des externen Taktsignals ausgibt". Auch für dieses Merkmal gilt, dass es lediglich in einem weitläufigen Zusammenhang mit der übrigen Lehre des Anspruchs steht und kein kombinatorisches Zusammenwirken erkennbar ist. Daneben ist die (nacheinander folgende) Ausgabe von 2 Datenbits in einem Zyklus des externen Taktes (Φ) an einem Datenausgang (data out) einer Speichereinrichtung (semiconductor memory) aus der entgegengehaltenen US 4 330 852 vorbekannt (vgl dort Fig 1, 2d und 2f iVm Sp 3, Z 49 bis 63).

Der Rechtsbeständigkeit dieser Anspruchsfassung stehen sonach ebenfalls die beiden aufgezeigten Lösungsgründe entgegen.

10. Zum Hilfsantrag X:

Gegenüber der Fassung des Schutzanspruchs 1 nach dem Hilfsantrag VIII ist hier lediglich ergänzt, dass die Leseanforderung "über den externen Bus" empfangen wird. Ausgehend von dem Umstand, dass die Speichervorrichtung an einem externen Bus betrieben werden soll, sieht es der Fachmann als selbstverständlich an, dass auch die Leseanforderung als Signal vom externen Bus zugeführt wird. Es

gilt also zum Bestand dieses Gegenstands das gleiche wie zu dem des Hilfsantrags IX.

11. Zum Hilfsantrag XI:

Der Schutzanspruch 1 in dieser Fassung (und den Fassungen nach den Hilfsanträgen XII und XIV) bezieht sich auf einen dynamischen Wahlfrei-Zugriffs-Speicher, der "zur Verwendung in einer Halbleiter-Busarchitektur geeignet ist, die eine Mehrzahl von parallel an einen externen Bus angeschlossenen Halbleiter-Geräten umfasst, wobei der DRAM zum Empfang von gemultiplexten Adressinformationen über den externen Bus geeignet ist". Diese Angabe entspricht nicht exakt der in den ursprünglichen Unterlagen verwendeten Formulierung, bringt aber zum Ausdruck, dass der Bus über weniger Adressleitungen verfügen soll, als für die parallele Übertragung einer Adresse erforderlich sind.

Es kann offen bleiben, ob mit dieser Ergänzung des Anspruchswortlauts die Erweiterung des Anspruchsgegenstandes beseitigt ist. Denn jedenfalls scheidet der Bestand dieses Gegenstands daran, dass er nicht auf einem erfinderischen Schritt beruht.

Hierzu wird auf die Ausführungen zum Hilfsantrag V und den vorhergehenden Anträgen verwiesen. Hiervon soll sich der Speicher nach dem vorliegenden Hilfsantrag XI durch das Merkmal unterscheiden, "dass die Leseanforderung und die zugehörige Antwort durch die Anzahl von Taktzyklen getrennt sind, die durch den im programmierbaren Zugriffszeit-Register gespeicherten Wert bestimmt ist". In diesem Merkmal ist lediglich eine Wiederholung des Sachverhalts zu erkennen, die der Fachmann bereits dem Merkmal "Zugriffszeit-Register" entnimmt, nämlich dass der dort gespeicherte Wert "die Anzahl von Taktzyklen des externen Taktsignales angibt, die verstreichen sollen, bevor die Speichereinrichtung auf eine Leseanforderung antwortet". Ein erfinderischer Schritt ist sonach auch hier nicht zu erkennen.

12. Zum Hilfsantrag XII:

Der Speicher in dieser Fassung des Anspruchs 1 soll sich von dem nach dem vorhergehenden Hilfsantrag dadurch unterscheiden, dass die Anschlusseinrichtungen des DRAM als "Pins und Drähte zum Anschließen des DRAM an einen externen Bus" ausgebildet sind, der externe Bus "Teil einer Halbleiter-Busarchitektur mit einer Mehrzahl von parallel an den externen Bus angeschlossenen Halbleiter-Geräten ist, wobei der externe Bus eine Mehrzahl von Busleitungen zum Übertragen von in wesentlichen sämtlichen Adress-, Daten- und Steuerungsinformationen beinhaltet, die vom DRAM zur Kommunikation mit im wesentlichen jedem anderen, an den externen Bus angeschlossenen Halbleiter-Gerät benötigt werden", das "Zugriffszeit-Register für den externen Bus durch die Pins und Drähte zugänglich ist" und der DRAM Leseanforderungen synchron empfängt.

In diesen Merkmalen können nur Ausgestaltungen erkannt werden, die für den als Fachmann hier zuständigen Datenverarbeitungsingenieur mit mehrjähriger Erfahrung auf dem Gebiet der PC-Schaltungstechnik aufgrund seines Wissens über synchrone Busarchitekturen Selbstverständlichkeiten sind. Der Schutzanspruch 1 beruht sonach auch in dieser Fassung nicht auf einem erfinderischen Schritt.

13. Hilfsantrag XIII:

Der Schutzanspruch 1 ist in dieser Fassung durch die Formulierung, dass "der externe Bus wesentlich weniger Busleitungen als die Anzahl von Bits in einer einzelnen Adresse aufweist", zweifelsfrei auf die ursprüngliche Offenbarung zurückgeführt.

Hinsichtlich des mangelnden Beruhens auf einem erfinderischen Schritt wird auf die Ausführungen zum Hilfsantrag XII verwiesen.

14. Zum Hilfsantrag XIV:

Der Anspruch 1 in dieser Fassung geht in Übereinstimmung mit den Ansprüchen nach den Hilfsanträgen XI und XII von einem Speicher mit einer gemultiplexten Adressinformation aus, so dass auch hier dahingestellt bleiben kann, ob diese Fassung über die ursprünglichen Unterlagen hinaus erweitert ist. Denn in Hinsicht auf ihren sachlichen Gehalt unterscheidet sich diese Fassung von der vorhergehenden allein durch die für den Fachmann selbstverständliche Ausbildung der Anschlusseinrichtungen als Pins und Drähte, so dass hinsichtlich des Vorliegen eines erfinderischen Schrittes auf die vorhergehende Fassung zu verweisen ist.

15. Zum Hilfsantrag XV:

Der Anspruch 1 in dieser und den nachfolgenden Fassungen ist, wie zur Fassung nach dem Hilfsantrag XIII erläutert, zweifelsfrei auf die ursprünglich offenbarte Fassung zurückgeführt.

In ihrem übrigen sachlichen Gehalt stimmt diese Anspruchsfassung mit der nach dem Hilfsantrag XIV überein; sonach kann auch der Gegenstand in dieser Fassung nicht als auf einem erfinderischen Schritt beruhend anerkannt werden.

16. Zu den Hilfsanträgen XVI und XVII:

In diesen Fassungen des Anspruchs 1 werden entweder Anschlusseinrichtungen oder Pins und Drähte zum Anschließen des DRAM genannt. Hinsichtlich dieser Ausbildungen wird auf die Ausführungen zu den Hilfsanträgen III und XII verwiesen. Bezüglich der in beiden Fassungen weiter ergänzten Merkmale, dass jeder Ausgabe-Treiber zwei Bits der Daten während eines Taktzyklus ausgibt und ein Teil der Speicher-Matrix automatisch voraufgeladen wird, ist auf die Ausführungen zu den Hilfsanträgen VIII und IX zu verweisen. Auch dem Gegenstand in diesen Anspruchsfassungen mangelt es sonach an einem erfinderischen Schritt.

17. Zum Hilfsantrag XVIII:

Diese Fassung des Schutzanspruchs 1 unterscheidet sich von der Fassung nach dem Hilfsantrag XV im wesentlichen dadurch, dass "mindestens ein programmierbares Zugriffszeit-Register zum Speichern eines Wertes" für die Taktzyklen vorgesehen werden kann, dh fallweise auch mehrere Register vorhanden sein können, die unterschiedliche Werte für die Anzahl der Taktzyklen speichern. Diese Maßnahme wird der Fachmann routinemäßig, also ohne erfinderisches Bemühen dann wählen, wenn der Wert abhängig von den Anforderungen des restlichen Systems häufig zu ändern ist und jeweils eine Neuprogrammierung des Registers vermieden werden soll.

18. Zum Hilfsantrag XIX:

In dieser Fassung des Schutzanspruchs ist gegenüber der Fassung nach dem Hilfsantrag XVII ergänzt, dass "mindestens ein programmierbares Zugriffszeit-Register zum Speichern eines Wertes" für die Taktzyklen vorgesehen werden kann. Hinsichtlich der Hinzuziehung dieses Merkmals wird auf den Hilfsantrag XVIII verwiesen. Auch der Speicher nach diesem Hilfsantrag beruht sonach nicht auf einem erfinderischen Schritt.

19. Zu den Hilfsanträgen I' bis XIX':

Die Ansprüche nach diesen Hilfsanträgen unterscheiden sich von den Hilfsanträgen I bis XIX jeweils durch die Streichung des untergeordneten Anspruchs 5. In Hinsicht auf die Schutzfähigkeit des Gegenstands der einzelnen Anspruchsfassungen ist daher auf die entsprechenden Anträge I bis XIX zu verweisen.

20. Der Gegenstand mit den weiten Merkmalen der von den Hauptansprüchen abhängigen Unteransprüche 2 bis 18 lässt, wie auch nicht anders geltend gemacht, einen selbständigen erfinderischen Gehalt nicht erkennen.

21. Die Kostenentscheidung beruht auf § 18 Abs 2 GebrMG iVm § 84 Abs 2 PatG, § 97 ZPO. Die Billigkeit erfordert keine andere Entscheidung.

Goebel

Richter Bertl ist aus dem richterlichen Dienst ausgeschieden und deswegen verhindert zu unterschreiben.

Prasch

Goebel

Be