



BUNDESPATENTGERICHT

23 W (pat) 44/02

(AktENZEICHEN)

Verkündet am
28. September 2004

...

BESCHLUSS

In der Beschwerdesache

...

betreffend die Patentanmeldung 198 26.689.8-33

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 28. September 2004 unter Mitwirkung des Vorsitzenden Richters Dipl.-Phys. Dr. Tauchert, des Richters Dipl.-Ing. Dr. Meinel, der Richterin Martens sowie des Richters Dipl.-Phys. Dr. Häußler

beschlossen:

Der Beschluss der Prüfungsstelle für Klasse H 01 L des Deutschen Patent- und Markenamts vom 19. März 2002 wird aufgehoben und das Patent erteilt.

Bezeichnung: Halbleiterbauelement und Herstellungsverfahren eines Halbleiterbauelements

Anmeldetag: 16. Juni 1998

Die Priorität der Anmeldung in Japan vom 29. Oktober 1977 ist in Anspruch genommen.

(Aktenzeichen der Erstanmeldung: JP 9-297230)

Der Erteilung liegen folgende Unterlagen zugrunde:

Patentansprüche 1 bis 9,
Beschreibung Seite 1 bis 19,
jeweils überreicht in der mündlichen Verhandlung,
6 Seiten Zeichnungen (Figuren 1 bis 19) gemäß Offenlegungsschrift.

G r ü n d e

I

Die vorliegende Patentanmeldung 198 26 689.8-33 ist unter der Bezeichnung „Halbleitervorrichtung und Herstellungsverfahren einer Halbleitervorrichtung“ und unter Inanspruchnahme einer Priorität in Japan vom 29. Oktober 1997 (Az.:

JP 9-297230) am 16. Juni 1998 beim Deutschen Patent- und Markenamt eingereicht worden.

Mit Beschluss vom 19. März 2002 hat die Prüfungsstelle für Klasse H 01 L des Deutschen Patent- und Markenamts die Anmeldung zurückgewiesen. Sie hat ihre Entscheidung damit begründet, dass die Gegenstände gemäß den damaligen Patentansprüchen 1 nach Hauptantrag und Hilfsantrag 1 im Hinblick auf den aus der Entgegenhaltung

- 1) US-Patentschrift 5 824 591 zur entsprechenden vorveröffentlichten japanischen Offenlegungsschrift 9-237876 gleicher Priorität

bekanntem Stand der Technik nicht neu seien und dass der Gegenstand gemäß dem damaligen Patentanspruch 1 nach Hilfsantrag 2 durch die Entgegenhaltung 1) nahegelegt sei.

Im Prüfungsverfahren sind ferner noch die Druckschriften

- 2) US-Patentschrift 5 923 072 zur entsprechenden vorveröffentlichten französischen Offenlegungsschrift 2 724 489 gleicher Priorität, und
- 3) US-Patentschrift 5 759 911, die im Prioritätsintervall veröffentlicht ist,

in Betracht gezogen worden.

Gegen diesen Zurückweisungsbeschluss richtet sich die Beschwerde der Anmelderin. Sie verfolgt ihr Schutzbegehren mit den in der mündlichen Verhandlung vorgelegten neuen Patentansprüchen 1 bis 9 weiter und vertritt die Auffassung, dass der Gegenstand des neugefassten Hauptanspruchs gegenüber dem nachgewiesenen Stand der Technik, einschließlich dem vom Senat zur Druckschrift 3) eingeführten englischsprachigen Abstract zur entsprechenden vorveröf-

fentlichten japanischen Offenlegungsschrift 09-129733 gleicher Priorität, patentfähig sei.

Sie beantragt,

den angefochtenen Beschluss aufzuheben und das Patent mit Patentansprüchen 1 bis 9, überreicht in der mündlichen Verhandlung, zu erteilen.

Die der Entscheidung zugrundeliegenden Patentansprüche 1 bis 9 haben folgenden Wortlaut:

„1. Halbleiterbauelement mit
einem auf einem Halbleitersubstrat (1) gebildeten Isolierfilm (2),
einem Kontakt (3a,3b) aus einem elektrisch leitenden Material (3),
das in einem von der Bodenfläche des Isolierfilmes (2) zu der
Deckfläche des Isolierfilmes (2) gebildeten Kontaktloch (9) vergraben
ist,
einem auf dem Isolierfilm (2) gebildeten Leitermuster
(4a,4b,4aa,4bb,16a,16b) und
einer separaten, aus einem elektrisch leitenden Material (11) gebil-
deten Seitenwand (5a,5b,5c,5d), die wie ein Rahmen auf der Sei-
tenfläche des Leitermusters (4a,4b, 4aa,4bb,16a,16b) gebildet ist,
dadurch gekennzeichnet,
dass das Leitermuster (4a,4b,4aa,4bb,16a,16b) und der Kontakt
(3a,3b) elektrisch über die Seitenwand (5a,5b,5c,5d) miteinander
verbunden sind derart, dass ein Teil der Seitenwand (5b,5d) auf
dem Kontakt (3a,3b) angeordnet und in dem Kontaktloch (9) ver-
graben ist.

2. Halbleiterbauelement nach Anspruch 1,
dadurch gekennzeichnet, dass das Leitermuster (4a,4b) und die
Seitenwand (5a,5b,5c,5d) eine Verdrahtung bilden.

3. Halbleiterbauelement nach Anspruch 1 oder 2,
gekennzeichnet durch einen auf der Oberfläche des Leitermusters
(4aa,4bb,16a,16b) und der Seitenwand (5a,5b,5c,5d) gebildeten
dielektrischen Film (13) und einer auf der Oberfläche des dielektri-
schen Filmes (13) gebildeten Zellplatte (14),
wobei das Leitermuster (4aa,4bb,16a,16b) und die Seitenwand
(5a,5b,5c,5d) einen Speicherknoten (12a,12b,12aa,12bb,17a,17b)
bilden, und
wobei ein Kondensator (15a,15b,18a,18b) durch den Speicherkno-
ten (12a,12b, 12aa,12bb,17a,17b), den dielektrischen Film (13) und
die Zellplatte (14) gebildet ist.

4. Halbleiterbauelement nach einem der Ansprüche 1 bis 3,
dadurch gekennzeichnet,
dass die Filmdicke des Leitermusters (16a,16b) kleiner ist als die
vertikale Abmessung der Seitenwand (5a,5b,5c,5d) und
dass das Leitermuster (16a,16b) und die Seitenwand (5a,5b,5c,5d)
einen zylindrischen Speicherknoten (17a,17b) bilden.

5. Halbleiterbauelement nach Anspruch 3 oder 4,
dadurch gekennzeichnet, dass eine in Kontakt mit dem dielektri-
schen Film (13) stehende Oberfläche des Speicherknotens
(12aa,12 bb) aufgerauht ist.

6. Halbleiterbauelement nach einem der Ansprüche 1 bis 5,
dadurch gekennzeichnet,

dass der Abstand zwischen zwei benachbarten Leitermustern (4a,4b,4aa,4bb,16a,16b) der minimalen Design-Abmessung entspricht und

dass der Öffnungsdurchmesser des Kontaktloches (9) kleiner ist als die minimale Design-Abmessung.

7. Herstellungsverfahren eines Halbleiterbauelements nach einem der Ansprüche 1 bis 6, gekennzeichnet durch die Schritte:

Bilden eines Kontaktloches (9) in einem auf einem Halbleitersubstrat (1) gebildeten Isolierfilm (2) von der Deckfläche des Isolierfilmes (2) bis zu der Bodenfläche des Isolierfilmes (2),

Bilden eines elektrisch leitenden Materiales (3) auf dem Isolierfilm (2) und Füllen des Inneren des Kontaktloches (9) mit dem elektrisch leitenden Material (3) derart, dass ein vergrabener Kontakt (3a,3b) erhalten wird,

Bilden eines Resistmusters (10) oberhalb des Kontaktes (3a,3b) durch Durchführen eines photolithographischen Schrittes auf dem elektrisch leitenden Material (3), selektives Durchführen eines anisotropen Ätzens des elektrisch leitenden Materiales (3) unter Verwendung des Resistmusters (10) als eine Ätzmaske derart, dass ein Leitermuster (4a,4b,4aa,4bb) erhalten wird, wobei der Kontakt (3a,3b) mit angeätzt wird, wonach das Resistmuster (10) entfernt wird,

Bilden eines elektrisch leitenden Filmes (11) auf der Oberfläche des Leitermusters (4a,4b,4aa,4bb) und der Oberfläche des Isolierfilmes (2) einschließlich des angeätzten Teiles (A,B) des Kontaktes (3a,3b) und

Durchführen eines anisotropen Ätzens des elektrisch leitenden Filmes (11) unter Verwendung der Oberfläche des Isolierfilmes (2) als ein Ätzstopp derart, dass eine mit einer Seitenfläche des Leitermusters (4a,4b,4aa,4bb) verbundene, elektrisch leitende Seiten-

wand (5a, 5b,5c,5d) und der elektrisch leitende Film (11) in dem angeätzten Teil (A,B) zurückgelassen wird.

8. Herstellungsverfahren nach Anspruch 7, gekennzeichnet durch die weiteren Schritte:

Bilden eines dielektrischen Filmes (13) auf der Oberfläche eines Speicherknotens (12a,12b), der das Leitermuster (4aa,4bb) und die Seitenwand (5a, 5b,5c,5d) enthält, und

Bilden einer Zellplatte (14) auf dem dielektrischen Film (13), wobei ein den Speicherknoten (12a,12b), den dielektrischen Film (13) und die Zellplatte (14) enthaltender Kondensator (15a,15b) gebildet wird.

9. Herstellungsverfahren eines Halbleiterbauelements nach einem der Ansprüche 3 bis 6, gekennzeichnet durch die Schritte:

Bilden eines Kontaktloches (9) in einem auf einem Halbleitersubstrat (1) gebildeten Isolierfilm (2) von der Deckfläche des Isolierfilmes (2) bis zu der Bodenfläche des Isolierfilmes (2),

Bilden eines elektrisch leitenden Materiales (16) auf dem Isolierfilm (2) und Füllen des Inneren des Kontaktloches (9) mit dem elektrisch leitenden Material (16) derart, dass ein vergrabener Kontakt (3a,3b) erhalten wird,

Bilden einer Maskenschicht (19) auf dem elektrisch leitenden Material (16),

Bilden eines Resistmusters (20) oberhalb des Kontaktes (3a,3b) durch Durchführen eines photolithographischen Schrittes auf der Maskenschicht (19),

selektives Durchführen eines anisotropen Ätzens der Maskenschicht (19) und des leitenden Materiales (16) unter Verwendung des Resistmusters (20) als eine Ätzmaske derart, dass eine Maske (19a,19b) und ein Leitermuster (16a,16b) erhalten werden, wobei

der Kontakt (3a,3b) mit angeätzt wird, wonach das Resistmuster (20) entfernt wird,

Bilden eines elektrisch leitenden Filmes (11) auf den Oberflächen der Maske (19a,19b), des Leitermusters (16a,16b) und der Oberfläche des Isolierfilmes (2) einschließlich der Oberfläche und dem angeätzten Teil (A,B) des Kontaktes (3a,3b),

Durchführen eines anisotropen Ätzens des elektrisch leitenden Filmes (11) unter Verwendung der Oberfläche des Isolierfilmes (2) als ein Ätzstopp derart, dass eine mit den Seitenflächen der Maske (19a,19b) und des Leitermusters (16a,16b) verbundene, elektrisch leitende Seitenwand (5a, 5b,5c,5d) und der elektrisch leitende Film (11) in dem angeätzten Teil (A,B) zurückgelassen wird, wodurch ein zylindrischer Speicherknoten (17a,17b) erhalten wird, der das Leitermuster (16a,16b) und die Seitenwand (5a, 5b,5c,5d) enthält,

Bilden eines dielektrischen Filmes (13) auf der Oberfläche des zylindrischen Speicherknotens (17a,17b) und

Bilden einer Zellplatte (14) auf der Oberfläche des dielektrischen Filmes (13).

Wegen der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

II.

Die zulässige Beschwerde der Anmelderin ist begründet. Den Lehren der neugefassten Patentansprüche stehen Schutzhindernisse nicht entgegen. Sie halten sich insbesondere im Rahmen der ursprünglichen Offenbarung (§ 38 PatG) und ihre Gegenstände werden vom nachgewiesenen Stand der Technik nicht patent-hindernd getroffen (§1 Abs 1 iVm §§ 3,4 PatG).

1.) Der geltende Patentanspruch 1 ist zulässig, denn er findet inhaltlich eine ausreichende Stütze in den ursprünglichen Patentansprüchen 1 und 2 iVm dem in

der Beschreibung anhand der Fig. 1 erläuterten Ausführungsbeispiel, wobei die ursprüngliche Bezeichnung „Halbleitervorrichtung“ durch den zutreffenden Gattungsbegriff „Halbleiterbauelement“ klargestellt worden ist.

Die geltenden Unteransprüche 2 bis 5 entsprechen in ihrem technischen Inhalt den ursprünglichen Ansprüchen 3 bis 6 (in dieser Reihenfolge). Der geltende Unteranspruch 6 stützt sich inhaltlich auf den ursprünglichen Anspruch 7 iVm der ursprünglichen Beschreibung S 13 Abs 2 und Abs 4 Zeilen 2 bis 5 und S 14 Abs 3, wobei der Begriff „minimale Musterabmessung“ durch den zutreffenden Fachbegriff „minimale Design-Abmessung“ (englisch: minimum design rule) klargestellt worden ist.

Die nebengeordneten Verfahrensansprüche 7 und 9 stützen sich inhaltlich auf den ursprünglichen Verfahrensanspruch 8 iVm der Beschreibung des anhand der Fig. 1 bis 7 erläuterten Herstellungsverfahrens bzw den ursprünglichen Verfahrensanspruch 10 iVm der Beschreibung des anhand der Fig. 10 bis 13 erläuterten Herstellungsverfahrens. Der Unteranspruch 8 entspricht inhaltlich dem ursprünglichen Anspruch 9.

2) Die Erfindung geht nach der Beschreibungseinleitung (S 1 le Abs bis S 3 le Abs) von einem in den Fig. 14 bis 19 dargestellten, durch die (vorveröffentlichte) japanische Offenlegungsschrift 8-306664 belegten Stand der Technik aus. Bei diesem Stand der Technik soll – entsprechend dem dort zugrundeliegenden Problem - eine elektrische Verbindung zwischen einem im Kontaktloch eines (auf einem Halbleitersubstrat (101) gebildeten) Isolierfilms (102) vergrabenen Kontakt (103) und einem auf dem Isolierfilm (102) gebildeten zugehörigen Leitermuster (obere Verdrahtung 107) selbst dann gewährleistet sein, wenn infolge herstellungsbedingter Grenzen der Photolithographietechnik zur Strukturierung die übereinander angeordneten Kontakte (103) und zugehörigen Leitermuster (107) relativ zueinander verschoben sind. Gelöst wird dieses Problem beim Stand der Technik dadurch, dass vor Ausbildung des Leitermusters (107) auf dem Isolierfilm (102)

zunächst eine dünne Kontaktschicht (106a) ganzflächig aufgebracht wird, die nach Ausbildung des Leitermusters (107) und einer darauf ausgebildeten Seitenwand (109) aus einem Isoliermaterial zurückgeätzt wird.

Als nachteilig bei diesem Stand der Technik wird von der Anmelderin angesehen (geltende Beschreibung S 4 Abs 1), dass in dem Fall, wo - wie in Fig. 19 dargestellt - Kontakt (103) und zugehöriges Leitermuster (107) nicht mehr überlappen, die elektrische Verbindung über die dünne Kontaktschicht (106) erfolgt, wodurch der Widerstand erhöht wird und somit gute elektrische Eigenschaften nicht mehr gewährleistet sind.

Der Erfindung liegt daher das technische Problem (die Aufgabe) zugrunde, ein Halbleiterbauelement und ein Verfahren zu dessen Herstellung bereitzustellen, mit dem ein verbesserter elektrischer Kontakt zwischen Kontaktstopfen und Verdrahtungsebene erreicht wird, sogar wenn eine starke Dejustage zwischen den Photolithographieschritten zur Herstellung des Stopfens und der Verdrahtung vorliegt (geltende Beschreibung S 4 Abs 2).

Gelöst wird dieses Problem durch ein Halbleiterbauelement nach Anspruch 1 und ein Herstellungsverfahren für ein solches Halbleiterbauelement nach Anspruch 7 bzw 9.

Als entscheidungserhebliches Lösungsmerkmal wird von der Anmelderin angesehen, dass bei dem beanspruchten Halbleiterbauelement die elektrische Verbindung zwischen dem im Kontaktloch (9) des Isolierfilms (2) vergrabenen Kontakt (3a,3b) und dem auf dem Isolierfilm (2) gebildeten Leitermuster (4a,4b) über einen Teil der im Kontaktloch (9) vergrabenen, elektrisch leitenden Seitenwand (5b,5d) des Leitermusters (4a,4b) gebildet wird, wie dies im geltenden Anspruch 1 – bzw den zugehörigen Verfahrensansprüchen 7 und 9 - angegeben und anhand der Fig. 1 der Anmeldung erläutert ist.

3) Das – zweifelsohne gewerblich anwendbare (§ 5 PatG) – Halbleiterbauelement gemäß geltendem Patentanspruch 1 ist gegenüber dem nachgewiesenen Stand der Technik neu (§ 3 PatG) und beruht diesem gegenüber auch auf einer erfindnerischen Tätigkeit (§ 4 PatG) des zuständigen Durchschnittsfachmanns, der vorliegend als ein mit dem Aufbau und der Herstellung von Halbleiterbauelementen hoher Packungsdichte, insbesondere DRAM's, vertrauter, berufserfahrener Diplomphysiker oder Diplomingenieur der Fachrichtung Halbleitertechnik mit Universitätsabschluß zu definieren ist.

a) Soweit die Prüfungsstelle in den Beschlussgründen dargelegt hat, dass sich die Prüfung der Patentfähigkeit der Anmeldung darauf reduziere, ob die beanspruchte Erfindung aus der Druckschrift 1) bekannt sei (Zurückweisungsbeschluss S 5 le Abs Z 4 bis 6 bzw Anhörungsprotokoll S 2 le Abs), kommt dem Offenbarungsgehalt dieser Druckschrift 1) – wie sich auch aus dem Anhörungsprotokoll ergibt – maßgebliche Bedeutung zu.

Nach ständiger Rechtsprechung ist der Offenbarungsgehalt einer Entgegenhaltung nicht auf ihren Wortlaut beschränkt (sog. fotografische Neuheit). Vielmehr gehört zum Gegenstand einer Entgegenhaltung alles, was zwar nicht ausdrücklich erwähnt ist, aus der Sicht des Fachmanns jedoch nach seinem allgemeinen Fachwissen für die Ausführung der Lehre selbstverständlich oder nahezu unerlässlich ist und ferner solche Abwandlungen, die nach dem Gesamtzusammenhang der Schrift für den Fachmann derart naheliegen, dass sie sich bei aufmerksamer, weniger auf die Worte als ihren erkennbaren Sinn achtenden Lektüre ohne weiteres erschließen, so dass er sie in Gedanken gleich mitliest (Schulte, PatG, 6.Aufl., § 3 Rdn 101 bis 109 mwNachw; Busse, PatG, 6.Aufl. § 3 Rdn 112 bis 115 mwNachw). Nur das gehört zum Offenbarungsgehalt, was der Fachmann dem Gesamtdokument widerspruchsfrei entnimmt (Busse aaO § 3 Rdn 114 mwNachw).

Die Druckschrift 1) offenbart in der Beschreibungseinleitung (Sp 1 Z 11 bis Sp 2 Z13) iVm Fig. 1a bis 1f (prior art) einen Stand der Technik, bei dem zur Herstellung eines DRAM's mit gestapeltem Speicherkondensator auf einem Halbleiter-substrat (1) zunächst ein Isolierfilm (5) und ein Ätzstopffilm (6) gebildet werden, anschließend ein Kontakt (8) aus einem elektrisch leitenden Material in einem Kontaktloch (7) des Isolierfilms (5,6) vergraben wird, und schließlich ein Leitermuster (polysilicon film 12) aus einem elektrisch leitenden Material auf dem Isolierfilm (5,6) an der Seitenwand eines strukturierten Stapels (stack pattern 11) gebildet wird, wobei das Leitermuster (12) und der vergrabene Kontakt (8) über das auf dem Isolierfilm (5,6) ausgebildete Kopfteil des Kontaktes (8) miteinander verbunden sind und die untere Speicherelektrode (13) bilden (Fig. 1f).

Als nachteilig bei diesem Stand der Technik ist in der Druckschrift 1) dargelegt (Sp 2 Abs 2), dass es bei der Herstellung – wie anhand der Fig. 1g erläutert – aufgrund der Grenzen der Photolithographietechnik zu einer relativen Verschiebung zwischen Kontaktloch und Leitermuster-Stapel kommen kann mit der Folge, daß beim Ätzen des Leitermuster-Stapels, wie in Fig. 1g dargestellt, ein Schlitz (14) entsteht. Darüber hinaus kann es bei dem anschließenden Nassätzen zur Entfernung des BPSG (borophosphosilicate glass)-Films (9) des Stapels (11) aufgrund des über den Schlitz (14) eindringenden Ätzmittels zu einer Aushöhlung (gap 15) innerhalb der Isolierfilms (5) kommen, mit der Folge, dass sich der gesamte Leitermuster-Stapel (12,13) samt zugehörigem Kontakt (8) vom Isolierfilm (5) lösen kann.

Zur Lösung dieses Problems lehrt die in der Druckschrift 1) offenbarte Erfindung das Aufbringen eines isolierenden Films (second insulating BPSG film 28) auf der gesamten Oberfläche des Isolierfilms (21) und des Leitermuster-Stapels (32,33) mit der Folge, dass der Schlitz (14) mit isolierendem Material gefüllt wird, wie dies anhand der Fig. 5a bis 5c dargestellt und in der Beschreibung auch anhand der weiteren Ausführungsbeispiele explizit beschrieben ist (...the slit is filling with the second insulating film after - Sp 3 Z 47/48; ... the slit 14 is filled with the BPSG film

28 as shown in Fig. 5b – Sp 6 Z 40 bis 42; ...the slit is filled with the second insulating film - Sp 7 Z 55).

Demgegenüber ist der Prüfer der Auffassung, dass sich der – dem beanspruchten Anmeldungsgegenstand entsprechende – Sachverhalt, nämlich den Schlitz (14) mit elektrisch leitendem Material zu füllen, „faktisch“ bzw „automatisch“ ergebe, wenn der Fachmann den Anweisungen der Druckschrift 1) folge und den Polysiliziumfilm (27) nach dem zweiten Photolithographieschritt zur Erzeugung der unteren Elektrode aufbringe (Beschuß S 6 Abs 4). In der Entgegenhaltung 1) werde nämlich ein als leitfähig bezeichneter Polysiliziumfilm (27) ebenfalls auf die strukturierte Elektrodenstruktur (23,24) und die Schlitze (14) aufgebracht und zurückgeätzt. Dabei werde lediglich nicht erwähnt, dass bei diesem Abscheiden auch die Schlitze (14) mit diesem leitfähigen Polysilizium zumindest teilweise gefüllt werden. Dem Fachmann sei dies bei diesem Schritt jedoch selbstverständlich. Dies bedeute im Fall von Dejustagen, dass sich zwangsläufig ein verbesserter elektrischer Kontakt ergebe (Beschluss S 7 Abs 2 und 3).

Da diese Auffassung des Prüfers hinsichtlich des Offenbarungsgehaltes der Druckschrift 1) in offensichtlichem Widerspruch zu der dort beschriebenen Lehre steht, nämlich – wie vorstehend dargelegt – die als nachteilig angesehenen (offenen) Schlitze (14) mit einem isolierenden Material (28) zu füllen, ist zu prüfen, ob und inwieweit sich bei Ausführung der dort gegebenen Lehre ein anderes als das beschriebene Ergebnis einstellt und die in Druckschrift 1) gelehrtete Erfindung insoweit irrtümlich ist.

Eine derartiger Irrtum der in Druckschrift 1) vermittelten Lehre ist jedoch nicht ersichtlich.

Nach der Überzeugung des Senats ist vielmehr vom Prüfer übersehen worden, dass der in der Druckschrift 1) offenbarte Schlitz (14) nicht vor, sondern nach Abscheidung des Polysiliziumfilms (27) gebildet wird. Denn dem Fachmann, der die

Druckschrift 1) aufmerksam liest, erschließt sich ohne weiteres, dass der in Rede stehende Schlitz (14) (erst) bei dem zur Herstellung der elektrisch leitenden Seitenwand erforderlichen anisotropen Ätzen des abgeschiedenen Polysiliziumfilms (27) gebildet wird. Dafür spricht schon, dass der Schlitz (14) jeweils in einem Verfahrenszustand gemäß Fig. 1g bzw Fig. 5a dargestellt ist, wo bereits die Seitenwand (12 bzw 27) aus Polysilizium auf dem strukturierten Stapel (11 bzw 33) ausgebildet ist. Dafür spricht weiter, dass die (rechte) Flanke des Schlitzes (14) jeweils mit der (vertikalen) Polysilizium-Seitenwand (12 bzw 27) des Stapels (stack pattern 9 – Fig. 1g; 33 – Fig. 5a) fluchtet, wobei – wie für den Fachmann ohne weiteres ersichtlich – diese Seitenwand in Verbindung mit dem Ätzstoppfilm (6) als „Ätzmaske“ wirkt. Würde der Schlitz (14) vor dem Aufbringen des leitfähigen Polysiliziumfilms (27) gebildet, wie der Prüfer meint, müsste die (rechte) Flanke des Schlitzes (14) mit der noch ohne Polysiliziumfilm (27) ausgebildeten Seitenwand des Stapels (33) als seitliche Maskenbegrenzung fluchten. Darüber hinaus ist der in Fig. 1g dargestellte Sachverhalt, dass der Schlitz (14) nur im Fall der im linken Stapel dargestellten maximalen Dejustage gebildet wird, nur mit einer Schlitzbildung nach dem Aufbringen der Polysiliziumschicht widerspruchsfrei vereinbar, weil in diesem Fall zwischen dem Ätzstoppfilm (6) und der Seitenwand (12) aus Polysilizium ein Spalt verbleibt und damit ein Überätzen überhaupt erst möglich ist, während bei dem Stapel in den beiden anderen gezeigten Dejustage-Fällen ein Überätzen und damit eine Schlitzbildung aufgrund der Überlappung der Seitenwand (12) mit dem Ätzstoppfilm (6) wirksam verhindert wird. Würde der Schlitz (14) vor dem Aufbringen des Polysiliziumfilms (12) gebildet, wie der Prüfer meint, müssten demgegenüber sämtliche in Fig. 1g dargestellten drei Fallbeispiele einen entsprechenden Schlitz (14) aufweisen.

Auch die Beschreibung lässt keine andere als die vorstehend dargelegte Auslegung hinsichtlich der Schlitzbildung zu. Denn dort ist lediglich ausgesagt, dass der Schlitz (14) bei der Bearbeitung des Stapels bzw der Strukturierung der Verdrahtung entsteht (...when the stack formation ist etched..., a slit 14 is generated – Sp 2 Z 23ff; Sp 6 Z 34ff). Die Herstellung der Seitenwand (12-Fig. 1g; 27-Fig. 5a) aus

leitfähigem Polysilizium auf dem strukturierten Stapel durch anisotropes Ätzen, womit die untere Elektrode des Speicherkondensators gebildet wird, ist ein wesentlicher Verfahrensschritt zur Strukturierung des Leitermuster-Stapels.

Nach allem entnimmt der Fachmann dem Gesamtinhalt der Druckschrift 1) widerspruchsfrei die Lehre, dass der Schlitz (14) bei diesem Stand der Technik beim anisotropen (Über-)Ätzen der Polysiliziumschicht zur Bildung der elektrisch leitenden Seitenwand des strukturierten Stapels - und somit nach dem ganzflächigen Aufbringen dieser Schicht – gebildet wird und dementsprechend der zunächst noch offene Schlitz (14) – wie explizit beschrieben und in Fig. 5b und 5c dargestellt – mit einem isolierenden Material (28) gefüllt wird. Für die gegenteilige Auffassung der Prüfungsstelle im angefochtenen Beschluss, wonach der Schlitz mit elektrisch leitendem Material gefüllt sei, gibt die Druckschrift 1) keinerlei Anhalt.

Da bei dem bekannten Halbleiterbauelement somit das Anspruchsmerkmal fehlt, dass ein Teil der separaten, elektrisch leitenden Seitenwand des Leitermusters in dem Kontaktloch vergraben ist, ist die Neuheit des Halbleiterbauelements nach Anspruch 1 durch die Druckschrift 1) nicht in Frage gestellt.

Das Halbleiterbauelement nach geltendem Anspruch 1 ist auch gegenüber dem Stand der Technik nach den übrigen eingangs genannten Druckschriften neu.

Soweit in Druckschrift 2) ein Leitermuster mit separater, elektrisch leitender Seitenwand offenbart ist, handelt es sich um eine metallene Schutzschicht (7) einer T-förmigen Gate-Elektrode (6), die auf einem Isolierfilm (3) angeordnet ist, vgl insbesondere die Figur auf der Titelseite iVm Sp 6 Abs 1 bis 4 zur Fig. 3a.

Die Druckschrift 3) beschreibt die Herstellung von vergrabenen Kontakten in Kontaktlöchern eines auf einem Halbleitersubstrat gebildeten Isolierfilms. Die Ausbildung von separaten, elektrisch leitenden Seitenwänden eines auf dem Isolierfilm gebildeten Leitermusters ist dort nicht angesprochen.

Soweit in der von der Anmelderin genannten japanischen Offenlegungsschrift 8-306664 ein Leitermuster mit separaten Seitenwänden offenbart ist, sind diese – wie eingangs dargelegt – aus einem isolierenden Material gebildet und dienen dort als Ätzmaske zur Strukturierung einer auf dem Isolierfilm ausgebildeten dünnen Kontaktschicht.

b) Die Druckschrift 1), von der im Oberbegriff des geltenden Anspruchs 1 ausgegangen wird (geltende Beschreibung S 1 Abs 1), vermag dem vorstehend definierten Durchschnittsfachmann den Anmeldungsgegenstand gemäß Anspruch 1 weder für sich genommen noch in einer Zusammenschau mit den übrigen im Verfahren befindlichen Druckschriften naheulegen.

Die US-Patentschrift 5 824 591 gibt nämlich keinerlei Anhalt, dass es von Vorteil sein könnte, durch bewusstes Überätzen eine Ausnehmung in dem im Isolierfilm gebildeten Kontakt zu schaffen und diese – abweichend von der dort beschriebenen Lehre – mit elektrisch leitendem Material zu füllen, um über die so vergrabene, elektrisch leitende Seitenwand des Leitermusters eine verbesserte elektrische Verbindung sogar im Falle einer starken Dejustage sicherzustellen.

Soweit bei diesem Stand der Technik, wie vorstehend dargelegt, beim Strukturieren des Leitermuster-Stapels im Falle einer starken Dejustage – unerwünscht – Schlitzte gebildet werden, werden diese mit einem isolierenden Material gefüllt, um so ein mechanisches Ablösen des gesamten Leitermuster-Stapels samt zugehörigem Kontakt vom Isolierfilm zu verhindern. Da mit der bekannten Lehre somit ein mechanisches Halterungsproblem des Leitermuster-Stapels im Isolierfilm gelöst werden soll, hat der Fachmann – ohne Kenntnis der Erfindung - auch keine Veranlassung, das isolierende Material durch ein elektrisch leitendes Material zu ersetzen, um so das der vorliegenden Erfindung zugrundeliegende elektrische Verbindungsproblem mittels einer im Kontaktloch vergrabenen, elektrisch leitenden Seitenwand des Leitermusters zu lösen.

Eine Anregung in Richtung der Lehre des geltenden Anspruchs 1 erhält der Fachmann auch nicht bei Einbeziehung der übrigen eingangs genannten Druckschriften. Denn weder die og. Druckschriften 2) und 3) noch die von der Anmelderin genannte, eingangs erläuterte japanische Offenlegungsschrift 8-306664 geben einen Hinweis oder eine Anregung für das entscheidungserhebliche Anspruchsmerkmal, die elektrische Verbindung zwischen dem im Kontaktloch des Isolierfilms vergrabenen Kontakt und dem auf dem Isolierfilm gebildeten Leitermuster über eine separate, im Kontaktloch vergrabene elektrisch leitende Seitenwand des Leitermusters auszubilden, wie dies im geltenden Anspruch 1 gelehrt wird.

Im übrigen ist auch seitens der Prüfungsstelle die Patentfähigkeit des Anmeldegegenstandes durch die Druckschriften 2) und 3) nicht in Zweifel gezogen worden.

Das Halbleiterbauelement gemäß geltendem Anspruch 1 ist nach alledem patentfähig.

Die Unteransprüche 2 bis 6 betreffen vorteilhafte und nicht selbstverständliche Ausgestaltungen des Halbleiterbauelements nach Anspruch 1, deren Patentfähigkeit von derjenigen des Gegenstandes nach Hauptanspruch mitgetragen wird.

4. Die Patentfähigkeit der Herstellungsverfahren für ein solches Halbleiterbauelement gemäß den nebengeordneten Patentansprüchen 7 und 9 wird durch die vorstehend im Zusammenhang mit dem Halbleiterbauelement dargelegten, ersichtlich auch hier zutreffenden Gründe getragen.

Im Zusammenhang mit dem Verfahrensanspruch 7 ist auch der darauf zurückbezogene Anspruch 8 patentfähig, denn er hat eine vorteilhafte und nicht selbstverständliche Weiterbildung des Verfahrens nach Anspruch 7 zum Gegenstand.

5. Die geltende Beschreibung erfüllt die an sie zu stellenden Anforderungen hinsichtlich der Wiedergabe des maßgeblichen Standes der Technik, von dem die Erfindung ausgeht, und – in Verbindung mit der Zeichnung – hinsichtlich der Erläuterung des erfindungsgemäßen Halbleiterbauelementes sowie dem dazugehörigen Herstellungsverfahren.

Dr. Tauchert

Dr. Meinel

Martens

Dr. Häußler

Pr