



BUNDESPATENTGERICHT

17 W (pat) 43/02

(Aktenzeichen)

Verkündet am
22. März 2005

...

BESCHLUSS

In der Beschwerdesache

betreffend die Patentanmeldung P 44 47 848.8-53

...

hat der 17. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 22. März 2005 unter Mitwirkung des Vorsitzenden Richters Dipl.-Phys. Dr. Fritsch sowie der Richter Dr. Schmitt, Dipl.-Phys. Dr. Kraus und Dipl.-Ing. Schuster

beschlossen:

Auf die Beschwerde der Anmelderin wird der Beschluß der Prüfungsstelle für Klasse G 06 F des Deutschen Patent- und Markenamts vom 23. November 2001 aufgehoben und das Patent erteilt.

Der Erteilung liegen folgende Unterlagen zugrunde:

Patentansprüche 1 bis 4, überreicht in der mündlichen Verhandlung am 22. März 2005,

Beschreibung Seiten 1 bis 8, überreicht in der mündlichen Verhandlung am 22. März 2005, und die ursprünglichen Seiten 11 bis 39 als Seiten 9 bis 37 sowie

die ursprünglichen 11 Blatt Zeichnungen mit 12 Figuren (Fig. 1A bis 9).

Gründe

I.

Die vorliegende Patentanmeldung ist als Ausscheidungsanmeldung aus der Stammanmeldung P 44 22 456.7 am 30. Juni 1994 beim Deutschen Patent- und Markenamt unter der Bezeichnung

"Taktverteilungssystem für einen Mikroprozessor"

eingereicht worden.

Die Prüfungsstelle für die Klasse G 06 F hat die Patentanmeldung mit Beschluß vom 23. November 2001 mangels erfinderischer Tätigkeit zurückgewiesen.

Gegen diesen Beschluß ist die Beschwerde der Anmelderin vom 13. Februar 2002 gerichtet.

In der mündlichen Verhandlung am 22. März 2005 beantragt die Anmelderin,

den angefochtenen Beschluß aufzuheben und das nachgesuchte Patent mit folgenden Unterlagen zu erteilen:

Patentansprüchen 1 bis 4, überreicht am 22. März 2005,

Beschreibung Seiten 1 bis 8, überreicht ebenfalls am 22. März 2005, und

ursprüngliche Seiten 11 bis 39 als Seiten 9 bis 37,

sowie ursprüngliche 11 Blatt Zeichnungen mit 12 Figuren (Figuren 1A bis 9).

Der geltende Patentanspruch 1 (mit zugefügter Gliederung) und die Unteransprüche 2 bis 4 lauten wie folgt:

1. Integrierte Schaltung (200)
 - a. mit mehreren auf einem Chip verteilt angeordneten Schaltungsblöcken (420-440; 612-614; 651-655)
 - b. und einem die Schaltungsblöcke mit einem synchronen Takt versorgenden, von einer Taktversorgungsschaltung (301) ausgehenden Taktverteilungsnetzwerk,
 - c. wobei das Taktverteilungsnetzwerk eine Vielzahl von Globaltakttreiberschaltungen (30a-30l) aufweist,
 - c1. die entlang einer Peripherie der integrierten Schaltung (200) außerhalb der Schaltungsblöcke angeordnet sind
 - c2. und die jeweils an einem ersten Eingang ein von einem Taktsignal der Taktversorgungsschaltung (301) abgeleitetes synchronisiertes Taktsignal empfangen
 - c3. und die an einem Ausgang ein synchrones Taktsignal mit einem minimalen Flankenversatz an jeweils eine zugehörige Taktzuführleitung (31a-31l) abgeben,

- c4. wobei sich die Taktzuführleitungen (31) in das Innere des Chips hinein erstrecken, um dort die Schaltungsblöcke mit dem synchronen Takt zu versorgen,
 - c5. so dass jedem Schaltungsblock eine Gruppe von Globaltakttreiberschaltungen und zugehörigen Taktzuführleitungen zugeordnet ist,
 - d. wobei jede Globaltakttreiberschaltung (30) an einem zweiten Eingang (525) ein Taktaktivierungssignal empfängt und eine Aktivierungslogik (510, 511) zum Unterbrechen bzw. Freigeben des synchronen Taktsignals zur Taktzuführleitung (31) enthält,
 - e. wobei die Taktaktivierungssignale von einer Leistungsmanagementschaltung (610) derart an die zweiten Eingänge der Gruppen von Globaltakttreiberschaltungen angelegt werden, dass selektiv die Taktversorgung einzelner Schaltungsblöcke deaktiviert werden kann,
 - f. wobei die Aktivierungslogik (510, 511) so ausgebildet ist, dass eine Deaktivierung oder Aktivierung eines synchronen Takts nur während eines niedrigen Taktsignals stattfinden kann, und
 - g. wobei die Globaltakttreiberschaltungen gleichmäßig entlang zweier gegenüberliegender Ränder des Chips angeordnet sind und sich die Taktzuführleitungen parallel von diesen Rändern bis etwa zur Mitte des Chips erstrecken.
2. Integrierte Schaltung nach Anspruch 1,
dadurch gekennzeichnet,
dass Stromversorgungszellen (350) entlang der Ränder der integrierten Schaltung (200) angeordnet sind,
wobei die Stromversorgungszellen räumliche Zonen zur Ankopplung einer Spannungsversorgung sind,
und dass die Globaltakttreiberschaltungen innerhalb der Stromversorgungszellen angeordnet sind.

3. Integrierte Schaltung nach einem der Ansprüche 1 bis 2, dadurch gekennzeichnet, dass die Taktzuführleitungen in einer obersten Metallisierungsebene (M_4 -Niveau) ausgebildet sind.

4. Integrierte Schaltung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass das Taktverteilungsnetzwerk mehrere Zwischentakttreiberschaltungen (310-314; 691-695) aufweist, die ein von der Taktversorgungsschaltung ausgehendes synchrones Taktsignal empfangen und synchrone Taktsignale an jeweils mehrere zugeordnete Globaltakttreiberschaltungen ausgeben.

Bezüglich der weiteren Unterlagen wird auf den Akteninhalt verwiesen.

Nach Ansicht der Anmelderin ist die nunmehr beanspruchte Lehre durch den im Erteilungsverfahren genannten Stand der Technik weder bekannt noch nahegelegt und demzufolge patentierbar.

II.

Die zulässige Beschwerde ist begründet, da der Gegenstand des nachgesuchten Patents nach den §§ 1 bis 5 PatG patentfähig ist.

1. Die geltenden Patentansprüche sind zulässig.

Die Offenbarung von Anspruch 1 ergibt sich aus den am Anmeldetag (30. Juni 1994) der Ausscheidungsanmeldung eingereichten Unterlagen bzw. aus der Offenlegungsschrift DE 44 22 456 A1 der Stammanmeldung wie folgt:

Anspruch 1:	AT-Unterlagen // Stamm-OS
Merkmal 1a., b., c.	S. 9, zweiter Abs.; Fig. 4 // S. 4, Z. 40-51
" c1.	S. 12, zweiter Abs.; S. 23, zweiter Abs.; // S. 5, Z. 23-36; S. 8, Z. 45-58
" c2.	S. 29, erster Abs.; Fig. 5; // S. 10, Z. 19-32
" c3.	S. 30, letzter Abs. bis S. 31, Z. 2; Fig. 6A; // S. 10, Z. 57- 59
" c4.	Fig. 2; Fig. 6B;
" c5.	Fig. 6A;
" d	S. 29, erster Abs.; Fig. 5; // S. 10, Z. 19-32
" e	Seite 29, erster Absatz; Fig. 5; Fig. 6A; // S. 10, Z. 19-32
" f	Seite 29, zweiter Absatz; Fig. 5; // S. 10, Z. 33-38
" g	Fig. 2; Fig. 6B.
2:	S. 21, letzter Abs. bis S. 22, erster Abs.; // S. 8, Z. 14-23
3:	S. 24, dritter Abs.; // S. 8, Z. 65-67
4:	S. 22, zweiter Abs.; Fig. 3; Fig. 6A; // S. 8, Z. 24-36.

2. Die Erfindung betrifft ein Taktverteilungssystem für einen von einer Taktgeneratorschaltung ausgehenden synchronen Takt auf einer integrierten Schaltung mit mehreren Schaltungsblöcken, insbesondere einem Mikroprozessor, das von einem Leistungsmanagementsystem gesteuert ist.

Die erfindungsgemäße Aufgabe wird darin gesehen, bei einer integrierten Schaltung mit mehreren Schaltungskomponenten, die durch mehrere Takttreiber versorgt werden, zugleich eine synchrone Taktversorgung und ein wirksames Management des Energieverbrauchs zur Verfügung zu stellen.

Die Lösung dieser Aufgabe erfolgt mit den Merkmalen des vorstehend angegebenen Anspruch 1.

3. Im Prüfungsverfahren wurden folgende Druckschriften betrachtet:

D1: EP 451 661 A2

D2: EP 50 844 A1

D3: EP 181 059 A2

D4: US 5,172,330

D5: IBM Techn. Dis. Bull., Vol 32, No. 4B, Sept. 1989,
S. 120-122

Bezüglich dieses Standes der Technik ist der Gegenstand des Anspruch 1 neu, da keine der Druckschriften ein Taktverteilungssystem mit allen Merkmalen dieses Anspruchs zeigt. Der beanspruchte Gegenstand beruht darüber hinaus auch auf erfinderischer Tätigkeit.

D2 behandelt die Taktversorgung von integrierten Schaltungen (S. 1, Z. 1-5). In Fig. 9 (iVm S. 21, Z. 3 bis S. 22, Z. 3 und Anspruch 2, 3) ist eine solche Schaltung dargestellt, die aus mehreren - üblicherweise auf einem Chip (vergl. Fig. 4 mit S. 11, Z. 22-24 und Anspruch 2, Z. 17,18) verteilt angeordneten - Schaltungsblöcken 22, 90, 91 besteht, wobei letztere über ein Taktverteilungsnetzwerk mit einem von der Taktversorgungsschaltung 20 abgegebenen synchronen Takt versorgt werden – Merkmale a, b. Zu diesem Taktverteilungsnetzwerk gehört eine Vielzahl von Globaltakttreiberschaltungen 210, 211, 212, die jeweils an einem ersten Eingang ein von der Taktversorgungsschaltung 20 kommendes Taktsignal 3a (vergl.

S. 20, Z. 24) empfangen und die an einem Ausgang ein Taktsignal 90x, 91x, 92x an jeweils eine zugehörige Taktzuführleitung abgeben – Merkmale c, c2, c3. Jede Globaltakttreiberschaltung hat einen zweiten Eingang für die Zuführung eines Taktaktivierungssignals 30d, 31d, 32d zum Unterbrechen des von der Taktversorgungsschaltung 20 kommenden Taktsignals (S. 21, Z. 5-18) – Merkmal d. Das Leistungsmanagement zur selektiven Unterbrechung bzw. Freigabe des Taktsignals mittels der entsprechend angesteuerten Globaltaktschaltungen 210, 211, 212 wird vom Prozessor 22 übernommen (S. 21, Z. 3-8) – Merkmal e.

Die nach Anspruch 1, Merkmal f vorgesehene Maßnahme der Deaktivierung oder Aktivierung eines synchronen Taktes nur während eines niedrigen Taktsignals ist in D2 vergleichbar anzutreffen, da nach dem in den Figuren 1A und 1B dargestellten und auf S. 7 beschriebenen Ablauf die Deaktivierung der Schaltungskomponente 16 bei "niedrigen" ("low level") Taktsignalen Ig und Ih erfolgt. Hieraus folgt zwangsläufig, daß eine nachfolgende "Aktivierung" auf der Basis von "niedrigen" Taktsignalen erfolgt.

In D2 wird auch auf die zu beachtende Synchronität bei der Taktversorgung einer integrierten Schaltung hingewiesen (vergl. S. 6, Z. 17,18); es gibt in dieser Druckschrift jedoch keine Hinweise im einzelnen zur Erreichung dieses Ziels.

Diesbezügliche Maßnahmen sind in D4 angegeben. In dieser Druckschrift werden (auf einem Substrat - Sp. 7, Z. 68) integrierte Schaltungen beschrieben, bei denen die Logikkomponenten sich jeweils im Inneren der Schaltungsanordnung ("logic circuit area") und die Taktversorgungskomponenten ("clock supplying circuit") an der Peripherie befinden (Fig. 4 mit Sp. 3, Z. 11-34; Sp. 7, Z. 30-45), und zwar je nach Platzbedarf frei arrangiert an einer bis vier Seiten der Schaltungsanordnung (Fig. 4 bis Fig. 7; Sp. 3, Z. 33,34) – Merkmal c1. Die Taktzuführleitungen erstrecken sich hierbei in das Innere des Chips, um dort die Schaltungsblöcke mit synchronem Takt zu versorgen (Fig. 4) – Merkmal c4. In Sp. 8, Z. 25-48 ist auch eine integrierte Schaltung angegeben, bei der den Schaltungsblöcken ("logic circuits") eine Vielzahl von Globaltakttreiberschaltungen ("second level buffers", "third level buffers") - notwendigerweise mit Taktzuführleitungen - zugeordnet sind – Merkmal c5.

Die von dem in D4 beschriebenen Schaltungsaufbau mit der Taktversorgung an der Peripherie und den Schaltungsblöcken im Inneren herrührenden Probleme bei der Taktversorgung der Logikkomponenten werden beispielsweise in Verbindung mit Fig. 15 angesprochen. Bei der dortigen Schaltungsanordnung werden die Logikkomponenten 1505, 1506, 1507 über Zwischenverstärker 1502, 1503, 1504 mit von dem Hauptverstärker 1501 kommenden Taktsignalen versorgt. Zur Vermeidung von zeitlichen Abweichungen der den unterschiedlichen Logikkomponenten zugeführten Taktsignale werden Umwegleitungen 1508, 1509 verwendet (Sp. 5, Z. 37-46), die gegebenenfalls durch Kondensatoren, die zwischen den jeweiligen Taktzuführleitungen und Schaltungserde liegen, ergänzt werden (Sp. 5, Z. 47-50). Zur Vermeidung von Asynchronitäten bei der Taktversorgung ist bei der integrierten Schaltung nach Anspruch 1 gemäß Merkmal g hingegen vorgesehen, daß die Globaltakttreiberschaltungen gleichmäßig entlang zweier gegenüberliegender Ränder des Chips angeordnet sind und daß sich die Taktzuführleitungen parallel von diesen Rändern bis etwa zur Mitte des Chips erstrecken. Hierzu vermögen aus den aufgezeigten Gründen weder D2 noch D4 Anregungen zu geben, und auch durch die weiteren im Verfahren befindlichen Druckschriften wird die Vorgehensweise nach Merkmal g nicht nahegelegt.

In D1 geht es um einen Mikroprozessor mit reduzierter Leistungsaufnahme. Zum Erreichen dieses Zieles wird die jeweilige Aktivität der μ P-Schaltungskomponenten 11a, 11b, 11c ermittelt. Der Taktgenerator 13 gibt neben einem Referenztakt mit der Frequenz f noch weitere Taktsignale mit unterschiedlichen Frequenzen (z.B. $f/4$, $f/2$, ... $8f$) ab. Die μ P-Schaltungskomponenten werden entsprechend ihrem Aktivitätsgrad über eine Takt-Auswahlsteuereinheit 14 mit unterschiedlicher Frequenz beaufschlagt, wobei zu einer hohen/niedrigen Aktivität eine hohe/niedrige Taktfrequenz gehört (Anspruch 1; Fig. 1 mit Sp. 2, Z. 41 ff).

D1 unterscheidet sich von dem beanspruchten Gegenstand somit dadurch, dass der Schwerpunkt der Lehre in dem Vermindern des Taktes gesehen wird, um eine geordnete Betriebsweise auch im leistungsgeminderten Betriebszustand zu gewährleisten. Eine vollständige Abschaltung soll gerade vermieden werden.

D1 gibt dem Fachmann, einem Designer für integrierte Schaltungen, auch keine Hinweise auf eine Taktversatz vermeidende räumliche Anordnung der Takttreiber auf der integrierten Schaltung.

In D3 wird eine integrierte Takt-Verteilungsschaltung beschrieben. Ein von einem zentralen Taktgenerator 1 abgegebenes Taktsignal wird über Globaltakttreiber 2_1 bis 2_N und Leitungen 3_1 bis 3_N an Schaltungskomponenten 4 weitergeleitet (Fig. 1, 2 mit Beschreibung). Zur Verhinderung von zu großem Taktversatz ("clock skew") auf den einzelnen Taktzuführleitungen (vergl. Fig. 9, 10, Leitungen $23_1, 23_2$; Fig. 1, 2, Leitungen $3_1, 3_2, 3_N$) ist eine diese Leitungen verbindende Leitung 5 vorgesehen. Die Maßnahme nach Anspruch 1, Merkmal g, wird folglich auch durch D3 nicht nahegelegt.

In D5 ist die Führung von schnellen Taktsignalen auf einer Multilayer-Leiterplatte beschrieben. Dabei ist der Takttreiber etwa zentral in der Mitte der Leiterplatte angeordnet (Fig. 1, 2). Zur Vermeidung eines möglichen Taktversatzes zwischen den einzelnen Taktleitungen werden diese Leitungen in ihrer Länge durch Verwendung von Umwegleitungen an die Taktleitung mit der größten Länge angepaßt (S. 122, Abschnitt "Wire Length"). Eine gleichmäßige Anordnung der Takttreiber an zwei gegenüberliegenden Seiten des Chips nach Anspruch 1, Merkmal g ist somit auch durch D5 nicht nahegelegt.

Bei dieser Sachlage beruht die integrierte Schaltung nach Anspruch 1 somit auf erfinderischer Tätigkeit; dieser Anspruch ist folglich gewährbar. Die abhängigen Ansprüche 2 bis 4 enthalten zweckmäßige, nicht selbstverständliche Weiterbildungen der in Anspruch 1 angegebenen Erfindung und sind demnach ebenfalls gewährbar.

Die Beschwerde hat Erfolg.

Dr. Fritsch

Dr. Schmitt

Dr. Kraus

Schuster

Pü