



BUNDESPATENTGERICHT

23 W (pat) 78/05

(AktENZEICHEN)

Verkündet am
28. März 2008

...

BESCHLUSS

In der Beschwerdesache

...

betreffend die Patentanmeldung 10 2004 010 67.8-33

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 28. März 2008 unter Mitwirkung des Vorsitzenden Richters Dr. Tauchert, des Richters Lokys, der Richterin Dr. Hock sowie des Richters Brandt

beschlossen:

Die Beschwerde des Anmelders wird zurückgewiesen.

Gründe

I.

Die vorliegende Patentanmeldung 10 2004 010 673.8-33 ist am 4. März 2004 unter der Bezeichnung „Complementary Tunneling Field-Effect-Transistor (CTFET)“ in englischer Sprache beim Deutschen Patent- und Markenamt eingereicht worden. Die zugehörige beglaubigte Übersetzung ist am 28. Mai 2004 beim Deutschen Patent- und Markenamt eingegangen.

Die Prüfungsstelle für Klasse H01L des Deutschen Patent- und Markenamts hat im Prüfungsverfahren auf den Stand der Technik gemäß den Druckschriften

- (1) US 6 617 643 B1,
- (2) E. Takeda u. a.: „A Band to Band Tunneling MOS Device (B²T - MOSFET)“, IEDM 88, S. 402 -405,
- (3) US 4 458 261,
- (4) US 5 936 265 A und
- (5) N. Matsuo u. a.: „Application of advanced metal-oxide-semiconductor transistor in next generation, silicon resonant tunneling MOS Transistor, to new logic circuit“, Solid-State Electronics, Vol. 47, 2003, S. 1969-1972

hingewiesen und die Anmeldung mit Beschluss vom 10. Mai 2005 zurückgewiesen. Gegen diese Zurückweisung wendet sich die Beschwerde des Anmelders vom 15. Juni 2005.

Mit der Terminsladung hat der Senat dem Anmelder noch die Druckschriften

- (6) EP 0 469 807 A2 und
- (7) JP 60 - 245 168 A mit Abstract

übersandt.

In der mündlichen Verhandlung vom 27. März 2008 beantragt der Anmelder und Beschwerdeführer,

den Beschluss der Prüfungsstelle für Klasse H01L des Deutschen Patent- und Markenamts vom 10. Mai 2005 aufzuheben und das Patent mit folgenden Unterlagen zu erteilen:

Patentansprüche 1 bis 8, Beschreibung Seiten 1 bis 6, Figuren 1 bis 8, alle eingegangen am 9. August 2006.

Der geltende Anspruch 1 lautet:

„Halbleiteranordnung, umfassend:

ein Substrat (107),

einen ersten Tunnel-Feldeffekttransistor eines ersten Leitfähigkeitstyps in dem Substrat (107), und

einen zweiten Tunnel-Feldeffekttransistor eines zweiten Leitfähigkeitstyps in dem Substrat (107),

wobei der erste Tunnel-Feldeffekttransistor ein Draingebiet (102) des ersten Leitfähigkeitstyps, ein Sourcegebiet (103) des zweiten Leitfähigkeitstyps, das höher dotiert ist als das Draingebiet (102), und ein Kanalgebiet (106), welches das Draingebiet (102) und Sourcegebiet (103) voneinander trennt, umfasst, und ein dielektrisches Material (105) über dem Kanalgebiet (106) und eine Gate-Elektrode (104) über dem dielektrischen Material (105) derart an-

geordnet sind, dass der Stromfluss zwischen dem Sourcegebiet (103) und Draingebiet (102) gesteuert werden kann, und

der zweite Tunnel-Feldeffekttransistor ein Draingebiet (109) des zweiten Leitfähigkeitstyps, ein Sourcegebiet (108) des ersten Leitfähigkeitstyps, das höher dotiert ist als das Draingebiet (109), und ein Kanalgebiet (112), welches das Draingebiet (109) und Sourcegebiet (108) voneinander trennt, umfasst, und ein dielektrisches Material (111) über dem Kanalgebiet (112) und eine Gate-Elektrode (110) über dem dielektrischen Material (111) derart angeordnet sind, dass der Stromfluss zwischen dem Sourcegebiet (108) und Draingebiet (109) gesteuert werden kann.“

Hinsichtlich der Unteransprüche 2 bis 8 sowie hinsichtlich weiterer Einzelheiten wird auf den Akteninhalt verwiesen.

II.

Die zulässige Beschwerde des Anmelders ist nicht begründet, denn der Gegenstand des geltenden Anspruchs 1 erweist sich nach dem Ergebnis der mündlichen Verhandlung als nicht patentfähig.

1. Die Anmeldung betrifft nach den geltenden Ansprüchen eine Halbleiteranordnung mit komplementären Tunnel-Feldeffekttransistoren, vgl. die Abschnitte „Gebiet der Erfindung“ und „Motivation für die Erfindung“ nach der geltenden Beschreibung.

CMOS-Bauelemente, bei denen jeweils zwei vom Leitungstyp zueinander komplementäre MOS-Feldeffekttransistoren im Halbleitersubstrat integriert sind, haben wegen ihres geringen Leistungsbedarfs und ihrer hohen Schaltgeschwindigkeiten in der Schaltungstechnik sehr weite Verbreitung gefunden. Allerdings sind der

weiteren Skalierung dieser MOS-Feldeffekttransistoren wegen einer Reihe von Problemen, die bei einer Verringerung der Bauelemente-Dimensionen in den tiefen Submikrometerbereich auftreten und unter dem Begriff „Kurzkanaleffekte“ zusammengefasst werden, Grenzen gesetzt.

Der vorliegenden Anmeldung liegt somit als technisches Problem die Aufgabe zugrunde, ein verbessertes Halbleiterbauelement bereitzustellen, das speziell für die Weiterskalierung geeignet ist, vgl. die am 9. August 2006 eingegangene geltende Beschreibung, Seite 2, Absatz 1.

Diese Aufgabe wird gemäß dem geltenden Anspruch 1 durch eine Halbleiteranordnung gelöst, bei dem in einem Substrat zwei zueinander komplementäre Tunnel-Feldeffekttransistoren integriert sind, nämlich ein erster Tunnel-Feldeffekttransistor eines ersten Leitfähigkeitstyps und ein zweiter Tunnel-Feldeffekttransistor eines zweiten Leitfähigkeitstyps. Dabei weist der erste Tunnel-Feldeffekttransistor ein Draingebiet des ersten Leitfähigkeitstyps, ein Sourcegebiet des zweiten Leitfähigkeitstyps und zwischen diesen beiden Gebieten ein Kanalgebiet auf, über dem ein dielektrisches Material und eine Gate-Elektrode derart angeordnet sind, dass der Stromfluss zwischen dem Sourcegebiet und dem Draingebiet gesteuert werden kann. Der zweite, hierzu komplementäre Tunnel-Feldeffekttransistor weist ein Draingebiet des zweiten Leitfähigkeitstyps, ein Sourcegebiet des ersten Leitfähigkeitstyps und zwischen diesen beiden Gebieten ein Kanalgebiet mit einem dielektrischem Material und einer Gateelektrode auf, die derart angeordnet sind, dass auch hier der Stromfluss zwischen Sourcegebiet und Draingebiet gesteuert werden kann.

Bei beiden Transistoren ist, wie der geltende Anspruch 1 weiterhin lehrt, das Sourcegebiet jeweils höher dotiert als das jeweils zugehörige Draingebiet.

Durch diese Maßnahme wird gemäß der Beschreibung der vorliegenden Anmeldung sichergestellt, dass bei beiden Transistoren die Tunnelwahrscheinlichkeit für

Ladungsträger am Übergang zwischen dem Sourcegebiet und dem Kanalbereich weitaus höher ist als am Übergang zwischen Draingebiet und Kanalbereich, da die von den Ladungsträgern zu durchtunnelnde Potentialbarriere wegen des höheren Dotierungsniveaus des Sourcebereichs schmaler ist als am Übergang vom Draingebiet zum Kanal. Da die Sourcegebiete der beiden Transistoren von komplementärem Leitungstyp sind und daher der Tunnelstrom vom Sourcegebiet in den Kanal beim einen Transistor von Defektelektronen, beim anderen hingegen von Elektronen getragen wird, wird durch die höhere Dotierung das komplementäre Leitungs- und Sperrverhalten des Kanals festgelegt, vgl. die Darlegungen zur Fig. 3 in der geltenden Beschreibung Seite 4. Absatz 2.

2. Die Frage der Zulässigkeit des Anspruchs 1 und der Neuheit des Gegenstandes des Anspruchs 1 kann dahingestellt bleiben, weil die Lehre des Patentanspruchs 1 in jedem Fall nicht auf erfinderischer Tätigkeit beruht, vgl. BGH GRUR 1991, 120, 121, Abschnitt II.1 - „Elastische Bandage“.

Als zuständiger Fachmann ist hier ein mit der Entwicklung höchstintegrierbarer Bauelemente befasster Diplom-Physiker mit vertieften Kenntnissen der Halbleiterphysik und einschlägiger Berufserfahrung zu definieren.

In der vom Senat eingeführten Druckschrift (6) ist eine Halbleiteranordnung offenbart, bei der in der Terminologie des geltenden Anspruchs 1 auf einem Halbleitersubstrat (*semiconductor wafer*) ein erster Tunnel-Feldeffekttransistor eines ersten Leitfähigkeitstyps (*PQFET* bzw. *P-type Quantum Field Effect Transistor*) und ein zweiter Tunnel-Feldeffekttransistor eines zweiten komplementären Leitfähigkeitstyps (*NQFET* bzw. *N-type Quantum Field Effect Transistor*) integriert sind, vgl. die Fig. 5 und die zugehörige Beschreibung in Sp. 8, Zeile 48 bis Sp. 9, Zeile 22.

Die beiden Tunnel-Feldeffekttransistoren (*PQFET*, *NQFET*) weisen denselben Aufbau wie die im geltenden Anspruch 1 genannten Tunnel-Feldeffekttransistoren auf. Der erste Tunnel-Feldeffekttransistor (*PQFET*) weist ein Draingebiet eines

ersten Leitfähigkeitstyps (*drain 28*), ein Sourcegebiet eines zweiten Leitfähigkeitstyps (*source 24*) und ein Kanalgebiet (*gate 32*) auf, das das Source- und das Draingebiet voneinander trennt und auf dem ein dielektrisches Material in Form eines Gateoxids (*silicon oxide insulating layer 14*) und eine Elektrode (*gate 20*) angeordnet sind. Der hierzu komplementäre zweite Tunnel-Feldeffekttransistor (*NQFET*) weist ein Draingebiet (*drain 30*) des zweiten Leitfähigkeitstyps, ein Sourcegebiet (*source 26*) des ersten Leitfähigkeitstyps und ein Kanalgebiet (*gate 34*) auf, das das Drain- und das Sourcegebiet voneinander trennt und auf dem ein Dielektrikum (*silicon oxide insulating layer 14*) und eine Elektrode (*gate 34*) angeordnet sind, vgl. die Fig. 1A und 1B und die Beschreibung in Sp. 6, Zeilen 23 bis 36 sowie in Sp. 7, Zeilen 20 bis 44 und in Sp. 9, Zeilen 2 bis 11.

Wie bei der im Anspruch 1 genannten Halbleiteranordnung ist der Stromfluss zwischen Source- und Draingebiet auch bei der Halbleiteranordnung nach Druckschrift (6) durch die an der Gate-Elektrode anliegende Spannung steuerbar. In Übereinstimmung mit der in der vorliegenden Anmeldung beschriebenen Funktionsweise durchtunneln auch hier Ladungsträger die Potentialbarriere am pn-Übergang zwischen Source und Kanalgebiet und fließen zum Draingebiet, wobei die Tunnelwahrscheinlichkeit und damit der Tunnelstrom durch Modulieren der Breite der Barriere moduliert wird, indem mit Hilfe der an der Gate-Elektrode anliegenden Spannung die Ladungsträgerkonzentration im Kanalgebiet verändert wird, vgl. insbesondere Sp. 6, Zeilen 37 bis 53: *„Conductance through the junction in the tunneling mode is controlled by changing the junction width. It is well-known in the art that as the dopant of an area adjacent to the junction is increased, the junction narrows, and tunneling can begin. Conversely, reducing the dopant level tends to inhibit existing tunneling. It is also well-known, that a bias on a gate ... increases or decreases the dopant level immediately below the gate ... the effect of this change in dopant levels is used to control the PN junction width, thereby controlling tunneling through the junction, and controlling the device conductance.“*

Die in der Druckschrift (6) offenbarte Halbleiteranordnung entspricht somit bis auf das Merkmal, dass das Sourcegebiet höher dotiert sein soll als das Draingebiet des jeweiligen Transistors, der im geltenden Anspruch 1 angegebenen Halbleiteranordnung. Abweichend von dieser im geltenden Patentanspruch 1 hinsichtlich der Dotierung der Source- und Draingebiete gegebenen Lehre sollen die Dotierungskonzentrationen von Source- und Draingebiet bei der Halbleiteranordnung nach der Druckschrift (6) nämlich ähnlich sein, vgl. Sp. 7, Zeilen 20 bis 25 und Zeilen 31 bis 34: „3. Form a source region which is normally heavily concentrated with dopant (10^{20} atoms per cubic centimeter) 4. Form a drain region of the opposite conductivity type or doping, but with a similar concentration, very close to the source as discussed in step 3.“

Der oben definierte Fachmann entnimmt jedoch aufgrund seiner Fachkenntnisse aus dem geforderten Schaltverhalten der beiden komplementären Tunnel-Feldeffekttransistoren gemäß Fig. 5 der Druckschrift (6), dass das Sourcegebiet jeweils höher zu dotieren ist als das Draingebiet.

Bei der vorangehend erläuterten Halbleiteranordnung nach Fig. 5 der Druckschrift (6) sind die beiden komplementären Tunnel-Feldeffekttransistoren (*PQFET*, *NQFET*) zu einer Inverterschaltung verbunden, bei der die beiden Transistoren in Reihe geschaltet und an ihren Draingebieten (28, 30) miteinander verbunden sind. Der Signalpegel an dieser Stelle, die den Ausgangsanschluss des Inverters bildet, kann nur dann zwischen dem hohen Potential des einen Sourcegebiets (24) und dem niedrigen Potential des anderen Sourcegebiets (26) hin- und hergeschaltet werden, wie es in der Druckschrift (6), Beschreibung Sp. 9, Zeilen 2 bis 14 angegeben wird, wenn die beiden Transistoren komplementär zueinander durch die an ihren miteinander verbundenen Gate-Elektroden (32, 34) anliegenden Eingangsspannungspegel zwischen dem Einschalt- und dem Ausschaltzustand hin- und hergeschaltet werden können, vgl. die Beschreibung zur Fig. 5 (a. a. O.): „A *PQFET* and an *NQFET* are arranged so that a normal input voltage will always turn one of the two on and the other off. Drive voltage and current is provided at

*the output of devices, **but there is no path through the other device**, so power is not wastefully flowing through both devices at the same time. ...“*

Für den zuständigen Fachmann bedeutet dieser Hinweis, dass es beim Anlegen des jeweiligen Sperrspannungspegels an die Gate-Elektrode der Tunnel-Feldeffekttransistoren nicht zu einem Aktivieren des Tunnelübergangs zwischen dem Drain- und dem Kanalgebiet kommen darf, denn in diesem Fall fließt ein rückwärts vom Drain- zum Sourcegebiet gerichteter Tunnelstrom durch den Transistor, so dass die beiden Tunnel-Feldeffekttransistoren nicht ausgeschaltet werden können und die Inverteranordnung funktionsunfähig ist.

Dabei gehört es zum Halbleiterphysikalischen Fachwissen des zuständigen Fachmanns, dass die Tunnelwahrscheinlichkeit für Ladungsträger an einer Tunnelbarriere und damit der Tunnelstrom vom Dotierungsniveau des zu der Barriere benachbarten Gebiets abhängt, wobei eine höhere Dotierung zu einer schmaleren Barriere und damit zu einer höheren Tunnelwahrscheinlichkeit führt, wie es in der bereits genannten Zitatstelle in der Druckschrift (6) Sp. 6, Zeilen 37 bis 42 erläutert ist.

Der Fachmann erkennt damit, dass bei einer Halbleiteranordnung, bei der die Source- und Draingebiete entsprechend der in der Druckschrift (6) in Sp. 7, Zeilen 20 bis 34 offenbarten Lehre in etwa gleich hoch dotiert sein sollen, die Transistoren nicht das in Sp. 8, Zeilen 50 bis 54 dieser Druckschrift geforderte Schaltverhalten aufweisen, da die Tunnelwahrscheinlichkeiten für die jeweiligen Ladungsträger am Übergang vom Sourcebereich zum Kanal und am Übergang vom Drainbereich zum Kanal gleich hoch sind und somit bei beiden Spannungspegeln am Eingang des Inverters hohe Tunnelströme durch die Transistoren fließen.

Der Fachmann korrigiert daher beim Nacharbeiten der in der Druckschrift (6) offenbarten Lehre diese ohne weiteres dahingehend, dass durch ein geringeres Dotierungsniveau der Draingebiete im Vergleich zu den Sourcegebieten eine weitge-

hende Unterdrückung des Tunnelstroms in Rückwärtsrichtung der Transistoren erreicht wird, so dass sich diese ordnungsgemäß ausschalten lassen, vgl. in diesem Zusammenhang auch BGH Mitt. 2002, 176, 178 li. Sp. Abs. 2 - „Gegensprechanlage“.

Die Halbleiteranordnung nach dem geltenden Anspruch 1 ergibt sich für den Fachmann damit ohne erfinderisches Zutun aus dem Stand der Technik.

3. Wegen der Antragsbindung fallen mit dem Anspruch 1 auch die auf diesen rückbezogenen Unteransprüche 2 bis 8, für die der Anmelder im Übrigen auch keine gesonderte patentbegründende Wirkung geltend gemacht hat, vgl. BGH GRUR 2007, 862 Leitsatz, 863, Tz 18 - „Informationsübermittlungsverfahren II“ m. w. N..

4. Bei dieser Sachlage war die Beschwerde des Anmelders zurückzuweisen.

Dr. Tauchert

Loks

Dr. Hock

Brandt

Pr