



# BUNDESPATENTGERICHT

17 W (pat) 94/08

---

(AktENZEICHEN)

## BESCHLUSS

In der Beschwerdesache

**betreffend die Patentanmeldung 100 85 374.9 - 53**

...

hat der 17. Senat (Technischer Beschwerdesenat) des Bundespatentgericht am 23. September 2009 unter Mitwirkung des Vorsitzenden Richters Dipl.-Phys. Dr. Fritsch sowie der Richterin Eder, des Richters Dipl.-Ing. Baumgardt und der Richterin Dipl.-Ing. Wickborn

beschlossen:

Auf die Beschwerde der Anmelderin wird der Beschluss der Prüfungsstelle für Klasse G 06 F des Deutschen Patent- und Markenamts vom 25. Juni 2008 aufgehoben und das Patent erteilt.

Der Erteilung liegen folgende Unterlagen zugrunde:

- Patentansprüche 1 - 6 eingeg. 17.7.2009;
- Beschreibung Seiten 1 - 9 eingeg. 17.7.2009, mit folgenden **redaktionellen Änderungen**: Seite 2 Zeile 13 „die“ am Ende der Zeile streichen; Seite 3 Zeile 30 „r“ im Wort „dieser“ streichen; Seite 9 Zeile 3 Komma nach „320“ streichen;
- 3 Blatt Zeichnungen mit Figuren 1 - 3 eingeg. 1.7.2002.

Die Rückzahlung der Beschwerdegebühr wird angeordnet.

## **Gründe**

### **I.**

Die vorliegende Patentanmeldung ist eine PCT-Anmeldung in nationaler Phase, welche die Priorität einer Voranmeldung in den USA vom 30. Dezember 1999 in Anspruch nimmt und als WO 01 / 50 271 A1 in englischer Sprache veröffentlicht wurde. Ihr Anmeldetag ist der 3. November 2000. Sie trägt in der deutschen Übersetzung (DE 100 85 374 T1) die Bezeichnung:

"Systemmanagementspeicher für die Systemmanagement-Interrupt-Behandler wird in die Speichersteuereinrichtung integriert, unabhängig vom BIOS und Betriebssystem".

Sie wurde von der Prüfungsstelle für Klasse G 06 F des Deutschen Patent- und Markenamts durch Beschluss vom 25. Juni 2008 mit der Begründung zurückgewiesen, dass sich aus dem Kontext der Beschreibung nur Vermutungen über die Aufgabe bzw. das dem Anmeldungsgegenstand zugrundeliegende Problem anstellen ließen; auch die Ausführungen in der letzten Eingabe der Anmelderin ließen nicht erkennen, was letztlich Aufgabe bzw. das Problem der Anmeldung sein solle. Damit sei der Mangel bezüglich der für die Prüfung der vorliegenden Anmeldung geltenden PatAnmV vom 16. Juli 1998, § 5 Abs. 2 Ziffer 3 nicht beseitigt worden.

Die von der Anmelderin beantragte Anhörung wurde nicht mehr für sachdienlich erachtet, da die Sache hinreichend – auch in anderen Anmeldungen der Anmelderin – ausdiskutiert worden sei und sich nunmehr gefestigte rechtliche Standpunkte gegenüber stünden; es sei nicht mehr zu erwarten, dass der Vertreter der Anmelderin in einer Anhörung den in der letzten Eingabe vertretenen Standpunkt verlassen würde.

Gegen diesen Beschluss wendet sich die Beschwerde der Anmelderin.

Sie trägt schriftlich vor, dass sie das Vorliegen der materiellen Patentierungsvoraussetzungen der Neuheit und des Beruhens auf einer erfinderischen Tätigkeit in drei dem Zurückweisungsbeschluss vorausgehenden Eingaben detailliert begründet habe. Darüber hinaus erfülle die Beschreibung auch die Anforderungen der Patentanmeldeverordnung, denn die der Erfindung zugrundeliegende Aufgabe gehe aus den ersten Seiten der Beschreibung hervor, worauf sie in ihren Eingaben hingewiesen habe.

Sie hat im Beschwerdeverfahren zuletzt mit Eingabe vom 16. Juli 2009, eingegangen am 17. Juli 2009, neue Patentansprüche und eine angepasste Beschreibung eingereicht und beantragt:

- den Beschluss der Prüfungsstelle für Klasse G 06 F vom 25. Juni 2008 aufzuheben und das Patent auf der Grundlage der geänderten Patentansprüche und Beschreibung vom 16. Juli 2009 sowie der ursprünglichen Figuren zu erteilen, und
- die Beschwerdegebühr zurückzuerstatten.

Zum Antrag auf Rückerstattung der Beschwerdegebühr führt sie aus, das Verfahren vor der Prüfungsstelle habe an mehreren groben Verfahrensmängeln gelitten, nämlich

- der Ablehnung der beantragten und zuvor bereits für sachdienlich erachteten Anhörung,
- einem Verstoß gegen das Gebot rechtlichen Gehörs, weil die Prüfungsstelle sich auf eine Entscheidung des BPatG bezog, ohne eine Fundstelle anzugeben oder eine Kopie der Entscheidung beizufügen,
- dem gesamten Ablauf des Prüfungsverfahrens, der grobe Verstöße gegen den Grundsatz der Verfahrensökonomie erkennen lasse,
- und schließlich, dass die Zurückweisung aufgrund von materiell völlig neben der Sache liegenden Erwägungen erfolgte.

Das nunmehr geltende Patentbegehren lautet:

- „1. Speichersteuereinrichtung (120), die mit einem Prozessor (110) und einem System Hauptspeicher (150) gekoppelt ist, wobei der Prozessor (110) eine Abrufadresse zum Abrufen einer Systemmanagement-Interrupt(SMI)-Behandlungsroutine aus einem Systemmanagementspeicherbereich (152) des System Hauptspeichers (150) speichert und bei Empfang

eines Systemmanagement-Interrupts (SMI) (111) ein SMI-Bestätigungssignal (113) und die Abrufadresse zum Abrufen der SMI-Behandlungsroutine ausgibt, wobei die Speichersteuereinrichtung (120) aufweist:

einen Latch-Speicher (134), der auf den Empfang des SMI-Bestätigungssignals (113) hin die von dem Prozessor (110) ausgegebene Abrufadresse zwischenspeichert,

einen integrierten Systemmanagementspeicher (124), der eine weitere SMI-Behandlungsroutine speichert, wobei die weitere SMI-Behandlungsroutine am Schluss einen Befehl enthält, der den Prozessor (110) veranlasst, zu der in dem Latch-Speicher (134) zwischengespeicherten Abrufadresse zu springen,

eine Vergleichseinheit (136) zum Vergleichen der von dem Prozessor (110) ausgegebenen Adressen mit der zwischengespeicherten Abrufadresse, und

einen mit dem Latch-Speicher (134) und der Vergleichseinheit (136) gekoppelten Decodierer (132),

der nach dem Zwischenspeichern der Abrufadresse und unabhängig von dieser Abrufadresse Befehle der weiteren SMI-Behandlungsroutine aus dem integrierten Systemmanagementspeicher (124) abrufen und

der nach einer von der Vergleichseinheit (136) gefundenen Übereinstimmung zwischen der zwischengespeicherten Abrufadresse und einer von dem Prozessor (110)

empfangenen Adresse Befehle nicht weiter aus dem integrierten Systemmanagementspeicher (124), sondern aus dem Systemmanagementspeicherbereich (152) des Systemhauptspeichers (150) beginnend an der Abrufadresse abrufen.

2. Speichersteuereinrichtung nach Anspruch 1, dadurch gekennzeichnet, dass die in dem Systemmanagementspeicherbereich (152) des Systemhauptspeichers (150) gespeicherte SMI-Behandlungsroutine Teil des BIOS ist.
3. Speichersteuereinrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass der integrierte Systemmanagementspeicher (124) mindestens eine Größe von 128 Bytes aufweist.
4. Speichersteuereinrichtung nach einem der Ansprüche 1 – 3, gekennzeichnet durch ein mit dem Decodierer (132) gekoppeltes Freigaberegister, das dann, wenn es gelöscht ist, die Ausführung der weiteren SMI-Behandlungsroutine des integrierten Systemmanagementspeichers (124) verhindert, und dann, wenn es gesetzt ist, die Ausführung der weiteren SMI-Behandlungsroutine vor der SMI-Behandlungsroutine aus dem Systemmanagementspeicherbereich (152) des Systemhauptspeichers (150) freigibt.
5. Computersystem (Fig. 1) mit einem Prozessor (110), einem Systemhauptspeicher (150) und einer den Prozessor (110) mit dem Systemhauptspeicher (150) koppelnden Speichersteuereinrichtung (120) nach Anspruch 1, wobei der Prozessor (110) ein Systemmanagementspeicher-Basisadress-Register zum Speichern der Abrufadresse aufweist.

6. Verfahren zum Behandeln eines Systemmanagement-Interrupts (SMI), bei welchem eine SMI-Behandlungsroutine in einem Systemmanagementspeicherbereich (152) eines System Hauptspeichers (150) gespeichert ist, deren Abrufadresse in einem Prozessor (110) gespeichert ist, und eine weitere SMI-Behandlungsroutine in einem in eine Speichersteuereinrichtung (120) integrierten Systemmanagementspeicher (124) gespeichert ist, wobei:

a) ein SMI-Signal (111) von der Speichersteuereinrichtung (120) an den Prozessor (110) angelegt wird,  
b) ein SMI-Bestätigungssignal (113) von dem Prozessor zurückgegeben und von der Speichersteuereinrichtung empfangen wird (310),

c) anschließend die von dem Prozessor gelieferte Abrufadresse der SMI-Behandlungsroutine in einem Latch-Speicher (134) in der Speichersteuereinrichtung zwischengespeichert wird (320),

d) durch einen Decodierer (132) der Speichersteuereinrichtung unabhängig von der zwischengespeicherten Abrufadresse der SMI-Behandlungsroutine ein Befehl der in dem Systemmanagementspeicher (124) enthaltenen weiteren SMI-Behandlungsroutine abgerufen (330) und von dem Prozessor ausgeführt wird (340),

wobei die in dem Systemmanagementspeicher (124) enthaltene SMI-Behandlungsroutine am Schluss einen Befehl enthält, der den Prozessor (110) anweist, zu der in dem

Latch-Speicher (134) zwischengespeicherten Abrufadresse zu springen, und

e) die von dem Prozessor an die Speichersteuereinrichtung ausgegebene Adresse mit der zwischengespeicherten Abrufadresse der SMI-Behandlungsroutine verglichen wird (350), wobei

e1) bei Nicht-Übereinstimmung (350: Nein) der nächste Befehl der in dem Systemmanagementspeicher (124) enthaltenen weiteren SMI-Behandlungsroutine gemäß Schritt d) abgerufen (330) und von dem Prozessor ausgeführt (340) wird und der Vergleich gemäß Schritt e) wiederholt wird (350), oder

e2) bei Übereinstimmung (350: Ja) der Befehlsabruf aus dem integrierten Systemmanagementspeicher (124) endet und der nächste Befehl durch den Decodierer von der Abrufadresse der SMI-Behandlungsroutine aus dem Systemmanagementspeicherbereich (152) des Systemhauptspeichers (150) abgerufen (360) und an den Prozessor zur Ausführung geliefert wird.“

Ihnen soll jetzt (siehe Beschreibung eingeg. 17. Juli 2009 S. 4 Abs. 4) die **Aufgabe** zugrundeliegen, eine Möglichkeit der Aktualisierung von SMI-Behandlungsroutinen zu schaffen, die sowohl unabhängig vom BIOS als auch vom Betriebssystem ist, und bei der die zusätzlichen SMI-Behandlungsroutinen keine zusätzliche Spezialhardware erfordernden Befehle enthalten.



## II.

Die fristgerecht eingelegte und auch sonst zulässige Beschwerde hat Erfolg.

1. Der Zurückweisungsbeschluss ist unbegründet.

1.1 Die Prüfungsstelle stützt ihn allein darauf, dass die der Anmeldung zugrundeliegende Aufgabe weder in der Anmeldung selbst noch im Laufe des Prüfungsverfahrens in den schriftlichen Eingaben angegeben worden sei. Aus dem Kontext der Beschreibung ließen sich nur Vermutungen über die Aufgabe bzw. das dem Anmeldungsgegenstand zugrundeliegende Problem anstellen; auch die Ausführungen in der letzten Eingabe der Anmelderin ließen nicht erkennen, was letztlich Aufgabe bzw. das Problem der Anmeldung sein solle. Damit sei der Mangel bezüglich der für die Prüfung der vorliegenden Anmeldung geltenden PatAnmV vom 16. Juli 1998, § 5 Abs. 2 Ziffer 3 nicht beseitigt worden.

1.2 Die Anmelderin hat demgegenüber vorgetragen, dass auf die vorliegende PCT-Anmeldung in nationaler Phase nicht primär nationales Recht, sondern zunächst das Gesetz über internationale Patentübereinkommen (IntPatÜG) anzuwenden sei. Die hier einschlägige Ausführungsordnung zum PCT bestimmt in Regel 5:

„5.1 Art der Beschreibung

a) In der Beschreibung ...

iii) ist die Erfindung, wie sie in den Ansprüchen gekennzeichnet ist, so darzustellen, dass danach die technische Aufgabe (auch wenn nicht ausdrücklich als solche genannt) und deren Lösung verstanden werden können; ...“

Diese Anforderung werde durch die Beschreibung erfüllt; es sei den Seiten 1 bis 4 entnehmbar, dass die Anmeldung eine Lösung für das Problem gebe, die Behandlung eines System Management Interrupts (SMI) abändern zu können, ohne den Hersteller des BIOS (in welchem die SMI-Behandlungsroutinen gewöhnlich abgespeichert sind) kontaktieren zu müssen.

**1.3** Indes bedarf die Frage, ob die nationale Patentanmeldeverordnung oder statt ihrer die Ausführungsordnung zum PCT anzuwenden ist, hier keiner Entscheidung. Denn die PatAnmV stellt hinsichtlich der Aufgabenstellung keine höheren Anforderungen an die Beschreibung: sie verlangt in § 5 Abs. 2 Ziffer 3 lediglich, dass „das der Erfindung zugrundeliegende Problem“ anzugeben ist, „sofern es sich nicht aus der angegebenen Lösung oder den zu Nummer 6“ (dort: den ggf. genannten vorteilhaften Wirkungen der Erfindung unter Bezugnahme auf den bisherigen Stand der Technik) „gemachten Angaben ergibt“. Eine explizite Angabe der Aufgabenstellung kann also weder nach nationalem Recht noch nach den Regeln gemäß IntPatÜG verlangt werden.

**1.4** Wenn die Prüfungsstelle argumentiert, der Beschreibung seien unterschiedliche Aufgabenstellungen, beispielsweise auch nicht-technische entnehmbar, und deshalb sei nicht klar, was letztlich Aufgabe der Anmeldung sein solle, so führt dies in die Irre:

Der Bundesgerichtshof hat in seiner Entscheidung „Anbieten interaktiver Hilfe“ (BIPMZ 2005, 77) ausgeführt: „Welches technische Problem durch eine Erfindung gelöst wird, ist objektiv danach zu bestimmen, was die Erfindung tatsächlich leistet. Die in der Patentschrift angegebene Aufgabe ist demgegenüber als solche nicht maßgeblich, sondern lediglich ein Hilfsmittel für die Ermittlung des objektiven technischen Problems.“

Wenn aber die vom Anmelder genannte Aufgabe nicht maßgeblich ist, kann es nicht sachgerecht sein, die Anmeldung wegen des Fehlens einer solchen zurück-

zuweisen. Vielmehr wäre es Aufgabe der Prüfungsstelle, die „objektive Aufgabe“ zu ergründen. Wie die Anmelderin im vorliegenden Fall erläutert hat, ist dies anhand der Angaben in der Beschreibungseinleitung auch möglich. Die Prüfungsstelle war zwischenzeitlich bereits zu fast demselben Ergebnis gekommen, sie schreibt im Bescheid vom 7. Februar 2007: „... wie eine SMI-Routine nachträglich ohne Veränderung bzw. unter Beibehaltung der ursprünglich vorhandenen SMI-Handler-Befehle des Systemmanagementspeichers (SMM) verändert werden kann ..., was offensichtlich der Zielsetzung (Aufgabe) der Anmeldung entspricht.“

Der behauptete Mangel lag sonach objektiv gesehen nicht vor.

2. Die vorliegende Patentanmeldung betrifft übliche Mikroprozessor-Systeme basierend z. B. auf dem Intel<sup>®</sup>-Pentium-Mikroprozessor, bei denen ein „System Management Modus“ vorgesehen ist. Dieser Modus ist u. a. in dem vom Prüfer zitierten Fachbuch **D3** (s. u.) vorbeschrieben; er wird durch ein Signal an einem speziellen Eingang des Prozessors ausgelöst, welches einen Interrupt (SMI) mit sehr hoher Priorität bewirkt, und kann nur durch einen besonderen Befehl (RSM) beendet werden. Ursprünglich hatte der „System Management Modus“ wohl den Zweck, losgelöst vom normalen Programmablauf ereignisabhängig bestimmte Energieverwaltungsmaßnahmen einzuleiten. Er wird aber auch beispielsweise für die Initialisierung und Abmeldung von Zusatz-Hardware u. ä. eingesetzt.

Wie der Zitatstelle in **D3** zu entnehmen ist, adressiert der Mikroprozessor bei Eintreten eines SMI eine bestimmte zunächst fest vorgegebene Speicherstelle als Startadresse der SMI-Behandlungsroutine. Ein gleichzeitig vom Prozessor erzeugtes besonderes Signal SMI<sup>ACT</sup> macht es möglich, einen Teil des Hauptspeichers aus- und dort einen SMM-Speicherbereich einzublenden, der für die SMI-Behandlung vorgesehen ist und das zugehörige Programm enthält.

Aus der Beschreibungseinleitung der vorliegenden Patentanmeldung ergibt sich, dass dieser SMM-Speicherbereich gewöhnlich ein Teil des BIOS (Basic Input Out-

put System) ist und die SMI-Behandlungsroutine vom BIOS-Hersteller vorbelegt wird.

Wenn nun die SMI-Behandlungsroutine geändert oder um Programmteile für Zusatz-Hardware ergänzt werden soll, müsste das BIOS geändert werden, was i.d.R. nur in Zusammenarbeit mit dessen Hersteller möglich und daher aufwendig und unerwünscht ist.

Die Anmeldung schlägt als Verbesserung vor, zusätzliche Schaltungsteile (Systemmanagement-Interrupt-Adresdecodiereinheit (130) als Zusammenfassung mehrerer Zusatzbaugruppen; Systemmanagementspeicher (124)) vorzusehen, die gemäß Figur 1 innerhalb einer Speichersteuerungseinrichtung (120) angeordnet sind, welche in den Bus (115) zwischen Prozessor (110) und System Hauptspeicher (150) geschaltet ist. Von den Zusatzbaugruppen wird das SMIACT-Signal (Systemmanagement-Interrupt-Bestätigungssignal 113) des Prozessors überwacht. Wenn der Prozessor einen SMI erhält und dies mittels SMIACT signalisiert, wird er als nächstes die Startadresse der SMI-Behandlungsroutine auf den Bus legen und den unter dieser Adresse gespeicherten Programmbefehl abrufen wollen. Gemäß der Lehre der Anmeldung unterbricht die Speichersteuerungseinrichtung (120) jetzt den Bus und adressiert statt dessen den internen Systemmanagementspeicher (124), in dem die geänderte SMI-Behandlungsroutine abgelegt ist, so dass diese abgearbeitet wird. Die geänderte SMI-Behandlungsroutine endet mit einem Befehl, der erneut die Startadresse der „normalen“ SMI-Behandlungsroutine auf den Bus legt. Diese war beim ersten Aufruf von den Zusatzbaugruppen zwischengespeichert worden, und an der Übereinstimmung damit wird das Ende der besonderen SMI-Behandlung erkannt und die Bus-Unterbrechung beendet.

Dabei liegt der entscheidende Teil dieser Lehre darin, dass der Prozessor zwar unverändert seine „normale“ SMI-Startadresse sendet, welche aber (ausgelöst durch das SMIACT-Signal) von den Zusatzbaugruppen sozusagen „abgefangen“ und nicht zum Hauptspeicher weitergeleitet wird; statt dessen adressieren die Zu-

satzbaugruppen den integrierten SM-Speicher, welcher geänderte oder hardware-spezifische SMI-Behandlungsroutinen enthalten kann, ohne dass der Prozessor das „merkt“. Erst wenn (durch Vergleich der zwischengespeicherten mit der neu auf den Bus gelegten „normalen“ Startadresse) das Ende dieser zusätzlichen SMI-Behandlungsroutine erkannt wird, wird die Adressumleitung beendet und die Adressierung des System Hauptspeichers wieder freigegeben.

Durch das „Abfangen“ der vom Prozessor gesendeten Adressen gelingt es, die im BIOS gespeicherte SMI-Behandlungsroutine zu umgehen, ohne in das BIOS einzugreifen.

Als **Fachmann** für alle Überlegungen solcher Art sieht der Senat einen Entwicklungsingenieur für Mikroprozessor-Systemschaltungen mit Hochschul- oder Fachhochschulausbildung an.

**3.** Die Anmelderin hat auf den Ladungszusatz des Senates hin ihre Patentansprüche klargestellt. Das nunmehr geltende Patentbegehren erfüllt die Kriterien für eine Patenterteilung (PatG §§ 1 bis 5, § 34).

**3.1** Das geltende Patentbegehren ist zulässig.

Patentanspruch 1 geht aus von den Merkmalen gemäß den ursprünglichen Ansprüchen 14 bis 18, ist jedoch auf die „Speichersteuereinrichtung“ (entsprechend Seite 3 Zeile 28 – 30) gerichtet; dabei wurden die einzelnen Merkmale anhand von Figur 1 und der Beschreibung insbesondere Seite 4 Zeile 35 bis Seite 6 Zeile 16 klargestellt. (Alle Zitatstellen beziehen sich auf die am 1.7.2002 eingereichten ursprünglichen Unterlagen bzw. die DE 100 85 374 T1.)

Unteranspruch 2 ergibt sich aus dem ursprünglichen Anspruch 13 und Seite 2 Zeile 14 / 15, Unteranspruch 3 aus dem ursprünglichen Anspruch 7 bzw. 20; Unteranspruch 4 wurde neu erstellt entsprechend der Lehre nach Seite 6 Zeile 26 – 31.

Der formal nebengeordnete, auf ein „Computersystem“ gerichtete Anspruch 5 bezieht sich zurück auf die Speichersteuereinrichtung nach Anspruch 1; siehe dazu den ursprünglichen Anspruch 14 und Seite 5 Zeile 4 – 7.

Der nebengeordnete, auf ein “Verfahren zum Behandeln eines Systemmanagement-Interrupts“ gerichtete Anspruch 6 basiert auf den ursprünglichen Ansprüchen 8 – 12 und ergibt sich aus Figur 3 und der zugehörigen Beschreibung, im Übrigen aus denselben Fundstellen wie Anspruch 1.

Die beanspruchte Lehre ist nunmehr klargestellt und für den Fachmann ausführbar. Die Beschreibung wurde – unter Berücksichtigung der drei im Tenor genannten redaktionellen Änderungen – in zulässiger Weise angepasst.

**3.2** Der ermittelte Stand der Technik steht dem nunmehr geltenden Patentbegehren nicht patenthindernd entgegen.

Im Prüfungsverfahren wurden entgegengehalten:

**D1 US 5 307 482 A**

**D2 US 5 978 903 A**

**D3** Messmer, Hans-Peter: PC-Hardwarebuch, 5. Auflage, Bonn [u.a.]: Addison-Wesley, 1998, Seite 345 – 348 / vom Senat noch ergänzt um die Seiten 201 – 203

Aus **D1** ist ein Computersystem bekannt, bei dem ein Prozessor über eine Speichersteuereinheit mit einem Systemspeicher gekoppelt ist. Im Falle eines nicht-maskierbaren Interrupts (NMI) wird von dem Prozessor über die Speichersteuereinheit eine NMI-Behandlungsroutine abgerufen. Die NMI-Behandlungsroutine ist Bestandteil der Betriebssystemroutinen, die im Hauptspeicher gespeichert sind. Die Druckschrift will die Aufgabe lösen, die NMI-Behandlungsroutinen bei einem neuen System zu aktualisieren, beispielsweise neue Funktionen hinzuzufügen,

ohne die Routinen des Betriebssystems ändern zu müssen. Um dies ausführen zu können, schlägt die Druckschrift vor, im Falle des Auftretens eines NMI zunächst nicht die Routinen des Betriebssystems, sondern systemspezifische NMI-Behandlungsroutinen auszuführen, die in einem speziellen Speicherbereich eines Firmware-Subsystems im ROM gespeichert sind. Um die Befehlsabrufe des Prozessors von den ursprünglichen NMI-Behandlungsroutinen im Hauptspeicher auf die systemspezifischen NMI-Behandlungsroutinen im Firmware-ROM umzulenken, ist neben der Speichersteuereinheit ein Override-Controller zusammen mit einer zusätzlichen Adressierlogik vorgesehen. Im Falle eines NMI fängt der Override-Controller Speicheranforderungen des Prozessors ab und adressiert damit das Firmware-ROM. Die systemspezifische NMI-Behandlungsroutine signalisiert in ihrem letzten Schritt dem Override-Controller ihr Ende durch Setzen eines Abbruchbits in einem dafür geeigneten Register. Infolgedessen wird ein Beendigungssignal an den Override-Controller gesendet, welcher daraufhin ein CPU-NMI-Signal neu erzeugt; dieses veranlasst den Prozessor, die normale NMI-Routine im System Speicher auszuführen, da nun der Override-Controller die Speicheranforderungen nicht länger umlenkt.

Zwar ist damit in **D1** ein Verfahren beschrieben, um am Ende einer „speziellen“ NMI-Behandlungsroutine die ursprünglich programmierte Routine aufzurufen, siehe z. B. Spalte 4 Zeile 45 – 57. Es wird aber ein ganz anderer Weg beschrrieben als beim geltenden Patentbegehren. Ein Latch-Speicher zum Zwischenspeichern der von dem Prozessor ausgegebenen NMI-Abrufadresse und eine Vergleichseinheit zum Vergleichen der von dem Prozessor ausgegebenen Adressen mit der zwischengespeicherten Abrufadresse sind nicht vorgesehen.

**D2** beschreibt, wie im System Management Mode eines Prozessors Speicherbereiche ein- und ausgeblendet werden können, damit der Modus gegenüber normalen Systemoperationen transparent ist. Hier wird der Speicherbereich für die SMI-Behandlungsroutinen als Teil des BIOS verstanden. Gemäß Spalte 7 Zei-

le 5 – 8 wird die erste vom Prozessor nach einem SMI gesendete Adresse in einem SMI-Latch 222 gespeichert, um die SMI-Abrufadresse umzulenken.

In **D3** wird der System-Management-Modus des Pentium-Prozessors auf den Seiten 345 bis 348 grundlegend dargestellt. Gemäß Seite 203 dieses Buches kann der System-Management-Interrupt als eine Art übergeordneter NMI verstanden werden.

Aus dem Recherchebericht zur zugrundeliegenden PCT-Anmeldung (WO 01 / 50 271 A1) ist die dort mit „X“ bezeichnete US 5 263 168 A bekannt, welche die Initialisierung eines Datenverarbeitungssystems nach dem Einschalten beschreibt, wozu ein bestimmter Adressbereich eingeblendet wird. Anregungen in Richtung auf die nunmehr beanspruchte Lehre sind jedoch nicht erkennbar. Die beiden im Recherchebericht mit „A“ bezeichneten Dokumente liegen ersichtlich weiter ab und stehen ebenfalls nicht entgegen.

Zusammenfassend lässt sich feststellen, dass sich im genannten Stand der Technik keine Anregung findet, die vom Prozessor ausgegebene SMI-Abrufadresse zwischenspeichern und sie mit den weiteren vom Prozessor ausgegebenen Adressen zu vergleichen, so dass an ihrem erneuten Auftreten das Ende der in einem separaten Speicher vorgesehenen zusätzlichen SMI-Behandlungsroutine erkannt werden kann und es dadurch dem Prozessor ermöglicht wird, nunmehr die „normale“ SMI-Behandlungsroutine zu adressieren und auszuführen.

Diese Maßnahmen können daher die Patentfähigkeit der nebengeordneten Patentansprüche 1 und 6 tragen.

**4.** Der formal nebengeordnete Patentanspruch 5 ist auf Anspruch 1 zurückbezogen und dadurch ebenfalls patentfähig, wie auch die Unteransprüche 2, 3 und 4. Die Beschreibung wurde in zulässiger Weise angepasst. Das Patent konnte daher, so wie nunmehr beantragt, erteilt werden.



### III.

Die Rückzahlung der Beschwerdegebühr war gemäß § 80 Abs. 3 PatG anzuordnen, weil dies im vorliegenden Fall der Billigkeit entspricht. Maßgebend dafür sind alle Umstände des Falles. Die Billigkeit der Rückzahlung kann sich danach aus einem Verfahrensverstoß durch das Deutsche Patent- und Markenamt ergeben (vgl. Benkard, PatG, 10. Auflage (2006), § 80 Rdnr. 21; Schulte, PatG, 8. Auflage (2008), § 80 Rdnr. 110 ff. / § 73 Rdnr. 128 ff.).

Es kann zwar nicht als Verstoß gegen das rechtliche Gehör gewertet werden, wenn die Prüfungsstelle keine Kopie oder Fundstelle einer von ihr zitierten Entscheidung des Bundespatentgerichts bereitstellt, denn mit den heute verfügbaren Mitteln ist es der Anmelderin ohne weiteres möglich und zuzumuten, die genannte Entscheidung zu beschaffen, unabhängig davon, ob es sich im vorliegenden Fall um eine Entscheidung zu einer vom Vertreter der Anmelderin angestregten Beschwerde gehandelt hat. Auch ein grober Verstoß gegen den Grundsatz der Verfahrensökonomie kann im Ablauf des Prüfungsverfahrens nicht erkannt werden.

Jedoch bereits die Ablehnung der von der Anmelderin beantragten Anhörung kann hier als ein solcher Verfahrensverstoß verstanden werden; denn eine Ablehnung eines Antrags auf Anhörung kommt nur ausnahmsweise in Betracht, wobei im vorliegenden Fall nicht erkennbar ist, dass triftige Gründe dafür vorgelegen hätten. Ganz sicher stellt es keinen triftigen Grund dar, dass es nach Ansicht des Prüfers nicht mehr zu erwarten war, dass der Vertreter der Anmelderin seinen Standpunkt verlassen würde (siehe Zurückweisungsbeschluss IV.); es steht nicht im Widerspruch zum geltenden Recht, auch die Möglichkeit in Betracht zu ziehen, dass statt dessen der Prüfer seinen Standpunkt verlassen könnte.

Noch dazu ist festzustellen, dass der angegebene Zurückweisungsgrund im vorliegenden Fall offensichtlich nicht zutraf und im Übrigen, nicht zuletzt im Rahmen der beantragten Anhörung, auch ohne Weiteres hätte ausgeräumt werden können. Es

ist nicht nachvollziehbar, (musste vielmehr für den Vertreter der Anmelderin als Willkürakt erscheinen), dass die Prüfungsstelle die zutreffenden Gegenargumente der Anmelderin einfach ignorierte und ihr allein das Fehlen einer klaren Aufgabenstellung vorhielt, obwohl sie selbst zuvor bereits eine solche in der Anmeldung erkannt hatte. Außerdem hatte die Anmelderin lediglich die Patentansprüche zur Diskussion gestellt und ausdrücklich gebeten, die Anpassung der Beschreibung (also letztlich auch der Aufgabenstellung) zurückstellen zu dürfen, bis Einverständnis über ein gewährbares Patentbegehren erzielt worden sei (siehe Eingabe vom 11. Mai 2006, Absatz 1).

Sonach war die Sachbehandlung der Anmeldung durch die Prüfungsstelle mangelbehaftet und auch ursächlich für die Beschwerdeerhebung, so dass die angeordnete Rückzahlung der Beschwerdegebühr der Billigkeit entspricht.

Dr. Fritsch

Eder

Baumgardt

Wickborn

Me