



BUNDESPATENTGERICHT

23 W (pat) 13/09

(AktENZEICHEN)

Verkündet am
5. Oktober 2010

...

BESCHLUSS

In der Beschwerdesache

...

betreffend die Patentanmeldung 102 00 389.0-55

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 5. Oktober 2010 unter Mitwirkung des Richters Lokys als Vorsitzendem, der Richterin Dr. Hock sowie der Richter Brandt und Dr. Friedrich

beschlossen:

Die Beschwerde wird zurückgewiesen.

Gründe

I.

Die vorliegende Anmeldung 102 00 389 ist am 08. Januar 2002 unter Inanspruchnahme der Priorität der koreanischen Anmeldung KR 01 - 00944 vom 08. Januar 2001 beim Deutschen Patent- und Markenamt eingereicht worden. Sie trägt die Bezeichnung "Ferroelektrische Speichervorrichtungen mit Speicherzellen in einer Zeile, die mit verschiedenen Elektrodenleitungen verbunden sind".

Im Prüfungsverfahren hat die Prüfungsstelle für Klasse G11C auf die Druckschriften

- D1 US 4 873 664
- D2 US 5 978 251
- D3 US 6 137 711
- D4 US 6 151 243
- D5 US 5 880 989
- D6 A. Sheikholeslami, P.G. Gulak: "A survey of circuit innovations in ferroelectric random-access memories", Proceedings of the IEEE, Bd. 88, Nr. 5, Mai 2000, S. 667 - 689
- D7 US 5 373 463
- D8 Jeon Byung-Gil et al: "A 0,4- μ m 3,3 V 1T1C 4-Mb nonvolatile ferroelectric RAM with fixed bitline reference voltage scheme and data protection circuit", IEEE Journal of Solid-State Circuits, Bd. 35, Nr. 11, Nov. 2000, S. 1690 - 1694

- D9 H.B. Kang et al: "Multi-phase-driven split-word-line ferroelectric memory without plate line", IEEE International Solid-State Circuits Conference, Digest of Technical Papers, 15-17 Feb. 1999, S. 108 und 109
- D10 US 6 097 624
- D11 J. Esch: "Prolog to a survey of circuit innovations in ferroelectric random access memories", Proceedings of the IEEE, Bd. 88, Nr. 5, Mai 2000, S. 665 und 666
- D12 T. Kachi et al: "A scalable single-transistor/ single-capacitor memory cell structure characterized by an angled-capacitor layout for megabit FeRAMs", Symposium on VLSI Technology, Digest of Technical Papers, 9-11 Juni 1998, S. 126 und 127
- D13 JP 10 - 162 587 A und
- D14 JP 10 - 173 147 A

verwiesen und die mangelnde Patentfähigkeit des Gegenstandes des Anspruchs 1 gegenüber dem Stand der Technik bemängelt. Außerdem hat sie unter Hinweis auf die BGH-Entscheidung GRUR 1980, 166 "Doppelachsaggregat" dargelegt, die Anmeldungsunterlagen offenbarten kein Layout des anmeldungsgemäßen Speicherzellenfeldes, so dass die in der Anmeldung gegebene Lehre für den Fachmann nicht ausführbar sei und nicht klar werde, wie der gewünschte Erfolg der besseren Nutzung der Chipfläche erreicht werde.

Mit dieser Begründung hat die Prüfungsstelle die Anmeldung mit Beschluss vom 31. Mai 2006 zurückgewiesen. Mit der Zurückweisung hat sie auch den Antrag der Anmelderin auf Durchführung einer Anhörung abgelehnt, da die Anmelderin den Mangel der unzureichenden Offenbarung trotz mehrerer Aufforderungen der Prüfungsstelle nicht beheben können und dies auch in einer Anhörung nicht zu erwarten sei, so dass diese nicht sachdienlich sei.

Gegen diesen ihr am 30. Juni 2006 zugestellten Beschluss hat die Anmelderin mit Schriftsatz vom 27. Juli 2006, eingegangen am selben Tag, Beschwerde eingelegt.

In der Beschwerdebegründung vom 26. September 2006 beantragt die Anmelderin,

- den Beschluss der Prüfungsstelle vom 31. Mai 2006 aufzuheben,
- auf die Patentanmeldung mit den vorliegenden Unterlagen ein Patent zu erteilen,
- die Beschwerdegebühr zurückzuzahlen, da die von ihr beantragte Anhörung nicht durchgeführt wurde, obwohl sie ihrer Auffassung nach zweifellos sachdienlich gewesen wäre.

Mit der Terminladung hat der Senat der Anmelderin ergänzend zu der von der Prüfungsstelle ermittelten Druckschrift D13 (JP 10 - 162 587) noch die zugehörige Maschinenübersetzung des japanischen Patentamts sowie die neu zu berücksichtigende Druckschrift

D 15 US 5 371 699

übersandt.

Mit Schreiben vom 24. September 2010 hat die Anmelderin auf die Terminladung hin mitgeteilt, dass sie an der mündlichen Verhandlung nicht teilnehmen wird und dass sie beantragt, nach Aktenlage zu entscheiden.

Wie angekündigt, ist die ordnungsgemäß geladene Anmelderin zur mündlichen Verhandlung nicht erschienen.

Somit liegt von der Anmelderin sinngemäß der Antrag vor,

den Beschluss der Prüfungsstelle für Klasse G11C vom 31. Mai 2006 aufzuheben und das Patent mit folgenden Unterlagen zu erteilen:

Patentanspruch 1 gemäß Schriftsatz vom 26. September 2006,
Patentansprüche 2 bis 19 gemäß Schriftsatz vom 20. März 2006,
ursprüngliche Beschreibung Seiten 2 und 4 bis 18,
Beschreibung Seiten 1 und 3 gemäß Schriftsatz vom 11. August 2004, mit neuer Aufgabe gemäß Schriftsatz vom 26. September 2006, Seite 2, Abs. 3,
ursprüngliche Zeichnung Figuren 1 bis 10.

Weiterhin liegt der Antrag vor,

die Beschwerdegebühr zurückzuzahlen.

Der geltende Patentanspruch 1 lautet:

"Ferroelektrische Speichervorrichtung in einem an sich bekannten Layout entsprechend einer gefalteten Bitleitungsarchitektur, die aufweist

eine Vielzahl von parallelen Wortleitungen (WLi bis WLi+3), die sich entlang einer Zeilenrichtung erstrecken;

eine Vielzahl an parallelen Bitleitungen (BLi bis BLi+3), die sich entlang einer Spaltenrichtung erstrecken;

eine Vielzahl von parallelen Elektrodenleitungen (PLj bis PLj+3), die sich entlang der Zeilenrichtung erstrecken; und

eine Vielzahl von Speicherzellen (MC0 bis MC3), die in Zeilenrichtung und in Spaltenrichtung angeordnet sind, wobei die Speicherzellen (MC0, MC1; MC2, MC3) in einer jeweiligen Reihe gleich orientiert angeordnet sind,

wobei die Speicherzellen jeweils einen Transistor enthalten, der mit einer der Wortleitungen und einer der Bitleitungen gekoppelt ist, und einen ferroelektrischen Kondensator (CF0 bis CF3) enthalten, der mit dem Transistor und einer der Elektrodenleitungen derart verbunden ist, dass die in einer jeweiligen Zeile nebeneinander liegenden Transistoren (N0, N1) mit einer der jeweiligen Zeile zugeordneten Wortleitung (WLi, WLi+1, WLi+2, WLi+3) verbunden sind, und die ferroelektrischen Kondensatoren (CF0, CF1) in den jeweiligen Zeilen der Speicherzellen abwechselnd mit einer von zwei parallel verlaufenden Elektrodenleitungen (PLj, PLj+1) verbunden sind, wobei jeweils zwei Wortleitungen (WLi+1, WLi+2) zwischen zwei benachbarten Zeilen der Speicherzellen nebeneinander verlaufend ausgebildet sind und sich wenigstens eine in Zeilenrichtung verlaufende Elektrodenleitung (PLj, PLj+1) mit zwei nebeneinander verlaufenden Wortleitungen (WLi+1, WLi+2) in Spaltenrichtung abwechseln, und die ferroelektrischen Kondensatoren (CF0, CF1) in den jeweiligen Zeilen der Speicherzellen abwechselnd mit einer von zwei Elektrodenleitungen (PLj, PLj+1) verbunden sind."

Hinsichtlich des nebengeordneten Patentanspruchs 17 und der Unteransprüche 2 bis 16 sowie 18 und 19 wird ebenso wie hinsichtlich der weiteren Einzelheiten auf den Akteninhalt verwiesen.

II.

Die zulässige Beschwerde der Anmelderin erweist sich nach dem Ergebnis der mündlichen Verhandlung als nicht begründet, denn die ferroelektrische Speicher-

vorrichtung nach dem geltenden Anspruch 1 beruht nicht auf einer erfinderischen Tätigkeit des Fachmanns. Bei dieser Sachlage kann die Erörterung der Zulässigkeit der geltenden Ansprüche sowie der Neuheit der Gegenstände der Ansprüche dahingestellt bleiben, vgl. BGH GRUR 1991, 120, 121, II.1 - "Elastische Bandage".

Als Fachmann ist hier ein in der Halbleiterindustrie tätiger und mit dem Entwurf von Speicherschaltungen betrauter berufserfahrener Diplom-Physiker oder Diplom-Ingenieur der Elektrotechnik, jeweils mit Hochschulabschluss, zu definieren.

1. Die Anmeldung betrifft eine ferroelektrische Speichervorrichtung.

Ferroelektrische Halbleiterspeicher bestehen aus einem Speicherzellenfeld, in dem eine Vielzahl einzelner Speicherzellen in einem Array aus Spalten und Zeilen angeordnet ist. Jede dieser Speicherzellen besteht aus einem MOS-Transistor mit Source, Drain und Gate und einem an den Transistor angeschlossenen Kondensator, der von einem zwischen zwei Kondensatorelektroden angeordneten ferroelektrischen Material gebildet wird. Dieses Material kann durch Anlegen eines elektrischen Feldes dauerhaft polarisiert werden, wobei je nach Feldrichtung ein positiver und ein negativer Polarisationszustand erzeugt werden kann. Zum Ein- und Auslesen der Information in die bzw. aus den Speicherzellen sind die Gate-Anschlüsse der Transistoren an jeweils in Zeilenrichtung verlaufende Wortleitungen und ihre Drain-Anschlüsse an jeweils in Spaltenrichtung verlaufende Bitleitungen angeschlossen. Um zum Umpolen des elektrischen Feldes am ferroelektrischen Material eine entsprechende Spannung an die ferroelektrischen Kondensatoren anlegen zu können, sind die jeweils vom Transistor abgewandten zweiten Elektroden der Speicherkondensatoren an Elektrodenleitungen angeschlossen, die in Zeilen- oder Spaltenrichtung verlaufen.

Zum Auslesen der Speicherinformation aus den einzelnen Speicherzellen wird durch Anlegen einer Spannung an die entsprechende Wortleitung der jeweilige MOS-Transistor eingeschaltet, so dass an der der Speicherzelle jeweils zugehöri-

gen Bitleitung ein Signal abgegriffen werden kann, dass dem Polarisationszustand bzw. der Ladung auf dem ferroelektrischen Kondensator entspricht. Zum Bewerten dieser Information wird das an der Bitleitung anliegende Signal von einem Leseverstärker mit dem Signalpegel einer Referenzzelle verglichen; hierzu wird diese Zelle über eine ihr zugeordnete Bitleitung mit dem Leseverstärker verbunden.

Bei der sogenannten "folded bit line-Architektur" einer solchen Speicherschaltung sind die Speicherzellen und die Referenzzellen gemeinsam in einem Speicherzellenfeld angeordnet und über jeweilige Bitleitungen an Leseverstärker angeschlossen, die an einer Seite des Speicherzellenfeldes vorgesehen sind. In einer solchen - bspw. anhand der Fig. 4a und 4b und der zugehörigen Beschreibung in der Druckschrift D15 erläuterten - Anordnung kann der Informationszustand der einzelnen Speicherzellen mit Hilfe eines Leseverstärkers durch Ansteuerung der Wort- und Bitleitung sowie der Elektrodenleitung der auszulesenden Speicherzelle und durch gleichzeitige Anwahl einer zugehörigen Referenzzelle durch Ansteuerung der dieser entsprechenden Wortleitung, Bitleitung und Elektrodenleitung ermittelt werden.

Diese Anordnung ist wegen der am Rand des Speicherzellenfeldes angeordneten Lese- und Ansteuerschaltungen jedoch zwangsläufig mit relativ langen Leitungen zu den Speicherzellen im Speicherzellenfeld verbunden. Dies macht sich bei ferroelektrischen Speichervorrichtungen insofern störend bemerkbar, als die an die Elektrodenleitungen jeweils insgesamt angeschlossenen Kapazitäten gegenüber der jeweils abzutastenden Speicherkapazität nicht mehr vernachlässigt werden können und als diese Kapazitäten zusammen mit dem Widerstand der Elektrodenleitung zu verlängerten Zugriffszeiten beim Auslesen der Speicherzellen führen können. Aus diesem Grund müssen bei ferroelektrischen Speicherschaltungen in dieser Architektur üblicherweise viele Elektrodenleitungen vorgesehen werden, die über eine entsprechend große Zahl von zugehörigen Steuerschaltungen angesteuert werden. Diese Steuerschaltungen verbrauchen Chipfläche und führen so-

mit zu vergrößerten Speicherchips, vgl. in den geltenden Beschreibungsunterlagen S. 1, Zeile 15 bis S. 3, Zeile 2.

Der Anmeldung liegt dementsprechend als technisches Problem die Aufgabe zugrunde, die Chipgröße eines FRAM-Chips (FRAM bzw. FeRAM = ferroelectrical random access memory) möglichst klein zu halten, vgl. die Beschwerdebegründung vom 26. September 2006, S. 2, Abs. 3.

Diese Aufgabe wird gemäß dem geltenden Anspruch 1 gelöst durch eine ferroelektrische Speichervorrichtung in einem an sich bekannten Layout entsprechend einer gefalteten Bitleitungsarchitektur, die eine Vielzahl von parallelen Wortleitungen, die sich entlang einer Zeilenrichtung erstrecken, eine Vielzahl an parallelen Bitleitungen, die sich entlang einer Spaltenrichtung erstrecken, eine Vielzahl von parallelen Elektrodenleitungen, die sich entlang der Zeilenrichtung erstrecken und eine Vielzahl von Speicherzellen, die in Zeilenrichtung und in Spaltenrichtung angeordnet sind, aufweist. Die Speicherzellen in einer jeweiligen Reihe sind gleich orientiert angeordnet. Außerdem enthalten die Speicherzellen jeweils einen Transistor, der mit einer der Wortleitungen und einer der Bitleitungen gekoppelt ist, und einen ferroelektrischen Kondensator, der mit dem Transistor und einer der Elektrodenleitungen derart verbunden ist, dass die in einer jeweiligen Zeile nebeneinander liegenden Transistoren mit einer der jeweiligen Zeile zugeordneten Wortleitung verbunden sind. Ferner sind die ferroelektrischen Kondensatoren in den jeweiligen Zeilen der Speicherzellen abwechselnd mit einer von zwei parallel verlaufenden Elektrodenleitungen verbunden, wobei jeweils zwei Wortleitungen zwischen zwei benachbarten Zeilen der Speicherzellen nebeneinander verlaufend ausgebildet sind und sich wenigstens eine in Zeilenrichtung verlaufende Elektrodenleitung mit zwei nebeneinander verlaufenden Wortleitungen in Spaltenrichtung abwechselt.

Die im geltenden Anspruch 1 im Hinblick auf die Anordnung von Wort-, Bit- und Elektrodenleitungen sowie auf die Verschaltung der Transistoren und der Kondens-

satoren der einzelnen Speicherzellen mit den jeweiligen Leitungen gegebene Lehre erlaubt es, die Anzahl der zum Auslesen notwendigen Leseverstärker zu verringern und die Dimensionierung der für die Elektrodenleitungen benötigten Treiberschaltungen wegen der verringerten Anzahl der an jede Leitung angeschlossenen Kapazitäten zu verkleinern, womit insgesamt Chipfläche eingespart wird, vgl. die Darlegungen der Anmelderin in der Beschwerdebegründung vom 26. September 2006, S. 2, Abs. 4, bis S. 3, Abs. 2 in Übereinstimmung mit den Angaben in den ursprünglichen Unterlagen S. 18, Abs. 2.

2. Die im geltenden Anspruch 1 gegebene Lehre ist nach Auffassung des Senats für den Fachmann ausführbar.

Wie vorangehend dargelegt, wird die der Anmeldung als technisches Problem zugrundeliegende Aufgabe durch die im Anspruch 1 angegebene Anordnung der Wort-, Bit- und Elektrodenleitungen sowie die Verschaltung der Transistoren und Kondensatoren der einzelnen Speicherzellen mit diesen Leitungen erreicht, indem hierdurch bei einer Anordnung in gefalteter bit-line-Architektur Leseverstärker eingespart und Treiberschaltungen verkleinert werden können. Hierzu offenbart die Anmeldung anhand der Figuren und der zugehörigen Beschreibung mehrere Ausführungsbeispiele, die angeben, wie diese Lehre durch verschiedene Anordnungen der genannten Leitungen und die jeweils zugehörige Verschaltung von Transistoren und Kondensatoren der Speicherzellen verwirklicht werden kann.

Der angestrebte Erfolg wird somit nicht durch ein Layout mit einer besonderen flächensparenden Anordnung der Einzelelemente der Speicherschaltung auf der Chipfläche erreicht, sondern durch die Anordnung der Leitungen und die darauf abgestimmte Verschaltung der Transistoren und Kondensatoren mit diesen Leitungen, die in der Anmeldung anhand mehrerer Ausführungsbeispiele beschrieben ist. Zur Nacharbeitbarkeit der anmeldungsgemäßen Lehre werden somit keine über die in der Anmeldung bereits gegebenen Anweisungen hinausgehenden An-

gaben, insbesondere keine Angaben zum genauen Layout einer derartigen Speichervorrichtung benötigt.

3. Die Speichervorrichtung nach dem geltenden Anspruch 1 beruht jedoch nicht auf einer erfinderischen Tätigkeit des Fachmanns.

Die Druckschrift D13 (JP 10 - 162 587 A) offenbart in Übereinstimmung mit der im geltenden Anspruch 1 gegebenen Lehre eine ferroelektrische Speichervorrichtung (ferroelectric memory) mit

- einer Vielzahl von parallelen Wortleitungen (word lines WL1, WL2, ..., WL2n-1, WL2n), die sich in Zeilenrichtung erstrecken,
- einer Vielzahl von parallelen Bitleitungen (BL, BB), die sich entlang einer Spaltenrichtung erstrecken;
- einer Vielzahl von parallelen Elektrodenleitungen (PL1, PL2, ..., PL2n-1, PL2n), die sich entlang der Zeilenrichtung erstrecken; und
- eine Vielzahl von Speicherzellen (memory cell MC), die in Zeilenrichtung und in Spaltenrichtung angeordnet sind, wobei die Speicherzellen in einer jeweiligen Reihe gleich orientiert sind, indem sie alle einheitlich senkrecht zu den Zeilen und Spalten ausgerichtet sind,

wobei die Speicherzellen jeweils einen Transistor (MOS transistor QM) enthalten, der mit einer der Wortleitungen (WL1, WL2) und einer der Bitleitungen (BL, BB) gekoppelt ist, und einen ferroelektrischen Kondensator (ferroelectric capacitor CFE) enthalten, der mit dem Transistor (QM) und einer der Elektrodenleitungen (PL1, PL 2) derart verbunden ist, dass die ferroelektrischen Kondensatoren in den jeweiligen Zeilen der Speicherzellen abwechselnd mit einer von zwei parallel verlaufenden Elektrodenleitungen (PL1, PL2) verbunden sind. In weiterer Übereinstimmung mit der Lehre des geltenden Anspruchs 1 sind bei der ferroelektrischen Speichervorrichtung nach der Druckschrift D13 jeweils zwei Wortleitungen (WL1, WL2) zwischen zwei benachbarten Zeilen der Speicherzellen (MC) nebeneinander verlaufend ausgebildet, wobei sich wenigstens eine in Zeilenrichtung verlaufende Elektrodenleitung (PL1, PL2) mit zwei nebeneinander verlaufenden Wortleitun-

gen (WL1, WL2) in Spaltenrichtung abwechselt, vgl. insbesondere die Fig. 1, den Text des Abstracts sowie in der englischsprachigen Maschinenübersetzung der entsprechenden japanischen Offenlegungsschrift vor allem die Abschnitte [0002] und [0024] bis [0029]. Wie dabei die Fig. 1 zeigt, ist der Leseverstärker (sense amplifier SA) am Rand des Speicherzellenfeldes angeordnet und die Bitleitungen (BB, BL) erstrecken sich jeweils parallel zueinander über das Speicherzellenfeld, wie es für eine Speichervorrichtung in "folded bit-line-Architektur" typisch ist.

Wie die Fig. 1 weiterhin zeigt, sind bei der Speichervorrichtung nach der Druckschrift D13 die in einer jeweiligen Zeile nebeneinander liegenden Transistoren abwechselnd mit einer von zwei der jeweiligen Zeile zugeordneten Wortleitungen verbunden.

Somit werden beim Auslesevorgang durch Anlegen einer Spannung an eine Wortleitung (WL1, WL2, ...) jeweils lediglich die Transistoren jeder zweiten Spalte der entsprechenden Zeile des Speicherzellenfeldes eingeschaltet, so dass Speicherzellen in den dazwischen liegenden Spalten zur Vorgabe des Referenzsignals zur Bewertung des Informationsgehalts der aktivierten Speicherzellen genutzt werden können. Hierzu sind die in der untersten Zeile des Speicherzellenfeldes angeordneten Referenzzellen (dummy cells DC) vorgesehen, die über eigene Wortleitungen (DWL1, DWL2) angesteuert werden können. Gemäß der Lehre der Druckschrift D13 wird zum Auslesen und Bewerten der Information einer Speicherzelle (MC) nämlich die jeweilige Wortleitung (WL1, WL2,...) mit Spannung beaufschlagt und hierdurch das Informationssignal an die Bitleitung (BL) gelegt, an die der Transistor der jeweiligen Speicherzelle angeschlossen ist. In gleicher Weise wird die Wortleitung (DWL1, WL2) einer Referenzzelle (DC) mit Spannung beaufschlagt, wobei die Auswahl der Referenzzelle so erfolgt, dass diese an der zu der genannten Bitleitung (BL) benachbarten Bitleitung (BB) angeschlossen ist. Der Leseverstärker vergleicht dann die Signalpegel der an den beiden Bitleitungen (BL, BB) anliegenden Signale von Speicher- und Referenzzelle (In this state, row decoder CD decodes a memory access address, and drives the word line [...]

specified by the above-mentioned address, for example, WL1. A group connected to it when word line WL1 drove -- a memory cell is read simultaneously. In order to also read dummy cell DC connected to bit line BB which makes the bit line BL to which each of these memory cells was connected and a pair, in the dummy word line connected to that dummy cell DC, and the present example DWL2, drives the word line driver WD simultaneously, and two or more dummy cell DC connected to this dummy word line DWL2 is also read. As a result of driving word line WL1, in each of two or more memory cell MCs connected to it, MOS transistor QM is considered as one and the signal depending on the polarization state of the ferroelectric capacitor CFE of this memory cell appears in the bit line BL to which that memory cell was connected. [...] Similarly, a signal level is read from dummy cell DC to bit line BB. [...] If sense amplifier SA is started, it will amplify the signal level on bit line BL and BB by differential / Maschinenübersetzung Abschnitte [0038] bis [0040]).

Im Unterschied zur Lehre der Druckschrift D13 sind bei der Speichervorrichtung nach dem geltenden Anspruch 1 die in den Zeilen der Speichervorrichtung nebeneinander liegenden Transistoren der Speicherzellen mit einer der jeweiligen Zeile zugeordneten Wortleitung verbunden.

Diese Maßnahme beruht jedoch nicht auf einer erfinderischen Tätigkeit des Fachmanns, denn dem Fachmann ist bekannt, dass derartig ausgebildete ferroelektrische Speichervorrichtungen ein einfaches und platzsparendes Design der Speichervorrichtung ermöglichen.

So offenbart die Druckschrift D1 eine ferroelektrische Speichervorrichtung, die wie die Speichervorrichtung nach der Druckschrift D13 in "folded-bit-line-Architektur" ausgeführt ist, wobei die Transistoren der in den jeweiligen Zeilen nebeneinander liegenden Speicherzellen an eine der jeweiligen Zeile zugeordnete Wortleitung angeschlossen sind. Wie bei der Speichervorrichtung nach der Druckschrift D13 werden hier jeweils Zellen benachbarter Spalten als Speicher- und Referenzzelle

verwendet, wobei hier jedoch jeweils zwei in einer Zeile angeordnete, d.h. unmittelbar benachbarte Zellen ein Paar aus einer Speicher- und einer Referenzzelle bilden, deren Signale - ebenfalls wie bei der Vorrichtung nach der Druckschrift D13 - über zwei benachbarte Bitleitungen an den Signalverstärker geleitet werden (A second embodiment of the invention uses no dummy memory cell per se, but does include two ferroelectric capacitors for each memory cell. The two capacitors of each cell store complementary data. Respective access transistors gated by the same word line couple the capacitors of the cell to corresponding parts of a bit line pair which is coupled to a sense amplifier. [...]) When the word line and plate line are raised to a preselected voltage, both memory cell capacitors are coupled to their respective bit lines. During a read or write, the sense amplifier senses the voltage difference between the bit lines and drives the bit lines to one of two states depending upon the memory cell state / Sp. 4, Zeilen 6 bis 19; Fig. 4 illustrates a memory cell 50 according to a second embodiment of the present invention. Memory cell 50 will store complementary binary data in a pair of ferroelectric capacitors 52, 54 each respectively coupled by source-drain paths of respective access transistors 56, 58 to a pair of bit lines 60, 62 both coupled to a sense and restore amplifier 64. A word line 66 is coupled to the gate electrodes of transistors 56, 58. A plate line 68 is coupled illustratively to the bottom plates of both capacitors 52, 54. It will be seen that plate line 68 is parallel to word line 66 in the schematic diagram / Sp. 6, Zeile 60 bis Sp. 7, Zeile 2; [...]) To select memory cell 50 and sense its stored data, a positive pulse [...] is applied to plate line 68. [...] Also, the word line voltage is brought to five volts [...]. As a result of pulses 70, 72 going high, transistors 56, 58 are turned on and a voltage of five volts is applied across both capacitors 52 and 54. [...] Bit line 60, coupled to capacitor 52 through the source-drain path of transistor 56, will stay relatively close to zero volts [...]. However, because a significant current flows through capacitor 54 as it changes its polarization [...], the voltage on bit line 62 rises. Through an appropriate signal referred to as "sense" (Fig. 7), sense amplifier 64 turns on and detects the difference in voltages between bit lines 60, 62 [...] This condition allows the data to be read via the bit lines / Sp. 7, Zeilen 19 bis 55).

Diese Speichervorrichtung weist gegenüber herkömmlichen Anordnungen ein einfacheres Design auf und vermeidet aufwendige Ansteuerschaltungen mit hohem Platzbedarf (Circuitry (gemeint sind die zuvor in dieser Druckschrift gewürdigten, aus dem Stand der Technik bekannten Schaltungen) able to accomodate these sequences of voltage combinations is complex, impedes the objective of high speed in the memory, and takes space. One object of the present invention therefore is to provide a simpler design or arrangement for ferroelectric memory cells which will overcome this need for elaborate circuitry for switching rows and columns among various voltage combinations in order to read and restore the memory cells / Sp. 2, Zeilen 56 bis 64).

Angesichts dieser Hinweise liegt es für den Fachmann nahe, die in der Druckschrift D1 gegebene Lehre bei der Speichervorrichtung nach der Druckschrift D13 anzuwenden, um den Vorteil eines einfacheren Designs mit geringerem Platzbedarf für Ansteuerschaltungen auch hier zu nutzen. Somit beruht die im Anspruch 1 gegebene Lehre nicht auf einer erfinderischen Tätigkeit des Fachmanns.

4. Der nebengeordnete Anspruch 17 sowie die Unteransprüche 2 bis 16 und 18 und 19 fallen wegen der Antragsbindung mit dem Anspruch 1, vgl. BGH GRUR 2007, 862, 863, Tz. 18 - "Informationsübermittlungsverfahren II" m. w. N..

5. Dem Antrag auf Rückzahlung der Beschwerdegebühr kann nicht entsprochen werden.

Der Senat ist zwar - wie oben bereits dargelegt - der Auffassung, dass die Anmeldung dem Fachmann eine nacharbeitbare Lehre offenbart, so dass der von der Prüfungsstelle geltend gemachte Zurückweisungsgrund nicht besteht. Darüber hinaus wäre nach Auffassung des Senats auch die von der Anmelderin beantragte Anhörung sachdienlich gewesen, denn die Anmelderin hat in ihren Eingaben nachvollziehbare sachbezogene Argumente vorgebracht, um den Vorwurf der Prüfungsstelle zu entkräften. Diese Argumente hätte die Prüfungsstelle vor der

Beschlussfassung über die Anmeldung in einer Anhörung im direkten Austausch mit der Anmelderin erörtern müssen. Gegenstand der Diskussion wäre somit nicht, wie die Prüfungsstelle im Zurückweisungsbeschluss darlegt, die Frage gewesen, wie der von ihr gerügte Mangel behoben werden kann, sondern ob er überhaupt besteht.

Wie sich aus den vorangehenden Darlegungen zur mangelnden Patentfähigkeit ergibt, hätte jedoch im Ergebnis die gleiche Entscheidung, nämlich die Zurückweisung der Anmeldung ergehen müssen, so dass sich die Beschwerde auch bei ordnungsgemäßem Verlauf des Prüfungsverfahrens nicht erübrigt hätte. Damit kommt eine Rückzahlung der Beschwerdegebühr aus Billigkeitsgründen nicht in Betracht, vgl. Schulte, PatG, 8. Auflage, § 73 Rdn. 131 bis 133.

6. Bei der dargelegten Sachlage war die Beschwerde der Anmelderin zurückzuweisen.

Lokys

Dr. Hock

Brandt

Dr. Friedrich

Bb