



BUNDESPATENTGERICHT

23 W (pat) 8/09

Verkündet am
27. April 2010

(AktENZEICHEN)

...

BESCHLUSS

In der Beschwerdesache

...

betreffend die Patentanmeldung 196 09 441.0-55

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 27. April 2010 unter Mitwirkung des Richters Lokys als Vorsitzendem sowie der Richterin Dr. Hock und der Richter Brandt und Dr. Friedrich

beschlossen:

1. Der Beschluss der Prüfungsstelle für Klasse G 11 C des Deutschen Patent- und Markenamts vom 21. Juli 2005 wird aufgehoben.
2. Das Verfahren wird zur weiteren Prüfung an das Deutsche Patent- und Markenamt zurückverwiesen.

Gründe

I.

Die Patentanmeldung 196 09 441 wurde am 11. März 1996 unter Inanspruchnahme der japanischen Priorität JP 7 - 102 118 vom 26. April 1995 mit der Bezeichnung „Zum gleichzeitigen Bestimmen eines Vielbittestmodus und eines speziellen Testmodus befähigte Halbleiterspeichereinrichtung“ beim Deutschen Patent- und Markenamt eingereicht. Die Prüfungsstelle hat im Prüfungsverfahren auf den Stand der Technik gemäß den Druckschriften

D1 US 5 267 206

D2 US 4 951 254

D3 T. Furuyama, T. Ohsawa, Y. Watanabe et al.: „An Experimental 4-Mbit CMOS DRAM“, IEEE Journal of Solid State Circuits, Vol. SC-21, No. 5, October 1986, S. 605-611

D4 H. McAdams, J.H. Neal, B. Holland et al: „A 1-Mbit CMOS Dynamic RAM With Design-For Test Functions“, IEEE Journal of Solid State Circuits, Vol. SC-21, No. 5, October 1986, S. 635-642

D5 K. Mashiko, M. Nagatomo, K. Alimoto et al: „A 4-Mbit DRAM with Folded-Bit-Line Adaptive Sidewall-Isolated Capacitor (FASIC) Cell“,

IEEE Journal of Solid State Circuits, Vol. SC-22, No. 5, October 1987, S. 643-650

D6 P.H. Voss, M.G. Pfennings, C.G. Phelan et al: „A 14-ns 256Kx1 CMOS SRAM with Multiple Test Modes“, IEEE Journal of Solid State Circuits, Vol. 24, No. 4, August 1989, S. 874-880

hingewiesen und dargelegt, der Anmeldungsgegenstand beruhe nicht auf einer erfinderischen Tätigkeit.

Mit Beschluss vom 21. Juli 2005 hat die Prüfungsstelle die Anmeldung zurückgewiesen, da der Gegenstand des Anspruchs 1 sowohl gegenüber dem Stand der Technik gemäß der Druckschrift D2 als auch gegenüber dem Stand der Technik gemäß der Druckschrift D6 nicht auf einer erfinderischen Tätigkeit beruhe.

Gegen den am 10. August 2005 zugestellten Beschluss hat die Anmelderin mit Schreiben vom 8. September 2005, eingegangen am selben Tag, Beschwerde eingelegt.

Der Senat hat mit der Terminladung der Anmelderin zur Vorbereitung der mündlichen Verhandlung noch die Druckschriften

D7 US 5 161 159 und

D8 DE 43 36 884 A1

übermittelt.

In der mündlichen Verhandlung stellt die Anmelderin den Antrag,

den Beschluss der Prüfungsstelle für Klasse G 11 C des Deutschen Patent- und Markenamts vom 21. Juli 2005 aufzuheben und das Patent mitfolgenden Unterlagen zu erteilen:

Patentansprüche 1 bis 10, überreicht in der mündlichen Verhandlung vom 27. April 2010,
Beschreibungsseiten 4, 4a, 5, 11, 12, 22, 23, 27, 36, 42 - 44, 46, 48, 52, 53 sowie 61 - 64, eingegangen am 10. September 1997, ursprüngliche Beschreibungsseiten 1 - 3, 6 - 10, 13 - 21, 24 - 26, 28 - 35, 37 - 41, 45, 47, 49 - 51, 54 - 60 und 65 - 78 sowie ursprüngliche Zeichnung, Figuren 1 bis 29.

Der geltende Anspruchssatz umfasst die beiden nebengeordneten Patentansprüche 1 und 4. Der auf eine Halbleitereinrichtung gerichtete Anspruch 1 lautet:

„Halbleitereinrichtung, welche umfasst:

eine ein erstes Eingangssignal ($/RAS$, $/CAS$, $/WE$, A_0 , A_1 , $/RA_0$, $/RA_1$) aus zumindest einem Signal empfangende Zustandsermittlungsschaltung (1610) zum Ausgeben eines Zustandsermittlungssignals ($TDA - TDC$, TGA , TGB) aus zumindest einem Signal gemäß einem Zustand des ersten Ermittlungssignals; und

eine das Zustandsermittlungssignal und ein zweites Eingangssignal ($/RA_2 - /RA_6$) aus zumindest einem Signal empfangende Testmodussetzsignalerzeugungsschaltung (1620),

(i) zum Ausgeben

(a) eines ersten Testmodussetzsignals (TE), das auf einen aktivierten Pegel gesetzt ist, um einen Vielbittest eines standardisierten Testmodus zu setzen, wenn das Zustandsermittlungssignal ($TDA - TDC$, TGA , TGB) anzeigt, dass das erste Eingangssignal ($/RAS$, $/CAS$, $/WE$, A_0 , A_1 , $/RA_0$, $/RA_1$) in einem ersten Zustand ist, und

(b) eines zweiten Testmodussetzsignals (TEST1 - TEST7), das als Reaktion auf das zweite Eingangssignal ($/RA_2$ - $/RA_6$) aus zumindest einem Signal, das in einem vorbestimmten Zustand ist, auf einen aktivierten Pegel gesetzt ist, um einen Modus von zumindest einem speziellen Test zu setzen, der ein anderer ist als der Vielbittest, wenn das Zustandsermittlungssignal anzeigt, dass das erste Eingangssignal in einem sich von dem ersten Zustand unterscheidenden zweiten Zustand ist, und

(ii) zum Setzen sowohl des ersten Testmodussetzsignals als auch gleichzeitig des zweiten Testmodussetzsignals auf einen aktivierten Pegel, wenn das Zustandsermittlungssignal anzeigt, dass das erste Eingangssignal in dem zweiten Zustand und das zweite Eingangssignal in einem von dem vorbestimmten Zustand verschiedenen dritten Zustand ist,

wobei das erste Eingangssignal ein erstes Signal (A_0), ein zweites Signal (A_1) und eine Mehrzahl von Steuersignalen ($/RAS$, $/CAS$, $/WE$) enthält, und

die Zustandsermittlungsschaltung (1610) enthält:

eine Einrichtung (1611, 1612) zum Setzen des Zustandsermittlungssignals in einen Zustand, der anzeigt, dass das erste Eingangssignal in dem zweiten Zustand ist, wenn mit einem vorgeschriebenen Timing die Mehrzahl von Steuersignalen eingegeben ist, wobei das erste Signal auf einem über H-Pegel, der höher als ein normal verwendeter H-Pegel ist, und das zweite Signal auf dem normal verwendeten H-Pegel ist.“

Der auf eine Halbleiterspeichereinrichtung gerichtete nebengeordnete Anspruch 4 lautet:

„Halbleiterspeichereinrichtung, die ein Speicherarray mit einer Mehrzahl von Speicherzellen enthält und in einem Vielbittestmodus betreibbar ist, bei dem eine Mehrzahl von Speicherzellen gleichzeitig getestet wird, welche umfasst:

eine Testmodussetzschaltung (1600), die so geschaltet ist, dass sie ein externes Vielbitsignal empfängt und als Reaktion auf eine erste vorbestimmte Kombination von Zuständen von Vielbits des externen Vielbitsignals zum Aktivieren eines ersten Testmodussetzsignals (TE) den Vielbittestmodus eines standardisierten Testmodus anweist, und als Reaktion auf eine zweite vorbestimmte Kombination von Zuständen der Vielbits des externen Vielbitsignals zum Aktivieren des ersten Testmodussetzsignals und eines zweiten Testmodussetzsignals einen sich von dem Vielbittestmodus unterscheidenden Testmodus eines nicht standardisierten speziellen Testmodus gleichzeitig anweist, wobei die Testmodussetzschaltung (1600) enthält:

eine Timingermittlungseinrichtung (1610), die als Reaktion auf einen ersten Satz von Vielbits des externen Signals ermittelt, dass mit einer vorbestimmten Timingbeziehung der erste Satz von Vielbits angelegt ist;

eine Testgruppenermittlungseinrichtung (1612), die als Reaktion auf einen zweiten Satz von Vielbits des externen Vielbitsignals in vorbestimmten Zuständen und auf die Timingermittlungseinrichtung, die ermittelt, dass mit der vorbestimmten Timingbeziehung der erste Satz angelegt ist, ein Testgruppenbestimmungssignal erzeugt, das einen sich von dem Vielbittest unterscheidenden Test gemäß dem zweiten Satz bestimmt, und einen Testmodussetzsignalgenerator (1620), der so geschaltet ist, dass er das Testgruppenbestimmungssignal und einen dritten Satz von Vielbits des externen Vielbitsignals empfängt, und der so geschaltet ist, dass

er als Reaktion auf die Timingermittlungseinrichtung das erste und das zweite Testmodussetzsignal gemäß dem dritten Satz und dem Testgruppenbestimmungssignal erzeugt und als Reaktion auf die Timingermittlungseinrichtung ermittelt, dass mit der vorbestimmten Timingbeziehung der erste Satz angelegt ist.“

Hinsichtlich der Unteransprüche sowie hinsichtlich der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

II.

1. Die frist- und formgerecht erhobene und zulässige Beschwerde hat insofern Erfolg, als der angefochtene Beschluss aufgehoben und die Sache zur weiteren Prüfung auf der Grundlage der in der mündlichen Verhandlung vom 27. April 2010 überreichten Patentansprüche 1 bis 10 an das Deutsche Patent- und Markenamt zurückverwiesen wird.
2. Die Anmeldung betrifft eine Halbleitereinrichtung mit einem Testmodus zum Ausführen eines vorgeschriebenen Tests.

Bei hochintegrierten Halbleiterschaltungen wie bspw. Halbleiterspeichern mit sehr hoher Speicherkapazität sind die zum Überprüfen der Funktionsfähigkeit durchzuführenden Testmessungen sehr zeitaufwendig, da auf jedem Chip jeweils eine sehr hohe Anzahl von Speicherzellen zu überprüfen ist. Um die Testzeiten zu verringern, hat der Joint Electron Device Engineering Council (JEDEC) einen als Vielbittestmodus bezeichneten Testmodus vorgeschlagen, bei dem bei einem einzigen Zugriffsvorgang eine vorgegebene Information in eine Mehrzahl von Speicherzellen eingelesen und anschließend überprüft wird, ob die ausgelesenen Signale übereinstimmen. Dieser Testmodus wird bei Speicherschaltungen als Standard-Testmodus durchgeführt. Neben diesem Standard-Test müssen jedoch zum

Überprüfen der Speicherschaltungen auch weitere Testmodi ausgeführt werden, die über jeweilige Testmodussetzschaltungen aktiviert werden.

Abgesehen davon, dass das Durchführen dieser weiteren Testmodi ebenfalls sehr zeitaufwendig ist, weisen die zum Durchführen der verschiedenen Testbetriebsarten notwendigen Leitungen sowie die zugehörigen Abschirmleitungen einen unerwünschten hohen Platzbedarf auf, vgl. in den geltenden Unterlagen S. 1, 1e. Abs. bis S. 4a, 1. Absatz.

Der vorliegenden Anmeldung liegt daher als technisches Problem die Aufgabe zugrunde, eine Halbleitereinrichtung anzugeben, die ein verbessertes Setzen von Testmodi ermöglicht, vgl. S. 4a, 2. Abs. der geltenden Unterlagen.

Diese Aufgabe wird gemäß dem geltenden Anspruch 1 durch eine Halbleitereinrichtung gelöst, bei der eine Zustandsermittlungsschaltung ein erstes Eingangssignal aus zumindest einem Signal empfängt und ein Zustandsermittlungssignal aus zumindest einem Signal gemäß einem Zustand des ersten Eingangssignals ausgibt und eine Testmodussetzsignalerzeugungsschaltung das Zustandsermittlungssignal der Zustandsermittlungsschaltung und ein zweites Eingangssignal empfängt. Diese Testmodussetzsignalerzeugungsschaltung

- gibt ein erstes Testmodussignal aus, dessen Pegel einen Vielbittest eines standardisierten Testmodus setzt, wenn das Zustandsermittlungssignal anzeigt, dass das erste Eingangssignal in einem ersten Zustand ist,
- gibt ein zweites Testmodussignal aus, das als Reaktion auf das zweite Eingangssignal, das in einem vorbestimmten Zustand ist, einen speziellen, anderen als den Vielbittest setzt, wenn das Zustandsermittlungssignal anzeigt, dass das erste Eingangssignal in einem von dem ersten Zustand sich unterscheidenden zweiten Zustand ist, und
- setzt das erste als auch gleichzeitig das zweite Testmodussignal, wenn das Zustandsermittlungssignal anzeigt, dass das erste Eingangssignal in dem zweiten

Zustand und das zweite Eingangssignal in einem von dem vorbestimmten Zustand verschiedenen dritten Zustand ist.

Das erste Eingangssignal enthält dabei ein erstes und ein zweites Signal sowie eine Mehrzahl von Steuersignalen. Eine in der Zustandsermittlungsschaltung enthaltene Einrichtung setzt das Zustandsermittlungssignal in einen Zustand, der den zweiten Zustand des ersten Eingangssignals anzeigt, wenn mit einem vorgeschriebenen Timing die Mehrzahl von Steuersignalen eingegeben ist, wobei das erste Signal auf einem Über-H-Pegel und das zweite Signal auf dem H-Pegel ist.

Gemäß dem geltenden nebengeordneten Anspruch 4 wird die Aufgabe ferner durch eine Halbleiterspeichereinrichtung gelöst, die ein Speicherarray mit einer Mehrzahl von Speicherzellen enthält und in einem Vielbittestmodus betreibbar ist, bei dem eine Mehrzahl von Speicherzellen gleichzeitig getestet wird und die eine Testmodussetzschaltung umfasst, die ein externes Vielbitsignal empfängt und

- als Reaktion auf eine erste vorbestimmte Kombination von Zuständen von Vielbits des externen Vielbitsignals zum Aktivieren eines erstes Testmodussetzsignal den Vielbittestmodus eines standardisierten Testmodus anweist,
- und als Reaktion auf eine zweite vorbestimmte Kombination von Zuständen der Vielbits des externen Vielbitsignals das erste Testmodussetzsignal und gleichzeitig ein zweites Testmodussetzsignal eines sich von dem Vielbittestmodus unterscheidenden Testmodus eines nicht standardisierten speziellen Testmodus anweist.

Die Testmodussetzschaltung weist dabei eine Timingermittlungseinrichtung auf, die als Reaktion auf einen ersten Satz von Vielbits des externen Signals ermittelt, dass mit einer vorbestimmten Timingbeziehung der erste Satz von Vielbits angelegt ist. Außerdem erzeugt eine Testgruppenermittlungseinrichtung als Reaktion auf einen zweiten Satz von Vielbits des externen Vielbitsignals in vorbestimmten Zuständen und auf die Timingermittlungseinrichtung ein Testgruppenbestim-

mungssignal, das einen sich von dem Vielbittest unterscheidenden Test gemäß dem zweiten Satz bestimmt. Weiterhin ist ein Testmodussetzsignalgenerator so geschaltet, dass er das Testgruppenbestimmungssignal und einen dritten Satz von Vielbits des externen Vielbitsignals empfängt. Als Reaktion auf die Timingermittlungseinrichtung erzeugt er das erste und das zweite Testmodussetzsignal gemäß dem dritten Satz und dem Testgruppenbestimmungssignal und ermittelt als Reaktion auf die Timingermittlungseinrichtung, dass mit der vorbestimmten Timingbeziehung der erste Satz angelegt ist.

3. Die geltenden Patentansprüche 1 bis 10 sind zulässig.

Der geltende Patentanspruch 1 geht auf die ursprünglichen Patentansprüche 1 und 2 zurück. Die gegenüber dem ursprünglichen Anspruch 1 vorgenommene Umformulierung der Angaben „ein erstes Eingangssignal mit wenigstens einem Bit“, „ein zweites Eingangssignal mit wenigstens einem Bit“ und „ein Zustandsermittlungssignal mit wenigstens einem Bit“ in die Angaben „ein erstes Eingangssignal aus zumindest einem Signal“, „ein zweites Eingangssignal aus zumindest einem Signal“ und „ein Zustandsermittlungssignal aus zumindest einem Signal“ geht auf die Fig. 4 bis 7 und die zugehörige Beschreibung (S. 22, 3. Abs. bis S. 28, 2. Abs., insbesondere S. 22, 3. und 4. Abs. sowie S. 24, 2. Abs.) zurück, wonach das erste Eingangssignal aus den Signalen „/RAS, /CAS, /WE“ und „A₀, A₁“, das zweite Eingangssignal aus den Signalen „RA₂, ..., RA₆“ und das Zustandsermittlungssignal aus den Signalen „/TDA, TDB, TDC“ gebildet wird.

Der geltende nebengeordnete Patentanspruch 4 geht auf die ursprünglichen Patentansprüche 13 und 14 zurück, wobei die Angabe „zu einer Zeit“ im ursprünglichen Anspruch 13 in Übereinstimmung mit der ursprünglichen Offenbarung (bspw. S. 6, 2. Abs.) durch „gleichzeitig“ klargestellt wurde.

Die Unteransprüche 2 und 3 sowie 5 bis 10 entsprechen inhaltlich den ursprünglichen Unteransprüchen 3 und 4 sowie 15 bis 20.

4. Der bisher ermittelte Stand der Technik steht den Gegenständen der geltenden nebengeordneten Ansprüche 1 und 4 nicht patenthindernd entgegen.

Als den Gegenständen der Ansprüche 1 und 4 nächstkommender Stand der Technik werden die Halbleiter- bzw. Halbleiterspeichereinrichtungen nach den Druckschriften D7 und D2 angesehen.

Die vom Senat in das Verfahren eingeführte Druckschrift D7 offenbart eine Halbleitereinrichtung, nämlich eine Halbleiterspeichereinrichtung mit einer Mehrzahl von Speicherzellen (*Memory 1 is an integrated circuit memory, for example a static random access memory (SRAM) / Sp. 5, Zeilen 16 bis 18 i. V. m. Fig. 1*), die mit Hilfe einer Testmodussetz- bzw. Testmodussetzsignalerzeugungsschaltung und einer Zustandsermittlungsschaltung (*test mode enable circuit 29 mit evaluation logic 30 und ihr nachgeschalteter Testmodussetzsignal-Logik 82, 84, 86 bzw. 90, 92 / Fig. 2, 2a, 2b und 5a i. V. m. der zugehörigen Beschreibung*) abhängig von der Kombination von Zuständen eines ersten Eingangssignals, nämlich eines externen Vielbitsignals in einen Vielbittestmodus oder in einen anderen Testmodus schaltbar ist (*Test mode enable circuit 29 is provided in memory 1 for enabling one of several special test modes. By way of explanation, the special test mode corresponding to parallel read and write operations is shown by way of parallel test circuitry 28 in Fig. 1. Other special test modes, such as described in McAdams et al article cited hereinabove, may also be enabled by test mode circuit 29, responsive to the inputs connected hereto / Sp. 8, Zeilen 41 bis 49; The operation of evaluation logic 30a will now be described relative to the circuitry for selecting the parallel test mode [...] Accordingly, NOR gate 88₀ presents an enabling clock signal only when the code presented by address terminals A5, A4, A2, A1, and A0 equals 10101, in conjunction with an overvoltage excursion detected by overvoltage detection circuit 32. It should be noted that evaluation logic 30a [...] will drive enabling clock signals [...] for enabling a second special mode, only when the code presented by address terminals A5, A4, A2, A1, and A0 equals 01010, in*

conjunction with an overvoltage excursion detected by overvoltage detection circuit 32 / Sp. 19, Zeilen 45 bis 65).

Dabei wird in der Druckschrift D7 ausdrücklich darauf hingewiesen, dass der Vielbittestmodus sowohl allein als auch gleichzeitig mit einem weiteren Testmodus aktiviert werden kann (*Furthermore, it should be noted that the special test modes enabled by the test mode enable circuitry 29 need not be mutually exclusive of one another, as certain functions may work cooperatively with one another (e.g. a particular special read function may be enabled together with the parallel test mode, with the parallel test mode without the special read function separately selectable / Sp. 9, Zeilen 27 bis 34).*

Für den Fachmann ist angesichts der Erläuterungen der Druckschrift D7 zum Aktivieren der unterschiedlichen Testmodi durch verschiedene Kombinationen von Vielbitzuständen auch selbstverständlich, dass neben dem Vielbittestmodus auch der Testmodus mit dem Vielbit- und einem weiteren gleichzeitig aktivierten speziellen Testmodus durch eine Kombination eines Vielbitsignals aktiviert wird.

Abweichend von der im geltenden Anspruch 1 gegebenen Lehre empfängt hier jedoch die Testmodussetz- bzw. Testmodussetzsignalerzeugungsschaltung (*Testmodussetzsignal-Logik 82, 84, 86 bzw. 90, 92*) neben dem von der Zustandsermittlungsschaltung (*evaluation logic*) übermittelten Zustandsermittlungssignal kein zweites Eingangssignal, das gemäß den Merkmalen (b) und (ii) des geltenden Anspruchs 1 zum Setzen von Testmodi herangezogen wird.

Dementsprechend ist bei der Halbleitereinrichtung nach der Druckschrift D7 abweichend von der Lehre des geltenden Anspruchs 4 auch keine Testgruppenermittlungseinrichtung vorgesehen, die als Reaktion auf einen zweiten Satz von Vielbits (diese entsprechen dem im Anspruch 1 genannten weiten Eingangssignal) und die Timingermittlungseinrichtung ein Testgruppenbestimmungssignal erzeugt, das einen vom Vielbittestmodus sich unterscheidenden Testmodus bestimmt. Zu-

dem existiert hier auch kein Testmodussetzsignalgenerator, der gemäß der weiteren Lehre des Anspruchs neben dem Testgruppenbestimmungssignal einen dritten Satz von Vielbits empfängt und in Reaktion auf die Timingermittlungsschaltung gemäß diesem dritten Satz von Vielbits und dem Testgruppenbestimmungssignal das erste und zweite Testmodussetzsignal erzeugt.

Auch die im Prüfungsverfahren ermittelte Druckschrift D2 offenbart nicht die in den Ansprüchen 1 und 4 gegebene Lehre zum Bestimmen verschiedener Testmodi abhängig vom Zustand verschiedener Eingangssignale.

Die Druckschrift D2 offenbart eine Halbleitereinrichtung, bei der eine Zustandsermittlungseinrichtung (1) abhängig vom Zustand eines ersten Eingangssignals ein Zustandsermittlungssignal (*connection 27*) an eine Testmodussetzsignal erzeugungsschaltung (2) übermittelt, die daraufhin in den Testbetrieb gesetzt wird, wobei das erste Eingangssignal ein Vielbitsignal ist, das von der Zustandsermittlungseinrichtung auf das Vorliegen einer bestimmten Signalfolge überprüft wird (*The element referenced 1 is connected to the input CE, WE and to the adress pin AO. It constitutes means for triggering the test mode. It detects whether a predefined sequence of logic signals which is customarily prohibited, that is to say not contained within a set of sequences which are normally used, but the voltages of which are nevertheless included within the range of voltages which are specified for such signals is supplied on the inputs WE, CE, AO. If such a sequence is detected, it supplies a signal for placing in test mode to the element 2 / Sp. 4, Zeilen 21 bis 37*).

Welcher Testmodus dabei jeweils aktiviert wird, wird von der Testmodus-setzsignal erzeugungsschaltung (2) abhängig vom jeweiligen Zustand eines an ihr anliegenden zweiten Eingangssignals festgelegt, das ein aus den Bitzuständen von Adress-Signalen zusammengesetztes Vielbitsignal, nämlich ein 8-Bit-Signal ist (*The element 2 is a test type decoding circuit which receives from the connection 27 the signal for placing in test mode, and is furthermore connected to a set of*

address input pins of the unit, in this case the set A1 - A8, and the data applied to the said input pins are used as data defining the nature or type of the test to be performed. [...] With the eight address bits A1 - A8 it would be possible to define 256 different test modes. In practice, it is sufficient in the present example, to use four of them. The element 2 comprises an OR circuit having six inputs, by means of which circuit (not shown) it is verified that the bits A3 - A8 are all at zero, and a „two to four“ demultiplexer which, depending upon the combination of the bits A1 and A2 generates a signal on one and only one of the four connections TESP, TESN, TESR, TESV / Sp. 5, Zeilen 46 bis 65).

Da bei dieser Halbleitereinrichtung nur jeweils ein einziger von mehreren Testmodi gesetzt (*generates a signal on one and only one of the four connections TESP, TESN, TESR, TESV / Sp. 5, Zeilen 63 bis 65*) und der jeweilige Testmodus allein durch die Zusammensetzung eines einzigen Eingangssignals in Form eines Vielbitsignals bestimmt wird, kann diese Druckschrift keine Hinweise auf Maßnahmen zum gleichzeitigen Aktivieren von zwei Testmodi durch eine Kombination von mehreren Eingangssignalen mit unterschiedlichen Zuständen geben, so dass die in den geltenden Ansprüchen 1 und 4 angegebene Lehre zur entsprechenden Eingangssignalverarbeitung und -kombination hier kein Vorbild findet.

Gleiches gilt für die Druckschrift D6, deren Offenbarungsgehalt dem der Druckschrift D2 entspricht, vgl. dort die Fig. 1 und die zugehörige Beschreibung im Kapitel II „Multiple Test Modes“ auf S. 874 und 875.

Auch die übrigen Druckschriften geben keine Anregung zur Art und Weise der Eingangssignalverarbeitung und Eingangssignalkombination zur Bestimmung der Testmodi gemäß der Lehre der Ansprüche 1 und 4.

Die Druckschrift D8 offenbart eine Halbleitereinrichtung, bei der ein Testmodus gesetzt wird, wenn eine Timingermittlungseinrichtung feststellt, dass ein Satz von Vielbits mit einer vorbestimmten Timingbeziehung angelegt ist und an einen weite-

ren Signaleingang der Testmodussetzschaltung ein über dem H-Pegel liegender Signalpegel anliegt. Das Signal zum Aktivieren des Testmodus besteht dabei aus einem einzigen Adress-Signal und einer Mehrzahl von Steuersignalen (*An externe Pins PR, PC und PW wird das Zeilenadresspulssignal /RAS, das Spaltenadresspulssignal /CAS bzw. das Schreibaktivierungssignal /WE eingegeben, mit dem Timing WCBR (WE, CAS vor RAS). Das WCBR-Timing bezieht sich auf die Timing-Bedingung, bei der das Spaltenadresspulssignal /CAS und das Schreibaktivierungssignal /WE auf „L“-Pegel eingegeben werden, vor dem Zeilenadresspulssignal /RAS, und dann wird das Zeilenadresspulssignal /RAS auf „L“ gesetzt. Das WCBR-Timing wird in dem DRAM benutzt, wenn in den Testmodus eingetreten wird. Gleichzeitig mit dem obigen WCBR-Timing wird ein Adresssignal A_i auf dem Pegel $V_{cc} + n V_{t1}$, also einer hohen Spannung höher als das normale Eingangesignal, in den externen Pin PA_i eingegeben / Sp. 8, Zeilen 37 bis 51*). Diese Druckschrift offenbart jedoch keine Schaltung zum Setzen eines ersten und eines gleichzeitigen zweiten Testmodussetzsignals.

Bei der Halbleitereinrichtung nach der Druckschrift D4 können verschiedene Testmodi bestimmt werden, darunter auch ein Vielbittestmodus. Hierzu wird die Halbleitereinrichtung durch Anlegen eines über dem normalen „High“-Pegel liegenden Überspannungspegels in den Testbetrieb geschaltet und gleichzeitig der gewünschte Testmodus durch Anlegen eines jeweils unterschiedlichen Vielbit-signals an Adress-Eingänge bestimmt (*An overvoltage condition on RAS\ was chosen as the method of entering TM (test mode) [...] Multiplexing the desired test number onto selected address inputs, while the overvoltage condition exists, allows the selection of an essentially unrestricted numer of tests / S. 638, re. Sp. le. Abs. i. V. m. Fig. 7*).

Die Druckschriften D1, D3 und D5 offenbaren lediglich Einzelheiten zum Vielbittestmodus und machen keinerlei Angaben zum Aufbau einer Testmodussetzschaltung und zur Signalverarbeitung zur Bestimmung eines Testmodus, vgl. in der Druckschrift D1 die einzelnen in der Beschreibung erläuterten Ausführungs-

beispiele sowie die zugehörigen Figuren, in der Druckschrift D3 S. 607, re. Sp., le. Abs. bis S. 608, li. Sp., 2. Abs. und in der Druckschrift D5 S. 647, re. Sp., 4. Abs. (Kap. IV. A. „Test Mode“). Diese Schriften geben dementsprechend keinen Hinweis darauf, wie weitere Testmodi aktiviert werden können, so dass sie keine Anregung zu den in den Ansprüchen 1 und 4 angegebenen Maßnahmen zur Bestimmung verschiedener Testmodi durch eine Kombination von Eingangssignalen geben können.

5. Der Senat hat von einer eigenen Sachentscheidung abgesehen.

Die in die geltenden Ansprüche 1 und 4 gegenüber den bisher geltenden nebengeordneten Ansprüchen 1 und 5 neu aufgenommene Lehre zur Auswertung der Eingangssignale durch die Zustandsermittlungs- und die Testmodussetzschaltung und zur Erzeugung der Testmodussignale abhängig von dieser Auswertung, die auf den ursprünglichen Unteranspruch 2 bzw. den ursprünglichen Unteranspruch 14 zurückgeht, war im Prüfungsverfahren ersichtlich nicht Gegenstand der Recherche, denn die Prüfungsstelle hat zu diesen wie auch den übrigen Unteransprüchen keinen Stand der Technik benannt und die Unteransprüche in ihren Bescheiden lediglich pauschal abgehandelt. Die entsprechenden Maßnahmen sind - wie oben dargelegt - auch nicht in dem von ihr ermittelten Stand der Technik offenbart.

Die Aufnahme der entsprechenden Merkmale in die geltenden Patentansprüche 1 und 4 macht somit eine Nachrecherche erforderlich. Die Sache ist damit nicht entscheidungsreif.

Bei dieser Sachlage ist die Anmeldung zur weiteren Prüfung und Entscheidung gemäß § 79 Abs. 3, Satz 1 Nr. 3 PatG an das Deutsche Patent- und Markenamt zurückzuverweisen (vgl. auch Schulte PatG, 8. Auflage, § 79 Rdn. 16 und 27).

Im Rahmen der weiteren Prüfung wären die Ansprüche im Sinne einer Klarstellung anhand der ursprünglichen Offenbarung dahingehend zu überarbeiten, dass Widersprüchlichkeiten beseitigt werden, wie sie bspw. in den Angaben, dass „ein erstes Signal aus zumindest einem Signal“ besteht und dass - im Widerspruch hierzu - „das erste Signal ein erstes Signal, ein zweites Signal und eine Mehrzahl von Steuersignalen enthält“ enthalten sind, und dass missverständliche Angaben wie z. B. „dass das erste Eingangssignal ... in dem zweiten Zustand ist, wenn mit einem vorgeschriebenen Timing die Mehrzahl von Steuersignalen eingegeben ist, wobei das erste Signal auf einem ...Pegel und das zweite Signal auf dem ... Pegel ist“ dahingehend klargestellt werden, dass zweifelsfrei zum Ausdruck kommt, ob mit dem „wobei“ nicht ein weiteres „wenn“ im Sinne einer weiteren, neben dem Vorliegen eines entsprechenden Timings der Steuersignale zu erfüllenden Bedingung gemeint ist.

Sollte die Anmeldung zu einer Patenterteilung führen, so wären außerdem die Beschreibungsunterlagen im Hinblick auf die Gegenstände der dann geltenden Ansprüche sowie im Hinblick auf die in den Ausscheidungsanmeldungen weiterverfolgten (und ggfs. patentierten) unterschiedlichen Gegenstände zu überarbeiten.

Es ist auch auf die Rechtssprechung zur Sachdienlichkeit einer Anhörung im Prüfungsverfahren hinzuweisen, derzufolge eine Anhörung in aller Regel als sachdienlich anzusehen ist. Begründungen, dass „ausgeprägt unterschiedliche Interpretationen“ des Standes der Technik auch in der Anhörung fortbestehen werden und dass die Anmelderin keine Bereitschaft erkennen lasse, ihr Patentbegehren anzupassen, obwohl sie ihre Ansprüche auf die Prüfungsbescheide hin modifiziert hat, dürften die Ablehnung einer von der Anmelderin beantragten Anhörung in aller Regel nicht begründen können. Denn die Anhörung hat gerade den Zweck, die im vorgegangenen schriftlichen Verfahren dargelegten unterschiedlichen Auffassungen im direkten mündlichen Austausch von Argumenten zu diskutieren und in Abwägung der Argumente ggfs. zu revidieren. Solange das Verhalten des Anmelders nicht begründeten Anlass zu der Auffassung gibt, er sei Argumenten nicht

zugänglich oder ignoriere den Offenbarungsgehalt einer Druckschrift, ist eine Diskussion über die kontroversen Standpunkte im Rahmen einer Anhörung als sachdienlich anzusehen.

Lokys

Dr. Hock

Brandt

Dr. Friedrich

Pr