



BUNDESPATENTGERICHT

23 W (pat) 17/06

(AktENZEICHEN)

Verkündet am
14. Januar 2010

...

BESCHLUSS

In der Beschwerdesache

...

betreffend die Patentanmeldung 102 61 307.9 - 33

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 14. Januar 2010 unter Mitwirkung des Richters Lokys als Vorsitzendem sowie der Richterin Dr. Hock und der Richter Brandt und Dr. Friedrich

beschlossen:

Der Beschluss der Prüfungsstelle für Klasse H01L des Deutschen Patent- und Markenamts vom 10. November 2005 wird aufgehoben und das Patent mit folgenden Unterlagen erteilt:

Patentansprüche 1 bis 16, überreicht in der mündlichen Verhandlung vom 14. Januar 2010,

Beschreibung, Seiten 1 bis 13, überreicht in der mündlichen Verhandlung vom 14. Januar 2010,

Zeichnung, Figuren 1a bis 4c, eingegangen am 27. März 2003.

Bezeichnung der Erfindung: Verfahren zur Herstellung einer Spannungsoberflächenschicht in einem Halbleiterelement

Anmeldetag: 27. Dezember 2002

Gründe

I.

Die vorliegende Anmeldung 102 61 307 ist am 27. Dezember 2002 in englischer Sprache beim Deutschen Patent- und Markenamt eingereicht worden. Die beglaubigte deutsche Übersetzung wurde am 27. März 2003 nachgereicht. In der Übersetzung lautet die Bezeichnung „Halbleiterelement mit einer verbesserten Spannungsoberflächenschicht und Verfahren zur Herstellung einer Spannungsoberflächenschicht in einem Halbleiterelement“.

Im Prüfungsverfahren hat die Prüfungsstelle für Klasse H01L bemängelt, die Anmeldung offenbare die beiden beanspruchten Verfahren nicht so vollständig, dass

der Fachmann sie ausführen könne. Zudem seien diese Verfahren im Hinblick auf den Stand der Technik gemäß den Druckschriften

D1 US 3 969 744 und

D2 US 4 053 925

auch nicht patentfähig.

Mit Beschluss vom 10. November 2005 hat die Prüfungsstelle die Anmeldung zurückgewiesen. Zur Begründung hat sie geltend gemacht, die Anmeldung offenbare die unter Schutz zu stellende Lehre nicht so, dass ein Fachmann sie ausführen könne, da sie keine Angaben darüber enthalte, wie die Ionenimplantation durchzuführen sei, um zu erreichen, dass Ionen gezielt in einen Bereich unterhalb der zu verformenden Oberflächenschicht implantiert werden, und wie gewährleistet werde, dass Gitterschäden in der Oberflächenschicht beim späteren Ausheizen weitgehend beseitigt werden, während diese Schäden in der darunter liegenden Schicht erhalten blieben. Angesichts der Vielzahl von Möglichkeiten bei der Implantation und der Ausheizbehandlung könne der Fachmann die entsprechenden Prozessparameter auch nicht im Rahmen einfacher Versuche herausfinden.

Gegen diesen am 5. Dezember 2005 zugestellten Beschluss wendet sich die Beschwerde der Anmelderin, beim Deutschen Patent- und Markenamt eingegangen am 5. Januar 2006.

Mit der Terminladung hat der Senat noch auf den Stand der Technik gemäß den Druckschriften

D3 US 6 228 694 B1 und

D4 US 6 403 981 B1

hingewiesen.

In der mündlichen Verhandlung vom 14. Januar 2010 stellte die Anmelderin den Antrag,

den Beschluss der Prüfungsstelle für Klasse H01L des Deutschen Patent- und Markenamts vom 10. November 2005 aufzuheben und das Patent mit folgenden Unterlagen zu erteilen:

Patentansprüche 1 bis 16, überreicht in der mündlichen Verhandlung vom 14. Januar 2010,
Beschreibung, Seiten 1 bis 13, überreicht in der mündlichen Verhandlung vom 14. Januar 2010,
Zeichnung, Figuren 1a bis 4c, eingegangen am 27. März 2003.

Der geltende Anspruch 1 lautet:

„Verfahren zur Herstellung mindestens eines Feldeffekttransistors auf einem Substrat, wobei das Verfahren umfasst:

Bilden einer verformten Oberflächenschicht (1ei) auf einer Oberfläche des Substrats (1) durch ganzflächiges Implantieren von Ionen (7ei) mindestens eines schweren inerten Materials in das durch Isolationsstrukturen (2) begrenzte gesamte aktive Gebiet des Feldeffekttransistors durch die Oberfläche des Substrats hindurch, um die Ladungsträgermobilität in der verformten Oberflächenschicht zu erhöhen, sodass im Bereich der verformten Oberflächenschicht das Kanalgebiet und die Source- (55) und Draingebiete (50) des Transistors angeordnet werden können;
Bilden mindestens einer Gatestruktur (3) über der verformten Oberflächenschicht; und

Bilden von Source- (55) und Draingebieten (50) in dem aktiven Gebiet nach dem Bilden der mindestens einen Gatestruktur.“

Der Anspruchssatz umfasst ferner den nebengeordneten Verfahrensanspruch 8, der im Unterschied zum vorgenannten Anspruch 1 lehrt, die Ionen durch eine zuvor auf der Oberfläche des halbleitenden Substrats gebildete isolierende Schicht hindurch in die aktiven Gebiete zu implantieren. Der geltende Anspruch 8 lautet:

„Verfahren zur Herstellung mindestens eines Feldeffekttransistors auf einem halbleitenden Substrat (1), wobei das Verfahren umfasst:

Bilden einer isolierenden Schicht (6g) auf einer Oberfläche des Substrats (1);

Herstellen einer verformten Oberflächenschicht an der Grenzfläche der isolierenden Schicht (6g) und des Substrats durch ganzflächiges Implantieren von Ionen (7ei), die mindestens ein schweres inertes Material aufweisen, durch die isolierende Schicht hindurch in das durch Isolationsstrukturen (2) begrenzte gesamte aktive Gebiet des Feldeffekttransistors, um die Ladungsträgermobilität in der verformten Oberflächenschicht zu erhöhen, sodass im Bereich der verformten Oberflächenschicht das Kanalgebiet und die Source- (55) und Draingebiete (50) des Transistors angeordnet werden können;

Bilden mindestens einer Gatestruktur (3) über der verformten Oberflächenschicht; und

Bilden von Source- (55) Draingebieten (50) in dem aktiven Gebiet nach dem Bilden der mindestens einen Gatestruktur.“

Hinsichtlich der Unteransprüche 2 bis 7 und 9 bis 16 sowie hinsichtlich weiterer Einzelheiten wird auf den Akteninhalt verwiesen.

II.

Die form- und fristgerecht erhobene Beschwerde ist zulässig und auch begründet. Die geltenden Patentansprüche sind zulässig. Die Anmeldungsunterlagen versetzen den Fachmann auch in die Lage, die in den beiden nebengeordneten Verfahrensansprüchen gegebene Lehre auszuführen, wobei er in der Anmeldung nicht im Einzelnen angegebene Prozessparameter im Rahmen fachüblicher einfacher Versuche ermittelt. Darüber hinaus ist die in den beiden nebengeordneten Ansprüchen gegebene Lehre auch patentfähig.

Als Fachmann ist hier ein in der Halbleiterindustrie tätiger, mit der Weiterentwicklung der MOS-Feldeffekttransistor-Technologie betrauter berufserfahrener Diplom-Physiker oder Diplom-Ingenieur der Elektrotechnik mit Hochschulabschluss zu definieren.

1. Die Anmeldung betrifft ein Verfahren zur Herstellung eines Feldeffekttransistors auf einem Substrat.

Die Schaltgeschwindigkeit von Feldeffekttransistoren hängt maßgeblich von der Beweglichkeit der Ladungsträger in der Oberfläche des Halbleiters ab, in der die Transistoren hergestellt werden. Da Ladungsträger in mechanisch verspannten Oberflächenschichten eine erhöhte Beweglichkeit aufweisen, sind verschiedene technologische Ansätze entwickelt worden, um gezielt derartige Oberflächenschichten im Halbleitermaterial zu erzeugen. Bei einem herkömmlichen Verfahren wird hierzu auf einer Silizium (Si) -Germanium (Ge)-Schicht epitaktisch eine Silizium-Schicht abgeschieden. Da die Si-Ge-Unterlage eine andere Gitterkonstante als die auf ihr abgeschiedene Silizium-Schicht aufweist, bilden sich in der Silizium-Schicht mechanische Verspannungen aus, die zu einer Verformung der Oberflä-

chenschicht und dementsprechend zu einer Erhöhung der Ladungsträger-Beweglichkeit in ihr führen.

Dieses Verfahren ist jedoch nachteilig, da das epitaktische Aufwachsen der Silizium-Schicht teuer und aufwendig ist und eine sorgfältige Steuerung der Prozessparameter erfordert, vgl. in den geltenden Beschreibungsunterlagen S. 3, 1e. Abs. bis S. 6, 1. Abs..

Der vorliegenden Anmeldung liegt dementsprechend als technisches Problem die Aufgabe zugrunde, eine einfache Technik bereitzustellen, die es dennoch ermöglicht, die Mobilität der Ladungsträger in dem Kanalgebiet eines Feldeffekttransistors zu vergrößern, vgl. S. 6a, 3. Abs. der geltenden Beschreibungsunterlagen.

Gemäß dem geltenden Anspruch 1 wird diese Aufgabe durch ein Verfahren zur Herstellung mindestens eines Feldeffekttransistors auf einem Substrat gelöst, bei dem durch ganzflächiges Implantieren von Ionen mindestens eines schweren inerten Materials durch die Oberfläche des Substrats in das durch Isolationsstrukturen begrenzte gesamte aktive Gebiet des Feldeffekttransistors eine verformte Oberflächenschicht auf einer Oberfläche des Substrats gebildet wird. Nachdem über der verformten Oberflächenschicht mindestens eine Gatestruktur gebildet wird, werden in dem aktiven Gebiet Source- und Draingebiete gebildet .

Gemäß dem nebengeordneten Anspruch 8 wird die Aufgabe weiterhin durch ein Verfahren zur Herstellung mindestens eines Feldeffekttransistors auf einem halbleitenden Substrat gelöst, bei dem zunächst eine isolierende Schicht auf einer Oberfläche des Substrats gebildet und dann durch ganzflächiges Implantieren von mindestens ein schweres inertes Material aufweisenden Ionen durch die isolierende Schicht hindurch in das durch Isolationsstrukturen begrenzte gesamte aktive Gebiet des Feldeffekttransistors eine verformte Oberflächenschicht an der Grenzfläche der isolierenden Schicht und des Substrats hergestellt wird. Auch hier schließen sich die Verfahrensschritte des Bildens mindestens einer Gatestruktur

über der verformten Oberflächenschicht und des Bildens von Source- und Draingebieten in dem aktiven Gebiet nach dem Bilden der mindestens einen Gatestruktur an.

Für beide Verfahren ist demzufolge wesentlich, dass zum Bilden der verformten Oberflächenschicht Ionen mindestens eines schweren inerten Materials ganzflächig in das gesamte aktive, durch Isolationsstrukturen begrenzte Gebiet implantiert werden, so dass im Bereich über der verformten Oberflächenschicht anschließend die Gatestrukturen und in der verformten Oberflächenschicht die Source-Draingebiete gebildet werden.

2. Die geltenden Patentansprüche 1 bis 16 sind zulässig.

Der geltende Anspruch 1 geht auf den ursprünglichen Anspruch 1 sowie das anhand der Fig. 3a bis 3c erläuterte Ausführungsbeispiel zurück. Die verformte Oberflächenschicht kann gemäß dem Text S. 8, 1e. Abs. der ursprünglichen englischsprachigen Unterlagen (S. 9, 1e. Abs. der zugehörigen deutschen Übersetzung) nach der Herstellung der Isolationsstrukturen („2“) gebildet werden, die gemäß der S. 7, 1e. Abs. der englischsprachigen Unterlagen (S. 8, 1e. Abs. der deutschen Übersetzung) das aktive Gebiet des Transistors definieren. Das Ausbilden von Source- und Draingebieten in den aktiven Gebieten ist in den ursprünglichen englischsprachigen Unterlagen auf S. 10, 3. Abs. (S. 11, 4. Abs. der deutschsprachigen Unterlagen) offenbart.

Der geltende Anspruch 8 geht auf den ursprünglichen Anspruch 8 und das anhand der Fig. 4a bis 4c erläuterte zweite Ausführungsbeispiel zurück, wobei im Text auf S. 10, 1e. Abs. bis S. 11, 1. Abs. der englischsprachigen ursprünglichen Unterlagen (S. 12, 1. Abs. der deutschen Übersetzung) angegeben wird, dass das Implantieren in das Substrat in der gleichen Weise wie bei dem zuvor anhand der Fig. 3a bis 3c erläuterten ersten Ausführungsbeispiel erfolgt, also durch Implantieren von Ionen in die aktiven, durch die Isolationsstrukturen („2“) definierten Berei-

che, wie es die Fig. 4a zeigt. Das Herstellen der Source-Draingebiete in den aktiven Bereichen erfolgt ebenfalls wie im ersten Ausführungsbeispiel, vgl. S. 11, 2. Abs., 1e. Satz der ursprünglichen englischsprachigen Unterlagen (S. 13, 1. Abs., 1e. Satz der deutschen Übersetzung).

Die geltenden Unteransprüche 2 bis 7 und die geltenden Unteransprüche 9 bis 16 gehen auf die ursprünglichen Unteransprüche 2 bis 7 und 9 bis 16 zurück.

3. Die in den beiden Verfahrensansprüchen gegebene Lehre wird in der Anmeldung so weit erläutert, dass ein Fachmann sie ausführen kann. Die hierfür notwendigen genauen Prozessparameter ermittelt der Fachmann, soweit sie nicht ohnehin bereits in der Anmeldung genannt sind, in fachüblicher Weise im Rahmen einfacher, ohne weiteres zumutbarer Versuche.

So sind in den geltenden Unteransprüchen 2 bis 4 bzw. 9 bis 11 - in Übereinstimmung mit den entsprechenden Angaben in den beiden in der Figurenbeschreibung erläuterten Ausführungsbeispielen - die Parameter des Ionenimplantationsprozesses angegeben, der zur Bildung der verformten Oberflächenschicht durchzuführen ist. Da dabei sowohl die zu implantierenden Ionenmaterialien charakterisiert als auch Dosis und Energie der Implantation genannt werden, sind die die Ionenimplantation bestimmenden technologischen Parameter vollständig in der Anmeldung beschrieben, wobei - wie für den Fachmann selbstverständlich - über die Energie die Eindringtiefe der schweren inerten Ionen in die Oberfläche und über deren Dosis der Grad der Verformung in der jeweiligen Tiefe beeinflusst wird.

Der weitere geltende Unteranspruch 5 bzw. 12 weist den Fachmann an, das thermische Budget beim Herstellen des Feldeffekttransistors so zu einzustellen, dass eine Wiederherstellung des Gitterabstands des Substrats in der durch das Implantieren der Ionen verformten Oberflächenschicht vermieden wird. Zwar enthalten die Anmeldungsunterlagen keine genauen Angaben dazu, wie hierzu im Einzelnen zu verfahren ist. Da der Fachmann unter dem in der Halbleitertechnologie üblichen

Begriff „thermisches Budget“ die durch das Integral aus Temperatur und Zeit gegebene Temperaturbelastung der Wafer bei deren Prozessierung versteht, ergibt sich für den Fachmann aus dieser Angabe jedoch die Lehre, dass Prozesstemperaturen und Prozesszeiten der zur Herstellung des Feldeffekttransistors notwendigen thermischen Prozesse geeignet gewählt werden müssen. Dazu die jeweiligen genauen Prozessparameter zu bestimmen, bedarf lediglich einfacher Versuche, wie sie in der Prozessentwicklung hochintegrierter Schaltungen fachüblich und somit dem Fachmann ohne weiteres zumutbar sind, vgl. Schulte PatG 8. Auflage, § 34 Rdn. 387 bis 393.

4. Das Verfahren nach dem geltenden Anspruch 1 und das Verfahren nach dem geltenden Anspruch 8 ist darüber hinaus auch patentfähig, denn beide Verfahren sind neu und beruhen auf erfinderischer Tätigkeit des Fachmanns.

Die Druckschrift D3 offenbart ein Verfahren zur Herstellung von Feldeffekttransistoren auf einem Substrat (*A method of modifying the carrier mobility of a transistor is described. First a substance is implanted into a substrate. [...] Then a transistor is formed on the substrate / Sp. 2, Zeilen 2 bis 6*), das folgende Verfahrensschritte umfasst:

- Bilden einer verformten Oberflächenschicht auf einer Oberfläche eines halbleitenden Substrates durch Implantieren von Ionen eines inerten Materials durch die Oberfläche des Substrats hindurch, wobei das inerte Material bspw. die Ionen eines oder mehrerer Edelgase sein können, zu denen neben dem im Ausführungsbeispiel lediglich zu Illustrationszwecken genannten relativ leichten Helium auch das schwere Edelgas Xenon gehört (*One method of creating localized stresses in a semiconductor is through the implantation of a substance (e.g., a gas) into the silicon substrate / Sp. 3, Zeilen 45 bis 50; The substance to be implanted may be any one of or a combination of several different gases, including [...] the noble gases / Sp. 4, Zeilen 1 bis 3; For illustrative purposes only, the following embodi-*

ments of the present invention will be discussed with use of helium formed voids / Sp. 4, Zeilen 9 bis 11),

- Bilden einer Gatestruktur über der verspannten Oberflächenschicht und

- Bilden von Source-/Drain-Gebieten in dem aktiven Gebiet nach dem Bilden der Gatestruktur (*Once, the helium has been implanted, [...] an NMOS device 64 shown in Fig. 7 is formed on the substrate 50 having a source 58, a drain 60 and a gate 62 with a channel region 59 under a localized stress / Fig. 7 i. V. m. Sp. 4, Zeilen 48 bis 54; [...] a PMOS device 94 is formed on the substrate 80 having a source 88, a drain 90, a gate 92, and a channel region 89 / Sp. 4, Zeile 66 bis Sp. 5, Zeile 1).*

Im Unterschied zu der in den geltenden Ansprüchen 1 und 8 gegebenen Lehre, die entsprechenden Ionen zum Bilden der verformten Oberflächenschicht ganzflächig in das gesamte durch Isolationsstrukturen begrenzte aktive Gebiet des Feldeffekttransistors zu implantieren, werden bei dem Verfahren nach der Druckschrift D3 die Ionen zum Erzeugen der verformten Oberflächenschicht je nach Leitfähigkeitstyp des Feldeffekttransistors entweder lediglich in das Kanalgebiet des Feldeffekttransistors oder lediglich in die Source-Draingebiete des Feldeffekttransistors implantiert. Der Druckschrift D3 zufolge müssen nämlich zum Erhöhen der Ladungsträgerbeweglichkeit bei NMOS-Transistoren Zugspannungen erzeugt werden, wozu die entsprechenden inerten Ionen lediglich in das Kanalgebiet implantiert werden, während zum Erhöhen der Ladungsträgerbeweglichkeit bei PMOS-Transistoren Druckspannungen erzeugt werden müssen, wozu die genannten Ionen lediglich in die Source-Draingebiete implantiert werden (*In one embodiment of the present invention, helium-formed voids are implanted into the channel region of an NMOS device as illustrated in Fig. 5-7. First, a mask is 52 is formed on a substrate 50 using conventional photoresist techniques, such that the region of the substrate 50 that will eventually be the channel region of NMOS device is exposed (see Fig. 5). Then, helium is implanted to form voids 56 in the exposed region /*

Fig. 5 bis 7 i. V. m. Sp. 4, Zeilen 40 bis 48; The resulting NMOS device thus has an increased carrier mobility due to the tensile stresses on the device; In a second embodiment of the present invention, a similiar procedure is followed to create a PMOS device having helium-formed voids implanted in the source and drain regions of the device, as illustrated in Figs. 8-10. First, a mask 82 is formed on a substrate 80 using conventional photoresist techniques, such that the regions of the substrate 80 that will eventually be the source and drain region of a PMOS device are exposed (see Fig. 8). Then, helium is implanted to form voids 56 in the exposed region / Fig. 8 bis 10 i. V. m. Sp. 4, Zeilen 55 bis 64; The source and drain regions are now under a localized stress resulting in a PMOS device 94 having an increased carrier mobility due to the compressive stresses on the device / Sp. 5, Zeilen 1 bis 4).

Damit kann diese Druckschrift den Fachmann nicht dazu anregen, die entsprechenden Ionen entsprechend der in den geltenden Ansprüchen 1 und 8 jeweils gegebenen Lehre zur Bildung einer verformten Oberflächenschicht ganzflächig in das aktive Gebiet zu implantieren, so dass sowohl das Kanalgebiet als auch die Source-Draingebiete des Feldeffekttransistors in dieser verformten Oberflächenschicht angeordnet sind.

Erst recht gilt dieses für die übrigen Druckschriften, die weiter entfernt liegen.

Die Druckschrift D4 offenbart ein Verfahren zur Herstellung eines Doppel-Gate-Feldeffekttransistors mit mechanisch verspanntem Kanalgebiet und hierdurch erhöhter Ladungsträgerbeweglichkeit (*A channel region 41 is disposed between gate structure 18 and gate structure 19. Channel region 41 is fabricated to have increased charge carrier mobility / Sp. 5, Zeilen 1 bis 3*). Dieses wird allerdings nicht durch das Implantieren von Ionen, sondern durch Vorsehen einer Silizium-Germanium-Schicht zwischen zwei Siliziumschichten gebildet, die durch die fehlende Anpassung der Germanium-Atome an das Silizium-Gitter in sich mechanisch verspannt ist (*Channel region 41 can include a thin silicon cap layer 43, a*

thin silicon germanium layer 45, and another silicon cap layer 47 / Sp. 5, Zeilen 10 bis 12; The use of layer 45 including germanium allows the mobility of carriers to be approximately 2-5 times larger than if channel region 41 were comprised solely of silicon material. The mechanical stress associated with layer 45 increases the carrier mobility for channel 41 / Sp. 5, Zeilen 24 bis 30). Diese Schichten und das mit Ionen, darunter auch Xenon-Ionen implantierte Substrat werden Temperaturbehandlungen unterzogen, bei denen die genannten Schichten und das Substrat unter entsprechender Temperatureinwirkung rekristallisiert, wobei ggfs. durch eine Ionenimplantation erzeugte Verspannungen ausgeheilt werden und nur die durch die Fehlanpassung der Germanium-Atome in der mittleren Silizium-Schicht erzeugten Verspannungen erhalten bleiben, vgl. den anhand der Fig. 2 bis 10 und dem zugehörigen Text erläuterten Prozessablauf der in Fig. 1 gezeigten und im zugehörigen Text beschriebenen Transisteranordnung. Dabei ist noch anzumerken, die Ionenimplantation in das Substrat ohne lediglich bei der Herstellung der unteren Gateelektrode des Transistors erfolgt, Damit kann diese Druckschrift kein Anregung geben, zur Bildung einer verformten Oberflächenschicht Ionen in das genannte aktive Gebiet zu implantieren.

Bei der Druckschrift D1 geht es darum, den Verstärkungsfaktor eines Feldeffekttransistors gezielt so herabzusetzen, dass dieser in einem gewünschten Bereich liegt oder gleich Null ist, bspw. um einen als Last dienenden Transistor einzustellen oder um das Ausbilden parasitärer Feldeffekttransistoren zwischen benachbarten Strukturen zu verhindern. Hierzu werden in die entsprechenden Bereiche, nämlich bspw. in das Kanalgebiet inerte Ionen implantiert, die dort Gitterschäden verursachen, durch die die Beweglichkeit der Ladungsträger und damit der Verstärkungsfaktor des Transistors vermindert wird (*In accordance with the present invention, in a method of manufacturing a semiconductor device including a field effect transistor [...], neutral ions are implanted in a semiconductor body where at least part of the channel of the field effect transistor is to be or is formed, the neutral ions implantation [...] being so performed as to provide in the manufactured device in that part of the said channel such a concentration of implanted neutral*

ions and associated crystal lattice damage as to reduce the gain of the transistor to a predetermined value by reducing the effective mobility of charge carriers in that part of the channel / Sp. 4, Zeilen 47 bis 60).

Auch in der Druckschrift D2 geht es darum, durch das Implantieren von neutralen Ionen Rekombinationszentren im Halbleiter zu erzeugen und damit die Lebensdauer von Ladungsträgern in bestimmten Bereichen, nämlich im Kollektorgebiet eines Bipolar- oder im Basisgebiet eines parasitären Transistors einer IGFET-Transistoranordnung herabzusetzen (*The invention is an integrated circuit semiconductor device having a controlled carrier lifetime means comprising a region of implanted inert atoms [...] A preferred embodiment [...] is a bi-polar transistor having the implanted regions in the collector region. Another preferred embodiment [...] is an integrated circuit complementary IGFET device structure having the implanted region in the base region of the parasitic transistors / Sp. 2, Zeilen 39 bis 51*), so dass auch diese Druckschrift keine Anregung zur Lehre der Ansprüche 1 und 8 geben kann, zur Bildung einer verformten Oberflächenschicht Ionen in das gesamte aktive Gebiet eines Feldeffekttransistors zu implantieren.

Die Verfahren nach den Ansprüchen 1 und 8 sind somit patentfähig.

5. An die geltenden Ansprüche 1 und 8 können sich die Unteransprüche 2 bis 7 bzw. 9 bis 16 anschließen, die Weiterbildungen des jeweiligen Verfahrens betreffen.

6. In der geltenden Beschreibung ist der Stand der Technik, von dem die Erfindung ausgeht, angegeben und - wie dargelegt - die Erfindung anhand der Figuren ausreichend erläutert.

7. Bei der dargelegten Sachlage war der Beschwerde der Anmelderin stattzugeben und das Patent wie beantragt zu erteilen.

Lokys

Dr. Hock

Brandt

Dr. Friedrich

Pr