



# BUNDESPATENTGERICHT

17 W (pat) 75/08

---

(Aktenzeichen)

Verkündet am  
12. Januar 2010

...

## BESCHLUSS

In der Beschwerdesache

**betreffend die Patentanmeldung P 43 45 604.9-53**

...

hat der 17. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 12. Januar 2010 unter Mitwirkung des Vorsitzenden Richters Dipl.-Phys. Dr. Fritsch, der Richterin Eder sowie des Richters Dipl.-Ing. Baumgardt und der Richterin Dipl.-Ing. Wickborn

beschlossen:

Auf die Beschwerde der Anmelderin wird der Beschluss der Prüfungsstelle für Klasse G06F des Deutschen Patent- und Markenamts vom 13. März 2008 aufgehoben und die Sache zur weiteren Prüfung und Entscheidung an das Deutsche Patent- und Markenamt zurückverwiesen.

### **Gründe:**

#### **I.**

Die vorliegende Patentanmeldung entstand durch Teilungserklärung vom 5. September 2005 aus der Patentanmeldung P 43 45 580.8, die im September 2003 ebenfalls durch Teilung aus der Patentanmeldung P 43 90 991.4 entstanden war. Diese Ursprungsanmeldung ist eine PCT-Anmeldung in nationaler Phase, welche die Priorität einer Voranmeldung in den USA vom 6. März 1992 in Anspruch nimmt und als WO 93 / 18 463 A1 in englischer Sprache, später in deutscher Übersetzung als DE 43 90 991 T1 veröffentlicht wurde. Die vorliegende Teilungsanmeldung erhielt die Bezeichnung:

#### **„Vorrichtung zur Kommunikation mit einem DRAM“.**

Sie wurde durch Beschluss der Prüfungsstelle für Klasse G 06 F des Deutschen Patent- und Markenamts vom 13. März 2008 mit der Begründung zurückgewiesen, dass ihr Patentanspruch 1 mangels Erfindungshöhe seines Gegenstands nicht gewährbar sei, weil er nichts enthalte, was - ausgehend von der im Prüfungsverfahren entgegengehaltenen Druckschrift **D1** (WO 91 / 16 680 A1) - über den Rahmen fachmännischen Handelns und Wissens hinausgehe.

Gegen diesen Beschluss ist die Beschwerde der Anmelderin gerichtet. In der mündlichen Verhandlung legt sie überarbeitete neue Patentansprüche vor und beantragt:

den angegriffenen Beschluss aufzuheben und das nachgesuchte Patent mit folgenden Unterlagen zu erteilen:

Patentansprüche 1-13, überreicht in der mündlichen Verhandlung,

noch anzupassender Beschreibung Seiten 2-20 und

10 Blatt Zeichnungen mit Figuren 1–3, 4A–C, 5, 6, 7A–C, 8, jeweils vom 5. September 2005, eingegangen am 7. September 2005.

Sie trägt vor, dass das nunmehr geltende Patentbegehren den Rahmen der ursprünglichen Offenbarung nicht verlasse und durch den vorliegenden Stand der Technik nicht vorweggenommen, auch nicht nahegelegt sei.

Die geltenden Patentansprüche (mit nachträglichen redaktionellen Korrekturen im Unteranspruch 3 „ersten Taktleitungssegment“ / „wenn der Sendetakt (TCLK<sub>0</sub>) auf dem zweiten Taktleitungssegment (138) an der Vorrichtung vorbeiläuft“, vgl. Patentanspruch 1 letzter Absatz; Anspruch 5 Absatz 5 „unter Verwendung des Sendetaktes“, vgl. Patentanspruch 1 Absatz 3; Unteranspruch 7 „Sendetakt (TCLK<sub>0</sub>)“; Anspruch 8 „Sendetaktes“, ferner Ergänzung der Bezugszeichen (136) und (138) im vorletzten Absatz; Unteranspruch 9 „Master-Vorrichtung (102)“ - korrigierte Stellen jeweils unterstrichen) lauten:

- „1. Master-Vorrichtung (102) zur Kommunikation mit einem Speicher mit wahlfreiem Zugriff (DRAM) (104, 106, 108, 110), mit

einem Empfänger mit einem ersten Eingangsanschluss zum Empfangen eines Empfangstaktsignals ( $RCLK_0$ ) und einem zweiten Eingangsanschluss, der an einen bidirektionalen externen Datenbus (120) zum Empfangen erster Daten vom Speicher mit wahlfreiem Zugriff (DRAM) (104, 106, 108, 110) unter Verwendung des Empfangstaktes ( $RCLK_0$ ) angeschlossen ist, um Datenbits der ersten Daten synchron zum Empfangstaktsignal ( $RCLK_0$ ) an beiden Taktflanken zu registrieren, sodass die Datenbits der ersten Daten mit der doppelten Frequenz des Empfangstaktes ( $RCLK_0$ ) empfangen werden, und wobei das Empfangstaktsignal ( $RCLK_0$ ) von der Master-Vorrichtung (102) empfangen wird, nachdem es sich in einer Richtung von dem Speicher mit wahlfreiem Zugriff (DRAM) (104, 106, 108, 110) hin zu der Master-Vorrichtung (102) ausgebreitet hat; und

einem Sender mit einem Eingangsanschluss zum Empfangen eines Sendetaktsignals ( $TCLK_0$ ) und einem Ausgangsanschluss, der zum Senden zweiter Daten an den Speicher mit wahlfreiem Zugriff (DRAM) (104, 106, 108, 110) unter Verwendung des Sendetaktes ( $TCLK_0$ ) über den bidirektionalen externen Datenbus (120) angeschlossen ist, um die Datenbits der zweiten Daten synchron zum Sendetakt ( $TCLK_0$ ) an beiden Taktflanken auszugeben, sodass die Datenbits der zweiten Daten bei der doppelten Frequenz des Sendetaktes ( $TCLK_0$ ) gesendet werden, wobei die Datenbits der zweiten Daten zum Zeitpunkt, zu dem sie von dem Sender gesendet werden, eine jeweils im Wesentlichen konstante vorbestimmte Phasenbeziehung zu dem Sendetakt ( $TCLK_0$ ) aufweisen, und wobei das Sendetaktsignal ( $TCLK_0$ ) an der Master-Vorrichtung (102) empfangen wird, bevor es

sich in einer Richtung von der Master-Vorrichtung (102) zu dem Speicher mit wahlfreiem Zugriff (DRAM) (104, 106, 108, 110) ausbreitet,

wobei sich das Empfangstaktsignal ( $RCLK_0$ ) entlang eines ersten Taktleitungssegmentes (136) einer Taktleitung ausbreitet, das sich von einem ersten Ende des bidirektionalen externen Datenbusses (120) zu einem Umkehrelement (137) erstreckt, das in der Nähe eines zweiten Endes des bidirektionalen externen Datenbusses (120) angeordnet ist, und wobei das Sendetaktsignal ( $TCLK_0$ ) sich entlang eines zweiten Taktleitungssegments (138) der Taktleitung ausbreitet, das sich von dem Umkehrelement (137) zum ersten Ende des bidirektionalen externen Datenbusses (120) erstreckt.

2. Master-Vorrichtung (102) nach Anspruch 1, ferner umfassend:

eine Phasenregelschleife (PLL) zum Erzeugen eines internen Sendetaktes aus dem Sendetaktsignal ( $TCLK_0$ ), wobei der Sender den internen Sendetakt zum Senden der zweiten Daten verwendet.

3. Master-Vorrichtung (102) nach Anspruch 1 oder 2, wobei im Betrieb:

die ersten Daten von dem bidirektionalen externen Datenbus (120) an den Empfänger zu einem Zeitpunkt übertragen werden, wenn der Empfangstakt ( $RCLK_0$ ) auf dem **ersten Taktleitungssegment** (136) an der Vorrichtung vorbeiläuft; und

die zweiten Daten von dem Sender an den bidirektionalen externen Datenbus (120) zu einem Zeitpunkt übertragen werden, wenn der Sendetakt ( $TCLK_0$ ) auf dem **zweiten Taktleistungssegment (138)** an der Vorrichtung vorbeiläuft.

4. Master-Vorrichtung (102) nach einem der vorstehenden Ansprüche, wobei der Empfangstakt ( $RCLK_0$ ) eine Frequenz von mindestens 250 MHz aufweist.
5. Verfahren zum Betrieb einer Master-Vorrichtung (102) zur Kommunikation mit einem Speicher mit wahlfreiem Zugriff (DRAM) (104, 106, 108, 110) mit folgenden Schritten:

Empfangen eines Empfangstaktes ( $RCLK_0$ ) an der Master-Vorrichtung (102) nachdem er sich in einer Richtung von dem Speicher mit wahlfreiem Zugriff (DRAM) (104, 106, 108, 110) in Richtung der Master-Vorrichtung (102) ausgebreitet hat;

Empfangen erster Daten von dem Speicher mit wahlfreiem Zugriff (DRAM) (104, 106, 108, 110) von einem bidirektionalen externen Datenbus unter Verwendung des Empfangstaktes ( $RCLK_0$ ), um Datenbits der ersten Daten synchron zum Empfangstaktsignal ( $RCLK_0$ ) an beiden Taktflanken zu registrieren, sodass die Datenbits der ersten Daten mit der doppelten Frequenz des Empfangstaktes ( $RCLK_0$ ) empfangen werden,

Empfangen eines Sendetaktsignals ( $TCLK_0$ ) an der Master-Vorrichtung (102), das an der Mastervorrichtung (102) emp-

fangen wird bevor es sich in Richtung des Speichers mit wahlfreiem Zugriff (DRAM) (104, 106, 108, 110) ausbreitet;

Senden zweiter Datenbits zu dem Speicher mit wahlfreiem Zugriff (DRAM) (104, 106, 108, 110) über den bidirektionalen externen Datenbus, unter Verwendung **des** Sendetaktes ( $TCLK_0$ ), um die Datenbits der zweiten Daten synchron zum Sendetakt ( $TCLK_0$ ) an beiden Taktflanken auszugeben, sodass die Datenbits der zweiten Daten bei der doppelten Frequenz des Sendetaktes ( $TCLK_0$ ) gesendet werden,

wobei sich das Empfangstaktsignal ( $RCLK_0$ ) entlang eines ersten Taktleitungssegmentes (136) einer Taktleitung ausbreitet, das sich von einem ersten Ende des bidirektionalen externen Datenbusses (120) zu einem Umkehrelement (137) erstreckt, das in der Nähe eines zweiten Endes des bidirektionalen externen Datenbusses (120) angeordnet ist, und wobei das Sendetaktsignal ( $TCLK_0$ ) sich entlang eines zweiten Taktleitungssegments (138) der Taktleitung ausbreitet, das sich von dem Umkehrelement (137) zum ersten Ende des bidirektionalen externen Datenbusses (120) erstreckt.

6. Verfahren nach Anspruch 5, wobei der Schritt des Sendens zweiter Datenbits das Erzeugen eines internen Sendetaktes mit Hilfe einer Phasenregelschleife (PLL) umfasst und das Senden der zweiten Datenbits unter Verwendung des internen Sendetakts durchgeführt wird.

7. Verfahren nach Anspruch 5 oder 6, wobei

das Empfangen der ersten Daten zu einem Zeitpunkt erfolgt, wenn der Empfangstakt ( $RCLK_0$ ) auf dem ersten Taktleitungssegment (136) an der Vorrichtung vorbeiläuft; und

das Senden der zweiten Daten zu einem Zeitpunkt erfolgt, wenn der Sendetakt ( $TCLK_0$ ) auf dem zweiten Taktleitungssegment (138) an der Vorrichtung vorbeiläuft.

8. System, umfassend:

einen bidirektionalen Datenbus (120);

eine mit dem Datenbus (120) gekoppelte Speichervorrichtung (104), die einen mit dem Datenbus (120) gekoppelten Empfänger zum Empfangen zweiter Daten von dem Datenbus (120) und einen mit dem Datenbus (120) gekoppelten Sender zum Senden erster Daten auf den Datenbus (120) umfasst, wobei der Empfänger der Speichervorrichtung (104) zweite Daten unter Verwendung eines Empfangstaktes ( $RCLK_1$ ) empfängt, um Datenbits der zweiten Daten synchron zu beiden entsprechenden Taktflanken des Empfangstaktsignals ( $RCLK_1$ ) zu registrieren, sodass die Datenbits der zweiten Daten mit der doppelten Frequenz des Empfangstaktes ( $RCLK_1$ ) empfangen werden, und wobei der Sender der Speichervorrichtung (104) erste Daten unter Verwendung eines Sendetaktes ( $TCLK_1$ ) sendet und die Datenbits der ersten Daten synchron zu den beiden entsprechenden Taktflanken des Sendetaktes ( $TCLK_1$ ) ausgibt, sodass die Datenbits



der zweiten Daten bei der doppelten Frequenz des Sendetaktes ( $TCLK_1$ ) gesendet werden, und

eine mit dem Datenbus (120) gekoppelte Master-Vorrichtung (102) zum Kommunizieren mit der Speichervorrichtung (104), die einen Sender zum Senden der zweiten Daten an die Speichervorrichtung (104) und einen Empfänger zum Empfangen der ersten Daten von der Speichervorrichtung (104) umfasst, wobei der Empfänger der Master-Vorrichtung (102) einen ersten Eingangsanschluss zum Empfangen eines Empfangstaktsignals ( $RCLK_0$ ) und einen zweiten mit dem bidirektionalen Datenbus (120) gekoppelten Eingangsanschluss zum Empfangen der ersten Daten von der Speichervorrichtung (104) unter Verwendung des Empfangstaktes ( $RCLK_0$ ) aufweist, um Datenbits der ersten Daten synchron zu beiden entsprechenden Taktflanken des Empfangstaktsignals ( $RCLK_0$ ) zu registrieren, sodass die Datenbits der ersten Daten mit der doppelten Frequenz des Empfangstaktes ( $RCLK_0$ ) empfangen werden, und wobei der Sender der Master-Vorrichtung (102) einen Eingangsanschluss zum Empfangen eines Sendetaktsignals ( $TCLK_0$ ) und einen Ausgangsanschluss zum Senden zweiter Daten an die Speichervorrichtung (104) über den bidirektionalen Datenbus (120) unter Verwendung des Sendetaktes ( $TCLK_0$ ) aufweist, um die Datenbits der zweiten Daten synchron zu beiden entsprechenden Taktflanken des **Sendetaktes** ( $TCLK_0$ ) auszugeben, sodass die Datenbits der zweiten Daten bei der doppelten Frequenz des Sendetaktes ( $TCLK_0$ ) gesendet werden, wobei die Datenbits der zweiten Daten zum Zeitpunkt, zu dem sie von dem Sender gesendet werden, eine jeweils im

Wesentlichen konstante vorbestimmte Phasenbeziehung zu dem Sendetakt ( $TCLK_0$ ) aufweisen, und

wobei das Empfangstaktsignal ( $RCLK_0$ ) an der Master-Vorrichtung (102) empfangen wird, nachdem es sich in einer Richtung von der Speichervorrichtung (104) zu der Master-Vorrichtung (102) ausgebreitet hat und wobei das Sendetaktsignal ( $TCLK_0$ ) an der Master-Vorrichtung (102) empfangen wird, bevor es sich in einer Richtung von der Master-Vorrichtung (102) zu der Speichervorrichtung (104) ausbreitet,

wobei sich das Empfangstaktsignal ( $RCLK_0$ ) der Master-Vorrichtung (102) entlang eines ersten Taktleitungssegmentes (136) einer Taktleitung ausbreitet, das sich von einem ersten Ende des bidirektionalen externen Datenbusses (120) zu einem Umkehrelement (137) erstreckt, das in der Nähe eines zweiten Endes des bidirektionalen externen Datenbusses (120) angeordnet ist, und wobei das Sendetaktsignal ( $TCLK_0$ ) der Master-Vorrichtung (102) sich entlang eines zweiten Taktleitungssegmentes (138) der Taktleitung ausbreitet, das sich von dem Umkehrelement (137) zum ersten Ende des bidirektionalen externen Datenbusses (120) erstreckt,

wobei das Sendetaktsignal ( $TCLK_1$ ) der Speicher-Vorrichtung (104) als Empfangstaktsignal ( $RCLK_0$ ) der Master-Vorrichtung (102) und das Sendetaktsignal ( $TCLK_0$ ) der Master-Vorrichtung (102) als Empfangstaktsignal ( $RCLK_1$ ) der Speicher-Vorrichtung (104) empfangen wird.

9. System nach Anspruch 8, wobei die Master-Vorrichtung (102) eine Phasenregelschleife (PLL) zum Erzeugen eines internen Sendetaktes aus dem Sendetaktsignal (TCLK<sub>0</sub>) aufweist, wobei der Sender der Master-Vorrichtung (**102**) den internen Sendetakt zum Senden der zweiten Daten verwendet.
10. System nach Anspruch 8 oder 9, wobei die Speichervorrichtung (104) eine Synchronisierungsschaltung zum Synchronisieren der ersten Daten mit dem Sendetaktsignal (TCLK<sub>1</sub>) umfasst.
11. System nach Anspruch 10, wobei die Synchronisationsschaltung einen Phasenvergleichler zum Feststellen einer Phasendifferenz zwischen dem Sendetaktsignal (TCLK<sub>1</sub>) und dem Empfangstaktsignal (RCLK<sub>1</sub>) umfasst.
12. System nach Anspruch 11, wobei die Synchronisierungsschaltung die ersten Daten mit dem Sendetaktsignal (TCLK<sub>1</sub>) durch wahlweises Verzögern der ersten Daten aufgrund der Phasendifferenz zwischen dem Sendetaktsignal (TCLK<sub>1</sub>) und dem Empfangstaktsignal (RCLK<sub>1</sub>) synchronisiert.
13. System nach mindestens einem der Ansprüche 8 bis 12, wobei:  
  
das Empfangstaktsignal (RCLK<sub>1</sub>) und die zweiten Daten sich zusammen mit einer konstanten Phasenbeziehung ausbreiten; und

das Sendetaktsignal (TCLK<sub>1</sub>) und die ersten Daten sich zusammen mit einer konstanten Phasenbeziehung ausbreiten.“

Diesen Ansprüchen soll die **Aufgabe** zugrundeliegen, eine synchrone, integrierte Speicherkomponente für ein synchrones Bussystem, in dem der Takt-Daten-Offset verringert oder beseitigt wird, zur Verfügung zu stellen (siehe Seite 4 Absatz 1 der Beschreibung).

Bezüglich der übrigen Unterlagen wird auf die Akte verwiesen.

## II.

Die zulässige Beschwerde führt zur Aufhebung des angefochtenen Beschlusses und zur Zurückverweisung der Sache an das Deutsche Patent- und Markenamt gemäß § 79 Abs. 3 Satz 1 Nr. 1 PatG.

1. Die Anmeldung betrifft die Datenübertragung über einen synchronen bidirektionalen Datenbus. Bei hohen Übertragungsgeschwindigkeiten, d. h. hohen Taktfrequenzen und entsprechend kurzer Gültigkeitsdauer für einzelne Daten, macht sich die Laufzeit der Signale auf den Leitungen immer stärker bemerkbar, so dass Takt und Daten ihre zeitliche Beziehung zueinander verlieren können („clock-data skew“, in der Übersetzung der Ursprungsanmeldung als „Takt-Daten-Schiefelage“ bezeichnet, in der vorliegenden Teilungsanmeldung etwas gelungener als „Takt-Daten-Offset“ übersetzt).

Typische Ausbreitungsgeschwindigkeiten liegen in der Größenordnung 7,5 cm pro Nanosekunde (vgl. **D1** Seite 44 Zeile 17), haben also bereits im 100 MHz-Bereich störenden Einfluss; je höher die Taktfrequenz oder je länger der Datenbus, umso schlimmer wird der „Takt-Daten-Offset“.

Als Gegenmaßnahmen nach Stand der Technik nennt die Anmeldung zwei Möglichkeiten: einen Taktgenerator mit in der Länge abgestimmten Taktleitungen zu allen Modulen, so dass der Takt überall „gleichzeitig“ anliegt; oder eine Trennung von Sende- und Empfangstakt im Bus-Master, wobei der Master ein Empfangstaktsignal aussendet, das in einer Schleife an den Slaves vorbei wieder in Richtung des Masters geleitet und dort zusammen mit den Daten empfangen wird, so dass Takt und Daten dieselbe Laufzeit haben und nicht auseinanderlaufen können. Nachteilig soll sein, dass so nicht mehrere Master-Vorrichtungen auf einem Bus angeordnet sein könnten.

Demgegenüber schlägt die Ursprungsanmeldung vor, einen externen Taktgenerator einzusetzen und das Taktsignal zunächst beginnend bei dem entferntesten Gerät in Richtung des Masters zu leiten, wobei es für den Fall einer Datenübertragung von Slave zu Master in den Slaves als Sendetakt, im Master als Empfangstakt benutzt wird; hinter dem Master wird das Taktsignal umgeleitet und auf einem zweiten Taktleitungssegment als Sendetakt des Masters zurückgeschickt, welches im Fall einer Datenübertragung von Master zu Slave in den Slaves als Empfangstakt benutzt wird. In den Slaves sind Synchronisierschaltungen vorgesehen, um den „richtigen“ Zeitpunkt zum Senden bzw. Empfangen von Daten abhängig vom Vorbeilaufen einer Flanke des Taktsignales an ihrer Busposition zu bestimmen. (Eine entsprechende Lehre ist in dem Patent DE 43 90 991 B4 zur Ursprungsanmeldung bereits unter Schutz gestellt.)

Die vorliegende Teilungsanmeldung ist in der nunmehr geltenden Fassung der Patentansprüche auf eine Master-Vorrichtung gerichtet, die über den Bus speziell mit einem Speicher verbunden ist; ferner auf ein Verfahren zum Betrieb der Master-Vorrichtung zur Kommunikation mit dem Speicher, und auf ein entsprechendes System zur synchronen Datenübertragung zwischen Master-Vorrichtung und Speicher über einen bidirektionalen Datenbus.

Als **Fachmann**, der mit dem Problem betraut ist, für hohe Übertragungsgeschwindigkeiten geeignete Datenbus-Strukturen und -Schaltungen zu entwerfen, sieht der Senat einen Entwicklungsingenieur der Nachrichtentechnik mit Hochschul- oder Fachhochschulabschluss und mehrjähriger Berufserfahrung an.

2. Das nunmehr geltende Patentbegehren ist zulässig.

2.1 Nach der Rechtsprechung des Bundesgerichtshofs kann in einer Teilungsanmeldung der gesamte Offenbarungsgehalt der ursprünglichen Anmeldung ausgeschöpft werden (siehe bspw. BGH GRUR 2000, 688 „Graustufenbild“, drittletzter Absatz). Das gilt selbstverständlich auch bei mehrfacher Teilung (vgl. Busse, PatG, 6. Auflage (2003), § 39 Rdnr. 22 - Fußnote 100). Dabei kommt den ursprünglich formulierten Patentansprüchen im Rahmen des Erteilungsverfahrens keine eine weitergehende Offenbarung in der Beschreibung einschränkende Bedeutung zu (BGH GRUR 2005, 1023 „Einkaufswagen II“). Im Verfahren der Trennanmeldung kann lediglich kein Gegenstand beansprucht werden, über den in der Stammanmeldung bereits abschließend sachlich entschieden ist (BGH „Graustufenbild“).

Im vorliegenden Fall ist als „ursprüngliche Offenbarung“ die englischsprachige PCT-Anmeldung gemäß **WO 93 / 18 463 A1** anzusehen (vgl. Busse, a. a. O., § 34 Rdnr. 241 - Fußnote 508 mit Verweis auf EPA T 605/93). Soweit keine Diskrepanzen bestehen, kann deren deutsche Übersetzung **DE 43 90 991 T1** herangezogen werden.

2.2 Der Bundesgerichtshof hat jedoch betont, dass bei Trennanmeldungen „Versuchen, die Grenzen der Ursprungsoffenbarung zu überschreiten ... durch eine besonders aufmerksame Prüfung auf Änderungen, die den Gegenstand der Anmeldung erweitern, ... entgegengetreten werden“ muss (BGH BIPMZ 2003, 66 „Sammelhefter (I)“, II. 3c γ, letzter Satz). Dabei kommt es darauf an, ob neu Beanspruchtes „von vornherein als zur Erfindung gehörend“ offenbart worden ist. Dritte

dürfen nicht mit einem Patent überrascht werden, mit dessen Inhalt sie nicht zu rechnen brauchten (vgl. Schulte, PatG, 8. Auflage (2008), § 34 Rdnr. 325). „Der Patentanspruch darf mithin nicht auf einen Gegenstand gerichtet werden, von dem aus fachmännischer Sicht aufgrund der ursprünglichen Offenbarung nicht zu erkennen ist, dass er von vornherein von dem Schutzbegehren umfasst sein sollte“ (BGH BIPMZ 2008, 109 „Sammelhefter (II)“, III. 2.).

So ist bei der vorliegenden Teilungsanmeldung zu beachten, dass die aus einem hin- und einem rücklaufenden Segment bestehende Taktleitung mit dem Umkehr- element 137, in dessen Nähe die Master-Vorrichtung angeordnet sein soll, sich wie ein „roter Faden“ durch die ursprüngliche Lehre zieht. Wenn auch der Argumentation der Anmelderin grundsätzlich zugestimmt werden kann, dass die Master-Vorrichtung selbst nur an die beiden Segmente angeschlossen ist und nicht dadurch ausgebildet wird, dass beide Taktleistungssegmente durch das Umkehr- element verbunden sind - so darf dabei trotzdem nicht vergessen werden, dass eine Master-Vorrichtung an einem Datenbus mit zwei separaten Taktleitungen ursprünglich nicht beschrieben war; ein Anspruch, der das Umkehr- element nicht mit umfassen würde, wäre daher unzulässig erweitert.

Auch die Argumentation der Anmelderin, der Fachmann könne die Lehre der Anmeldung abstrahieren und erkennen, dass nicht das Umkehr- element das Wesentliche sei, sondern allein die auf dem einen Segment hin-, auf dem anderen zurücklaufenden Taktsignale, vermochte im vorliegenden Fall nicht zu überzeugen. Denn nach Überzeugung des Senats grenzten solche Abstraktionen eher schon an den Bereich neuer erfinderischer Überlegungen, wohingegen der Durchschnittsfachmann beim Lesen der Ursprungsanmeldung nicht damit gerechnet hätte, dass darauf basierend eine Master-Vorrichtung angeschlossen an zwei separate Taktleistungssegmente unter Schutz gestellt werden könnte.

**2.3** Die jetzt vorliegende Fassung des Patentbegehrens erfüllt jedoch die Anforderungen ihrer ursprünglichen Offenbarung.

**2.3.1** Der Figur 3 der Ursprungsanmeldung und der zugehörigen Beschreibung ist ein „allgemein“ beschriebenes synchrones bidirektionales Bussystem mit Master- und mit Slave-Vorrichtungen zu entnehmen. Die Slave-Geräte können gemäß Seite 7 Absatz 3 der **DE 43 90 991 T1** DRAMs sein. Die Beanspruchung einer Master-Vorrichtung zur Kommunikation mit einem DRAM über einen bidirektionalen synchronen Datenbus fällt daher in den Rahmen der Ursprungsanmeldung. Dasselbe gilt grundsätzlich für das entsprechende Verfahren und das System gemäß den Nebenansprüchen.

**2.3.2** Gemäß Seite 8 Absatz 2 der **DE 43 90 991 T1** arbeitet der Datenbus „vorzugsweise ... mit Dualflankenübertragung“ (beispielhaft dadurch erläutert, dass bei 250 MHz alle zwei Nanosekunden - also zweimal pro Taktperiode - Übertragungen stattfinden können). Auch wenn dies die einzige Fundstelle dafür ist, so kann der Anmelderin deswegen die Aufnahme entsprechender Merkmale in die Patentansprüche, wie zum Beispiel:

„um Datenbits der ersten Daten synchron zum Empfangstaktsignal (RCLK<sub>0</sub>) an beiden Taktflanken zu registrieren, sodass die Datenbits der ersten Daten mit der doppelten Frequenz des Empfangstaktes (RCLK<sub>0</sub>) empfangen werden,“

u. a., nicht verwehrt werden.

Zu berücksichtigen ist allerdings, dass die Dualflankenübertragung in der Anmeldung nur ganz kurz als bevorzugte Ausführungsform angesprochen wird, ohne dass Details dazu vermittelt würden; es gibt also lediglich den Hinweis, dass man das „auch“ machen könne. Sämtliche Ausführungsbeispiele arbeiten hingegen mit Einflankenübertragung, und es ist auch nicht ohne weiteres ersichtlich, wie die beschriebenen Schaltungen für eine Datenübertragung auf beiden Taktflanken anzupassen wären. Nachdem eine Dualflankenübertragung an sich auch unstrittig vorbekannt war (siehe **D1**, wie im Zurückweisungsbeschluss der Prüfungsstelle



erläutert), kann diesem Merkmal im Rahmen der offenbarten Erfindung keine besondere, insbesondere keine etwa die Patentfähigkeit tragende Rolle zukommen - vielmehr müssten die selbständigen Patentansprüche auch ohne dieses Merkmal auf erfinderischer Tätigkeit beruhen, um patentierbar zu sein.

**2.3.3** Gemäß der **DE 43 90 991 T1** Seite 6 Mitte ist in jeder an den Bus angeschlossenen Vorrichtung eine Synchronisierschaltung vorgesehen, die sicherstellt, dass Daten „im Wesentlichen zu dem Zeitpunkt übertragen werden, zu dem der Sendetakt ankommt, so dass Takt- und Datensignale sich gemeinsam ausbreiten ... so dass sich das Datensignal auf dem Datenbus mit einer konstanten Phasenbeziehung in Bezug auf das Taktsignal ausbreitet“. Dies korrespondiert mit den Angaben auf Seite 10 Mitte, wonach jedes Gerät Datensignale genau in dem Moment auf den Datenbus senden muss, in dem „sein aktives Sendetaktsignal vorbeiläuft“. Hieraus begründet sich die Offenbarung für das beanspruchte Merkmal der jeweiligen Senderbaugruppen in den Ansprüchen 1 und 8:

„wobei die Datenbits der zweiten Daten zum Zeitpunkt, zu dem sie von dem Sender gesendet werden, eine jeweils im Wesentlichen konstante vorbestimmte Phasenbeziehung zu dem Sendetakt ( $TCLK_0$ ) aufweisen“.

**2.3.4** Die übrigen Merkmale der geltenden Patentansprüche lassen sich ohne weiteres insbesondere den Figuren 3, 5 und 6 sowie der zugehörigen Beschreibung entnehmen.

Die geltenden Patentansprüche liegen sonach innerhalb des Rahmens der ursprünglichen Offenbarung. Die Ansprüche geben - zumindest bei Zuhilfenahme der Beschreibung - verständlich an, was unter Schutz gestellt werden soll, und ihre Lehre ist in der Anmeldung so deutlich und vollständig offenbart, dass ein Fachmann sie ausführen kann.

**2.4** Schließlich ist in der Stammanmeldung über die geltenden Patentansprüche nicht entschieden worden, denn das Verfahren der Anmeldung P 43 45 580.8 ist bisher nicht abgeschlossen; und auch die erteilten Ansprüche des Patents DE 43 90 991 B4 überschneiden sich offensichtlich nicht mit den hier vorliegenden.

**3.** Das geltende Patentbegehren unterscheidet sich jedoch deutlich von der Fassung, welche dem Zurückweisungsbeschluss der Prüfungsstelle zugrundelag. Weil es bisher ersichtlich nicht Gegenstand des Prüfungsverfahrens vor dem Deutschen Patent- und Markenamt war, erscheint eine weitere Sachaufklärung, insbesondere hinsichtlich des Standes der Technik, erforderlich.

Die Anmeldung war daher zur weiteren Prüfung und Entscheidung an das Deutsche Patent- und Markenamt zurückzuverweisen. Die Zurückverweisung erfolgt lediglich mit der Maßgabe, dass das geltende Patentbegehren zulässig ist.

Dr. Fritsch

Eder

Baumgardt

Wickborn

Fa