



BUNDESPATENTGERICHT

23 W (pat) 58/06

(Aktenzeichen)

Verkündet am
16. Dezember 2010

...

BESCHLUSS

In der Beschwerdesache

...

betreffend die Patentanmeldung 102 02 479.0-33

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 16. Dezember 2010 unter Mitwirkung des Vorsitzenden Richters Dr. Strößner, der Richterinnen Dr. Hock sowie der Richter Brandt und Dr. Friedrich

beschlossen:

Die Beschwerde wird zurückgewiesen.

Gründe

I.

Die vorliegende Patentanmeldung ist am 23. Januar 2002 mit der Bezeichnung „Integrierte Schaltungsanordnung mit einer Struktur zur Verringerung eines Minoritätsladungsträgerstromes“ beim Deutschen Patent- und Markenamt eingereicht worden.

Die Prüfungsstelle für Klasse H 01 L des Deutschen Patent- und Markenamts hat im Lauf des Prüfungsverfahrens u. a. auf die beiden Druckschriften

D9 S. Gupta, J.C. Beckmann, S.L. Kosier: Improved Latch-Up Immunity in Junction-Isolated Smart Power ICs with Unbiased Guard Ring. In: IEEE Electron Device Letters, Vol. 22, Nr. 12, Dezember 2001, S. 600 - 602

und

D11 EP 0 292 972 B1

hingewiesen und dargelegt, dass die integrierte Schaltungsanordnung nach dem geltenden Anspruch 1 im Hinblick auf diesen Stand der Technik nicht auf einer erfinderischen Tätigkeit des Fachmanns beruhe. Mit dieser Begründung hat die Prüfungsstelle die Anmeldung mit Beschluss vom 11. September 2006 zurückgewiesen.

Gegen den am 05. Oktober 2006 zugestellten Beschluss wendet sich die Beschwerde der Anmelderin vom 18. Oktober 2006, eingegangen am 19. Oktober 2006.

In der mündlichen Verhandlung vom 16. Dezember 2010 stellt die Anmelderin den Antrag,

den Beschluss der Prüfungsstelle für Klasse H 01 L vom 11. September 2006 aufzuheben und das Patent mit folgenden Unterlagen zu erteilen:

Patentanspruch 1, eingereicht mit Schriftsatz vom 24. August 2006,

Patentansprüche 2 bis 8, eingereicht in der mündlichen Verhandlung vom 16. Dezember 2010,

ursprüngliche Beschreibungsseiten 1 sowie 3 bis 10,

Beschreibungsseiten 2, 2a und 2b, eingereicht in der mündlichen Verhandlung vom 16. Dezember 2010,

Zeichnung, Figuren 1 und 2, eingereicht mit Schriftsatz vom 23. Mai 2002.

Der geltende Patentanspruch 1 lautet:

„Integrierte Schaltungsanordnung, die folgende Merkmale aufweist:

- einen Halbleiterkörper (100) mit einer ersten Halbleiterzone (12) eines ersten Leitungstyps (n) im Bereich einer Rückseite (102) und einer sich an die erste Halbleiterzone anschließenden zweiten Halbleiterzone (14) des ersten Leitungstyps (n), die schwächer als die erste Halbleiterzone dotiert ist, im Bereich der Vorderseite (104),

- einen ersten Bauelementbereich (I) in dem Halbleiterkörper, der wenigstens eine Halbleiterzone (20) eines zweiten Leitungstyps (p) aufweist, wobei diese Halbleiterzone (20) und die erste und die zweite Halbleiterzonen (12, 14) Teil eines vertikalen Leistungshalbleiterbauelements sind,
- einen zweiten Bauelementbereich (II) in dem Halbleiterkörper, der wenigstens eine Halbleiterzone (70) des zweiten Leitungstyps aufweist,
- eine Konvertierungsstruktur (60), die eine Halbleiterzone (62) des zweiten Leitungstyps (p) und eine Halbleiterzone (66) des ersten Leitungstyps (n) aufweist, die jeweils beabstandet zu der ersten Halbleiterzone (12) zwischen dem ersten und dem zweiten Bauelementbereich (I, II) in der zweiten Halbleiterzone (14) des Halbleiterkörpers (100) angeordnet sind und die kurzgeschlossen sind, so dass von der Halbleiterzone (62) des zweiten Leitungstyps aus der zweiten Halbleiterzone (14) des Halbleiterkörpers (100) aufgenommene Minoritätsladungsträger zu einem Stromfluss zu der Halbleiterzone (66) des ersten Leitungstyps und zu einer Injektion von Majoritätsladungsträgern aus dieser Halbleiterzone (66) des ersten Leitungstyps in die zweite Halbleiterzone (14) des Halbleiterkörpers (100) führen.“

Hinsichtlich der Unteransprüche 2 bis 8 sowie hinsichtlich der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

II.

Die zulässige Beschwerde erweist sich als nicht begründet, denn die integrierte Schaltungsanordnung nach dem geltenden Patentanspruch 1 beruht nicht auf einer erfinderischen Tätigkeit des zuständigen Fachmanns.

Bei dieser Sachlage kann die Zulässigkeit der geltenden Patentansprüche sowie die Erörterung der Neuheit der Schaltungsanordnung nach Anspruch 1 dahingestellt bleiben, vgl. BGH GRUR 1991, 120, 121, II.1 - „Elastische Bandage“.

Als Fachmann ist hier ein in der Halbleiterindustrie tätiger berufserfahrener Diplom-Physiker oder Diplom-Ingenieur der Elektrotechnik, jeweils mit Hochschulabschluss, zu definieren, der mit der Entwicklung von Schutzschaltungen für Schaltungsanordnungen betraut ist, bei denen Leistungsbaulemente und die zugehörige Ansteuerelektronik nebeneinander auf einem Chip integriert sind.

1. Die Anmeldung betrifft eine integrierte Schaltungsanordnung mit einer Struktur zur Verringerung des Minoritäts-Ladungsträgerstroms. Unter einer integrierten Schaltungsanordnung wird gemäß den geltenden Beschreibungsunterlagen eine Anordnung verstanden, bei der ein vertikales Leistungsbaulement und eine in MOS-Technik ausgebildete Steuer- oder Verarbeitungsschaltung benachbart zueinander in einem Halbleitersubstrat integriert sind.

Derartige integrierte Schaltungsanordnungen werden vielfach zum Steuern von Elektromotoren verwendet. Die hohen Induktionsspannungen, die bei diesen Anwendungen beim Schalten der induktiven Last auftreten, können den benachbart zur MOS-Ansteuerelektronik angeordneten pn-Übergang des Leistungsbaulements von Sperr- in Fluss-Richtung umpolen, so dass Minoritätsladungsträger in das Halbleitersubstrat injiziert werden, die den Substratbereich zwischen dem erwähnten pn-Übergang und der benachbarten MOS-Schaltung überfluten. Der pn-Übergang des Leistungsbaulements, der genannte Substratbereich und ein in

diesem Substratbereich benachbart zum Leistungsbaulement angeordneter pn-Übergang der MOS-Steuerschaltung bilden eine laterale parasitäre Bauelemente-Struktur in Form eines Bipolartransistors. Durch die in den genannten Substratbereich, d. h. die Basis des parasitären Transistors injizierten Minoritätsträger wird der parasitäre Transistor so angesteuert, dass ein hoher Strom zur benachbarten MOS-Ansteuerelektronik fließt, womit deren Funktionstüchtigkeit nicht mehr gewährleistet ist.

Somit müssen bei derartigen Schaltungsanordnungen Maßnahmen getroffen werden, die ein laterales Ausbreiten der Minoritätsträger im Substrat und die hierdurch verursachten oben beschriebenen, mit dem Begriff „Latch up“ bezeichneten Effekte verhindern.

Aus dem Stand der Technik ist es bekannt, hierzu Schutzringstrukturen rund um denjenigen Bauelementbereich anzuordnen, der potentiell Minoritätsträger injiziert. Diese Schutzringstrukturen werden von geeignet dotierten Gebieten gebildet, die die Minoritätsträger aufnehmen und an einen Massenkontakt abführen, vgl. in den geltenden Beschreibungsunterlagen S. 1, vorl. Abs. bis S. 2b, 1. Abs.

Der Anmeldung liegt als technisches Problem die Aufgabe zugrunde, eine integrierte Schaltungsanordnung mit einer Struktur zur Verminderung einer Ausbreitung von Minoritätsträgern zur Verfügung zu stellen, vgl. in der geltenden Beschreibung S. 2b, 2. Abs.

Diese Aufgabe wird gemäß der Lehre des geltenden Anspruchs 1 durch eine integrierte Schaltungsanordnung gelöst, bei der in einem Halbleiterkörper mit einer ersten Halbleiterzone eines ersten Leitungstyps im Bereich einer Rückseite und mit einer sich im Bereich der Vorderseite an die erste Halbleiterzone anschließenden zweiten Halbleiterzone des ersten Leitungstyps, die schwächer als die erste Halbleiterzone dotiert ist, ein erster Bauelementbereich, der wenigstens eine

Halbleiterzone eines zweiten Leitungstyps aufweist, die zusammen mit der ersten und zweiten Halbleiterzone Teil eines vertikalen Leistungshalbleiterbauelements ist, und ein zweiter Bauelementbereich, der wenigstens eine Halbleiterzone des zweiten Leitungstyps aufweist, ausgebildet sind. Ferner weist die Schaltungsanordnung eine Konvertierungsstruktur auf, die eine Halbleiterzone des zweiten Leitungstyps und eine Halbleiterzone des ersten Leitungstyps aufweist, die jeweils beabstandet zu der ersten Halbleiterzone zwischen dem ersten und dem zweiten Bauelementbereich in der zweiten Halbleiterzone des Halbleiterkörpers angeordnet und kurzgeschlossen sind, so dass von der Halbleiterzone des zweiten Leitungstyps aus der zweiten Halbleiterzone des Halbleiterkörpers aufgenommene Minoritätsladungsträger zu einem Stromfluss zu der Halbleiterzone des ersten Leitungstyps und zu einer Injektion von Majoritätsladungsträgern aus dieser Halbleiterzone des ersten Leitungstyps in die zweite Halbleiterzone des Halbleiterkörpers führen.

Für die anmeldungsgemäße Anordnung ist somit wesentlich, dass in dem Halbleiterkörper ein erster Bauelementbereich eine Halbleiterzone eines zweiten Leitungstyps aufweist, die zusammen mit einer ersten schwächer dotierten vorderseitigen und einer stärker dotierten rückseitigen zweiten Halbleiterzone jeweils eines ersten Leitungstyps Teil eines vertikalen Leistungshalbleiter-Bauelements ist, und dass außerdem in dem Halbleiterkörper ein zweiter Bauelementbereich eine Halbleiterzone des zweiten Leitungstyps aufweist. Zwischen diesen beiden Bauelementbereichen ist beabstandet zu der ersten Halbleiterzone in der zweiten Halbleiterzone des Halbleiterkörpers eine Konvertierungsstruktur aus zwei kurzgeschlossenen Halbleiterzonen mit zueinander entgegengesetztem Leitungstyp angeordnet, so dass die von der Halbleiterzone des zweiten Leitungstyps dieser Struktur aus der zweiten Halbleiterzone des Halbleiterkörpers aufgenommenen Minoritätsladungsträger zu einem Stromfluss zu der anderen Halbleiterzone des entgegengesetzten Leitungstyps dieser Struktur und zu einer Injektion von Majoritätsträgern aus dieser Zone in die zweite Halbleiterzone des Halbleiterkörpers führen. Die Struktur aus den beiden Halbleiterzonen wandelt somit einen stören-

den Minoritätsladungs-trägerstrom in einen unschädlichen Majoritätsladungsträgerstrom um und führt diesen dem entsprechenden Bereich des Halbleiterkörpers zu.

2. Die integrierte Schaltungsanordnung gemäß der Lehre des geltenden Anspruchs 1 beruht nicht auf einer erfinderischen Tätigkeit des zuständigen Fachmanns.

Die Druckschrift D11 offenbart eine integrierte Schaltungsanordnung (*The present invention relates to a semiconductor device [...] in which a power vertical MOSFET (referred to hereinafter as VDMOS) and another circuit component such as CMOS are formed in a single semiconductor chip / Sp. 1, Zeilen 16 bis 20*), die in Übereinstimmung mit der Lehre des geltenden Anspruchs 1 folgende Merkmale aufweist:

- einen Halbleiterkörper mit einer ersten Halbleiterzone (1) eines ersten Leitungstyps (n^+) im Bereich einer Rückseite und einer sich an die erste Halbleiterzone (1) anschließenden zweiten Halbleiterzone (2) des ersten Leitungstyps (n^-), die schwächer als die erste Halbleiterzone dotiert ist, im Bereich der Vorderseite (*These circuit components are formed on and within a single semiconductor substrate, which consists of a highly doped n^+ bottom layer 1 including a bottom surface of the substrate, and a lightly doped n^- top layer 2 formed on the bottom layer 1 by epitaxial growth or other techniques. The top layer 2 extends from the bottom layer 1 to a top surface of the substrate / Fig. 6 i. V. m. Sp. 1, Zeilen 32 bis 39*),
- einen ersten Bauelementbereich (10) in dem Halbleiterkörper, der wenigstens eine Halbleiterzone (3) eines zweiten Leitungstyps (p) aufweist, wobei diese Halbleiterzone und die erste und zweite Halbleiterzone (1, 2) Teile eines vertikalen Leistungshalbleiterbauelements sind (*The VDMOS 10 has a p channel region 3 extending into the n^- top layer 2 from the top surface, and an n^+ source region 4 extending into the p channel region 3 from the top surface. In this VDMOS 10,*

the n^- top layer 2 serves substantially as a drain region. A gate electrode 6 insulated by a gate oxide film 5 is formed above the p channel region 3 so that a channel 3a can be induced in the p channel region 3 between the n^+ source region 4 and the n^- top layer 2 functioning as a drain. There are further provided a PSG insulating layer 7, a topside source electrode 8 and a bottom drain electrode 16 / Fig. 6 i. V. m. Sp. 1, Zeilen 40 bis 50,

- *einen zweiten Bauelementbereich (20, 30) in dem Halbleiterkörper, der wenigstens eine Halbleiterzone (18) des zweiten Leitungstyps (p) aufweist (A power IC device of Fig. 6 includes at least one VDMOS 10, and at least one CMOS consisting of a p channel MOSFET (p MOS) 20 and an n channel MOSFET (n MOS) 30. [...]. The p MOS 20 has a p^+ pair of source and drain regions 11 and 12 formed in the n^- top layer 2 [...]. The n MOS 30 is formed in a p well 18 which is formed in the n^- top layer 2 / Sp. 1, Zeile 29 bis Sp. 2, Zeile 5 i. V. m. Fig. 6).*

Wie die anmeldungsgemäße integrierte Schaltungsanordnung wird auch die Schaltungsanordnung nach der Druckschrift D11 bevorzugt zur Steuerung von Elektromotoren eingesetzt, so dass bereits bei diesem Stand der Technik Maßnahmen gegen die Überflutung des Substrats mit Minoritätsladungsträgern getroffen werden müssen, die beim Schalten der induktiven Last von dem entsprechenden Dotierungsbereich des vertikalen Leistungsbauelements (VDMOS) in den Halbleiterkörper injiziert werden und zu einem Ausfall der Steuerschaltung führen können, da der - in diesem Fall von injizierten Löchern getragene - laterale Minoritätsladungsträgerstrom vom p -dotierten Kanalbereich (*p -type channel region 3*) des vertikalen Leistungsbauelements durch die niedrig dotierte n^- - Oberfläche des Halbleiterkörpers (*n^- layer 2*) zur p -Wanne der CMOS-Schaltung (*p -well 18 of the CMOS*) zu einem Latch up - Effekt in diesem Bereich führt, der einen Ausfall der Steuerschaltung verursacht (*However, such a simple structure of the above mentioned device cannot reliably prevent interference between the VDMOS and CMOS in a dynamic and transient state, so that this conventional device is liable to*

cause malfunction as illustrated in Fig. 7 and 8. In an example shown in Fig. 8, power ICs are used in a drive circuit of a H bridge type for driving an inductive load 28 such as a DC motor. The circuit of Fig. 8 includes power ICs 40a and 40b and MOSFETs 29 and 31. [...] Because of the flywheel current I_3 flowing into the source electrode 8 of the VDMOS 10 shown in Fig. 7, holes (minority carriers) 32 are injected from the p-type channel region 3 of the VDMOS 10 into the n^- layer 2, and these holes 32 reach the p well 18 of the CMOS. The flywheel current I_3 has a magnitude approximate to the steady state current of the load 28, and the current density reaches a much higher value as compared with external noise applied to a conventional CMOS IC. Therefore, the CMOS in the power IC is brought into latchup by the holes 32 reaching the p well 18 much more easily than a conventional CMOS IC. For this reason, the conventional power IC shown in Fig. 6 is practically unusable without some means for preventing latchup / Fig. 7 und 8 i. V. m. Sp. 2, Zeilen 24 bis 56).

Um die Funktionsfähigkeit der integrierten Schaltung sicherzustellen, wird gemäß Fig. 9 der Druckschrift D11 im Bereich zwischen dem Leistungsbaulement und der CMOS-Schaltung ein Schutzring angeordnet, der von einem p-dotierten, an Masse angeschlossenen und bis zur höher dotierten rückseitigen Zone des Halbleiterkörpers reichenden ringförmigen Bereich rund um das vertikale Leistungsbaulement gebildet wird. Dieser Schutzring nimmt injizierte Minoritätsträger (Löcher) aus dem Latch-up gefährdeten Substratbereich auf und leitet sie an Masse ab (The device of Fig. 9 is provided with a p-type guard ring 33 which is formed in the n^- layer 2 between the VDMOS 10 and the CMOS constituted by the pMOS 20 and the nMOS 30. The guard ring 33 reaches the n^+ bottom layer 1 and surrounds the VDMOS 10. The p guard ring 33 is grounded through a guard ring electrode 34 / Sp. 2, Zeile 57 bis Sp. 3, Zeile 5 i. V. m. Fig. 9).

Diese Schutzring-Struktur durch eine Konvertierungsstruktur gemäß der im letzten Teilmerkmal des geltenden Anspruchs 1 gegebenen Lehre zu ersetzen, beruht nicht auf einer erfinderischen Tätigkeit des Fachmanns.

Denn die Druckschrift D9 offenbart dem Fachmann bereits eine integrierte Schaltungsanordnung, bei der ein Leistungsbaulement und eine Steuerschaltung auf einem Halbleitersubstrat integriert sind und bei der eine Schutzring- und Konvertierungsstruktur den durch die in den Halbleiterkörper injizierten Minoritätsladungsträger verursachten Latch up - Effekt in dem Bereich zwischen dem Leistungsbaulement und der MOS-Steuerschaltung verhindert (*Smart power ICs integrate high-voltage, high-power transistors with low-voltage, low-power control circuitry in order to reduce cost while increasing performance and reliability. Unfortunately, this integration risks latch-up from the injection of minority carriers into the substrate by a forward biased n-tub-to-substrate junction of a high-power device. To prevent latch-up by reducing the gain of the parasitic substrate NPN that injects and absorbs minority substrate carriers, both biased and unbiased guard rings, which surround the high-voltage device, have been proposed [...]. This letter reports and explains measurements of the comparative performance, high-current effects, emitter area, and layout of unbiased guard rings. It also shows a layout modification to the unbiased guard ring structure which increases its current handling capability and makes it very attractive for smart-power IC layout / S. 600, li. Sp., Kap. I. „Introduction“*).

Die entsprechende Schutzring-Struktur und ihre Funktionsweise wird in der Druckschrift D9 anhand der in Fig. 1 gezeigten Anordnung erläutert. Diese zeigt im Querschnitt denjenigen Bereich einer solchen integrierten Schaltungsanordnung, in dem die in den Halbleiterkörper injizierten Minoritätsladungsträger - im Beispiel gemäß der Druckschrift D9 sind dies Elektronen - den Latch up - Effekt verursachen, nämlich den Halbleiterkörper-Bereich (*p substrate*) zwischen dem Minoritätsladungsträger injizierenden n-dotierten Gebiet eines Leistungsbaulements (*Device n-tub / Fig. 1; emitter E_D , which is the n-tub body of a power device*

that is expected to be driven below ground by events such as switching of an inductive load / Fig. 1 i. V. m. S. 600, li. Sp., le. Abs. und re. Sp. 1. Abs.) und dem diese Minoritätsladungsträger aufnehmenden Gebiet eines benachbarten anderen Bauelements, bspw. der Steuerelektronik (*another device, n-tub / Fig. 1; to protect all other n-tubs on the chip (e.g. C_{D2}) from acting as collectors for minority carriers injected into the substrate by E_D / S. 600, re. Sp. unten*). Die Anordnung aus dem n-dotierten Gebiet (*Device n tub bzw. Emitter E_D*) des Leistungsbaulements, dem p-dotierten Substrat und dem n-dotierten Bereich (*another device, n-tub*) der benachbarten Steuerelektronik bildet dabei - wie bei den obigen Darlegungen zu der der Anmeldung zugrundeliegenden Problematik bereits grundsätzlich erläutert - einen parasitären lateralen Bipolar-, nämlich npn -Transistor (*lateral BJT (= bipolar junction transistor) / S. 601, 1. Abs.*), bei dem das die Minoritätsladungsträger injizierende n-dotierte Gebiet (*Device n-tub*) des Leistungsbaulements den Emitter (E_D), das diese Ladungsträger aufnehmende n-dotierte Gebiet des benachbarten Bauelements (*another device, n-tub*) den Kollektor (C_{D2}) und der dazwischen liegende Bereich des p-dotierten Substrats den Basis-Bereich des parasitären Transistors bilden und bei dem - wie bei jedem „normalen“ Bipolar-Transistor - der Minoritätsladungsträgerstrom durch die Basis die Höhe des Stroms zwischen Emitter und Kollektor und damit die Verstärkung des Transistors („*gain*“) bestimmt.

Um bei dieser parasitären Struktur einem Latch up - Effekt entgegenzuwirken und den Ausfall der Steuerelektronik zu verhindern, werden bei der Schaltungsanordnung nach der Druckschrift D9 Minoritätsladungsträger aus dem Basisgebiet des parasitären Transistors entfernt, so dass dieser eine möglichst geringe Verstärkung (*gain*) aufweist. Hierzu ist in dem Bereich zwischen den beiden Bauelementen (*device, another device*) im Halbleiterkörper (*p substrate*) um das die Minoritätsladungsträger injizierende Gebiet herum eine Schutzringstruktur angeordnet, die - in Übereinstimmung mit der im Anspruch 1 in Bezug auf die Konvertierungsstruktur gegebenen Lehre - eine Halbleiterzone eines zweiten Leitungstyps (*n-tub C_{GR}*) und eine Halbleiterzone eines ersten Leitungstyps (*p-tub B_{O-GR}*) aufweist, die kurzgeschlossen sind (*The unbiased guard ring is a set of three rings surrounding*

the emitter, E_D , which is the n -tub body of a power device that is expected to be driven below ground by events such as the switching of an inductive load. The innermost ring, B_{I-GR} , is a substrate contact (SubCon) ring that is tied to ground. The middle ring, C_{GR} , is an n -tub contact ring. The outermost ring, B_{O-GR} , is a SubCon ring. The middle and outermost rings are shorted together, but are unbiased, meaning that they are not connected to any other part of the circuit, except through the substrate. The guard ring is designed to protect all other n -tubs on the chip (e.g. C_{D2}) from acting as collectors for minority carriers injected into the substrate by E_D . / S. 600, Sp. 1, li. Sp., Kap. II „Latch-Up Protection Unbiased Guard Ring“, bis re. Sp., le. Zeile i. V. m. Fig. 1, die zeigt, dass die Halbleiterzonen C_{GR} und B_{I-GR} entgegengesetzt dotierte Halbleiterzonen sind).

Die Kurzschluss-Verbindung zwischen den beiden Halbleiterzonen unterschiedlichen Leitungstyps dieser Schutzringstruktur bewirkt, dass von der Halbleiterzone des zweiten Leitungstyps (n -tub) aufgenommene Minoritätsladungsträger zu einem Stromfluss zu der Halbleiterzone des ersten Leitungstyps (p -tub) dieser Struktur und zu einer entsprechenden Injektion von Majoritätsladungsträgern aus dieser Halbleiterzone des ersten Leitungstyps (p -tub) in den Halbleiterkörper (p -substrate) führen, die mit den Minoritätsladungsträgern in diesem Bereich rekombinieren und somit die Rekombinationsrate (über das durch die Dotierung dieses Bereichs vorgegebene Niveau) erhöhen (*The reduction in gain is due to the presence of guard ring n -tub, C_{GR} which collects the electrons. C_{GR} is connected to B_{O-GR} which supplies holes to increase the recombination of the minority carriers in the substrate / S. 601, li. Sp. Kap. III, Measurements, 1. Abs.). Die Schutzringstruktur nach der Druckschrift D9 bildet damit eine Konvertierungsstruktur gemäß der im letzten Teilmerkmal des geltenden Anspruchs 1 gegebenen Lehre.*

Diese Konvertierungsstruktur zum selben Zweck, nämlich zum Entfernen von Minoritätsladungsträgern aus dem gefährdeten Bereich zwischen Leistungsbauelement und Steuerelektronik bei der integrierten Schaltungsanordnung nach der Druckschrift D11 einzusetzen, beruht nicht auf einer erfinderischen Tätigkeit des Fachmanns.

Denn wie sich aus den vorangehenden Darlegungen ergibt, wird die Funktionsweise der Konvertierungsstruktur in der Druckschrift D9 anhand einer abstrahierten Bauelementeanordnung erläutert, bei der es nicht auf die konkrete Ausbildung des Leistungshalbleiterbauelements als laterales oder vertikales Leistungsbauelement und auf die Ausbildung der Ansteuerelektronik ankommt, sondern lediglich darauf, dass in einem Halbleitersubstrat in Nachbarschaft zueinander Dotierungsbereiche angeordnet sind, die zusammen mit dem entsprechenden Substratbereich eine laterale parasitäre Bipolartransistor-Struktur bilden. Dementsprechend gibt die Druckschrift D9 dem Fachmann die allgemein auf beliebige integrierte Schaltungsanordnungen mit derartigen Strukturen anwendbare Lehre, das Gefährdungspotential derartigen parasitärer Bipolar-Strukturen dadurch weitgehend auszuschalten, dass die in die Basis parasitärer Bipolar-Transistorstrukturen injizierten Minoritätsladungsträger durch eine Konvertierungsstruktur nach dem Vorbild der Druckschrift D9 aus dieser entfernt und in „unschädliche“ Majoritätsladungsträger umgewandelt werden.

Dabei zeigen die in der Druckschrift D9 erläuterten, zur Bewertung der Effektivität der Konvertierungsstruktur durchgeführten Messungen, dass diese Konvertierungsstruktur äußerst effektiv ist, was das Entfernen von Minoritätsladungsträgern aus dem Basisbereich des parasitären Transistors angeht, denn mit ihr wird die Verstärkung (*gain*) des parasitären Transistors, die von der Minoritätsladungsträger-Menge bestimmt wird, trotz einer Verminderung des Abstands der kritischen Bereiche um eine Zehnerpotenz um mindestens vier Größenordnungen abgesenkt. Dabei wird explizit darauf hingewiesen, dass diese Wirkung darauf zurückzuführen ist, dass mit der genannten Struktur Elektronen sehr effektiv aus dem

gefährdeten Gebiet entfernt werden und dass diese Wirkung bei entsprechender Vergrößerung des Minoritätsladungsträger sammelnden Bereichs der Konvertierungsstruktur noch um zwei weitere Größenordnungen erhöht werden kann (*The effectiveness of an unbiased guard ring is shown in Fig. 2. The parasitic substrate NPN gain without a guard ring is more than 1 for a collector, C_{D2} , even 200 μm away from E_D , posing a latch-up hazard. The addition of an unbiased guard ring reduced the gain at a C_{D2} distance of 20 μm by more than four orders of magnitude from 51 to 0.003. The reduction in gain is due to the presence of guard ring n-tub, C_{GR} which collects the electrons / S. 601, Kap. III, Measurements, 1. Abs.; The measurements show that an unbiased guard ring reduces the parasitic gain that contributes to latchup by up to four orders of magnitude. Widening the n-tub ring C_{GR} can reduce the gain by an additional two orders of magnitude / S. 602, re. Sp., Kap. IV, Conclusion, 1. Abs.*).

Diese positive Wirkung wird zusätzlich noch dadurch erhöht, dass die aus dem kritischen Bereich entfernten Minoritätsladungsträger in Majoritätsladungsträger umgewandelt werden, die über den zweiten Bereich der Konvertierungsstruktur in das Substrat geführt werden, wo sie zu einer Erhöhung der Rekombinationsrate der Minoritätsladungsträger im Latch-up gefährdeten Bereich über das durch die Grunddotierung des Substrats vorgegebene Rekombinationsniveau führen (*C_{GR} is connected to B_{O-GR} which supplies holes to increase the recombination of the minority carriers in the substrate. The unbiased guard ring is a space-efficient way to introduce recombination into a lateral BJT, thereby preventing the minority carriers from travelling far in the substrate / S. 601, li. Sp. Kap. III Measurements, 1. Abs.*).

Angesichts dieser Hinweise zur Effektivität und Wirkungsweise der Konvertierungsstruktur war es für den Fachmann naheliegend, die oben erläuterte allgemeine Lehre der Druckschrift D9 zum gleichen Zweck bei der integrierten Schaltungsanordnung nach der Druckschrift D11 anzuwenden, bei dem ein vertikales Leistungsbauelement und eine zugehörige Ansteuerelektronik auf einem Chip nebeneinander angeordnet sind.

Die Wirkungsweise der Konvertierungsstruktur nach der Druckschrift D9, also das Entfernen der Minoritätsladungsträger aus dem kritischen Bereich und das Anheben des Rekombinationsniveaus durch die Zufuhr einer entsprechenden Menge von Majoritätsladungsträgern ist - wie sich aus obigen Darlegungen ergibt - unabhängig vom Dotierungsniveau des Halbleitersubstrats, in dem diese Struktur angeordnet ist. Im Gegensatz zur Auffassung der Anmelderin war der Fachmann somit auch nicht davon abgehalten, diese Struktur bei einer Anordnung mit einem vertikalen Leistungsbaulement vorzusehen, bei dem das Substrat nur schwach dotiert und somit das durch das dementsprechend niedrige Angebot an Majoritätsladungsträgern bestimmte Rekombinationsniveau für Minoritätsladungsträger von Hause aus niedrig ist. Im Gegenteil bewirkt die Konvertierungsstruktur gerade in diesem Fall durch die zusätzliche Zufuhr von Majoritätsladungsträgern eine Verbesserung, nämlich eine Anhebung des Rekombinationsniveaus gegenüber dem durch die Dotierung vorgegebenen niedrigen Pegel.

Zu dem Argument der Anmelderin, die anmeldungsgemäße Anordnung sei wegen der „Reflexion“ der Minoritätsladungsträger an der Potentialbarriere zwischen der (höher dotierten) ersten Halbleiterzone auf der Rückseite des Halbleiterkörpers und der schwächer dotierten zweiten Halbleiterzone im Bereich der Vorderseite besonders effektiv, ist anzumerken, dass sich eine solche Potentialbarriere zwangsläufig und ohne besonderes Zutun an der Raumladungszone ausbildet, die sich aufgrund der Dotierungsunterschiede (n^+ , n^-) zwischen den beiden entsprechenden Bereichen (1, 2) des Halbleiterkörpers bereits bei der Anordnung nach der Druckschrift D11 bildet. Damit werden auch hier die Minoritätsladungsträger zur Vorderseite des Halbleiterkörpers abgelenkt, so dass eine nach dem Vorbild der Druckschrift D9 an dieser Vorderseite angeordnete Konvertierungsstruktur ohne weiteres Zutun sehr effektiv Minoritätsladungsträger aufnimmt.

Da die Herstellung der beiden Dotierungsbereiche der Konvertierungsstruktur nach der Druckschrift D9 im Rahmen der für die Erzeugung der übrigen Diffu-

sionsgebiete dieser Anordnung verwendeten Dotierungs- und Diffusionsprozesse erfolgen kann, kann mit der Übertragung der Lehre der Druckschrift D9 auf die integrierte Schaltungsanordnung nach der Druckschrift D11 auch der Fertigungsprozess vereinfacht werden, denn damit kann auf die technologisch aufwendige Herstellung des bei der Anordnung nach der Druckschrift D11 vorgesehenen, bis zur ersten Halbleiterzone (*highly doped n⁺ bottom layer 1*) auf der Rückseite des Halbleiterkörpers reichenden Schutzrings (*guard ring 33 / Fig. 9*) verzichtet werden.

Damit ergibt sich auch die im geltenden Anspruch 1 gegebene Lehre, dass die beiden Halbleiterzonen der Konvertierungsstruktur jeweils beabstandet zu der ersten Halbleiterzone in der zweiten Halbleiterzone des Halbleiterkörpers angeordnet sind, für den Fachmann in naheliegender Weise.

Die Schaltungsanordnung nach dem geltenden Anspruch 1 beruht damit nicht auf einer erfinderischen Tätigkeit des Fachmanns.

3. Die Unteransprüche 2 bis 8 fallen wegen der Antragsbindung mit dem Anspruch 1, vgl. BGH GRUR 2007, 802, 803, Tz 18 - „Informationsübermittlungsverfahren II“ m. w. N.

4. Bei dieser Sachlage war die Beschwerde der Anmelderin zurückzuweisen.

Dr. Strößner

Dr. Hock

Brandt

Dr. Friedrich

CI