



# BUNDESPATENTGERICHT

23 W (pat) 23/07

---

(AktENZEICHEN)

Verkündet am  
11. Januar 2011

...

## BESCHLUSS

In der Beschwerdesache

...

### **betreffend die Patentanmeldung 10 2004 047 045.6-34**

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 11. Januar 2011 unter Mitwirkung des Vorsitzenden Richters Dr. Strößner sowie der Richter Kätker, Brandt und Dr. Friedrich

beschlossen:

Die Beschwerde wird zurückgewiesen.

## **Gründe**

### **I.**

Die vorliegende Anmeldung mit dem Aktenzeichen 10 2004 047 045.6-34 und der Bezeichnung „Verfahren zur Herstellung einer gedruckten Leiterplatte in paralleler Weise“ wurde am 28. September 2004 unter Inanspruchnahme der Priorität der koreanischen Anmeldung 2004/61749 vom 5. August 2004 beim Deutschen Patent- und Markenamt eingereicht.

Nach zwei Prüfungsbescheiden und einer Anhörung ist die Anmeldung durch Beschluss vom 6. März 2007 mit der Begründung fehlender erfinderischer Tätigkeit zurückgewiesen worden.

Gegen diesen Beschluss, dem Vertreter der Anmelderin zugestellt am 20. März 2007, richtet sich die fristgemäß am 18. April 2007 beim DPMA eingegangene und mit Eingabe vom 27. Juni 2007 begründete Beschwerde.

Der Senat hat mit der Anlage zur Terminladung darauf hingewiesen, dass bei der mündlichen Verhandlung insbesondere die Druckschrift

D9 JP2003-347735 A (mit Abstract und engl. Computerübersetzung)

von Bedeutung sein könnte.

Der ordnungsgemäß geladene Verfahrensbevollmächtigte der Beschwerdeführerin ist - wie mit Schreiben vom 10. Dezember 2010 angekündigt - zur mündlichen Verhandlung nicht erschienen.

Es liegt der von der Anmelderin eingereichte Beschwerdeschriftsatz vor, in dem die Anmelderin sinngemäß beantragt,

den angefochtenen Beschluss aufzuheben und ein Patent mit folgenden Unterlagen zu erteilen:

Patentansprüche 1 bis 5, eingegangen am 7. Februar 2007,  
Beschreibungsseiten 1 bis 10 und 12 bis 24 vom Anmeldetag,  
Beschreibungsseiten 11 und 11a, eingegangen am 6. April 2006,  
12 Blatt Zeichnungen vom Anmeldetag.

Der geltende Patentanspruch 1 lautet:

„Verfahren zur Herstellung einer gedruckten Leiterplatte in einer parallelen Weise, umfassend:

- Ausbilden einer ersten Schaltungsschicht mit einem ersten Durchgangsloch für eine elektrische Verbindung zwischen deren Ober- und Unterseiten, auf welcher eine erste Schaltungsstruktur gebildet wird;
- Auftragen eines Isolators auf die eine Seite der ersten Schaltungsschicht zur Isolation der ersten Schaltungsschicht von anderen Schaltungsschichten;
- Ausbilden einer zweiten Schaltungsschicht mit einem zweiten Durchgangsloch für eine elektrische Verbindung zwi-

schen deren Ober- und Unterseiten, auf welcher eine zweite Schaltungsstruktur gebildet wird;

- Anordnen der zweiten Schaltungsschicht auf einer Seite der ersten Schaltungsschicht, auf welcher der Isolator aufgetragen ist; und
- Laminieren der ersten und zweiten Schaltungsschichten,

**dadurch gekennzeichnet, dass** das Beschichten mit dem Isolator umfasst:

- Auftragen eines flächigen Isolators, an welchem ein lösbarer Film befestigt wird, auf die eine Seite der ersten Schaltungsschicht;
- Ausbilden eines dritten Durchgangslochs durch einen Abschnitt des Isolators an der entsprechenden Stelle des ersten Durchgangsloches der ersten Schaltungsschicht;
- Einbringen einer leitenden Paste in das dritte Durchgangsloch des Isolators; und
- Entfernen des lösbaren Films vom Isolator.“

Hinsichtlich der Unteransprüche 2 bis 5 sowie der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

## II.

Die zulässige Beschwerde der Anmelderin erweist sich als nicht begründet, denn das Verfahren nach dem geltenden Patentanspruch 1 ist wegen fehlender Neuheit nicht patentfähig.

Bei dieser Sachlage kann die Zulässigkeit der geltenden Patentansprüche sowie die Erörterung der erfinderischen Tätigkeit dahingestellt bleiben, *vgl. BGH GRUR 1991, 120 - 121, II.1. - „Elastische Bandage“*.

Der zuständige Fachmann ist hier als berufserfahrener, mit der Herstellung und Entwicklung von Vielschicht-Leiterplatten betrauter Fachhochschulingenieur der Mikrosystemtechnik zu definieren.

1. Die Anmeldung betrifft ein Verfahren zur Herstellung einer gedruckten Vielschicht-Leiterplatte (MLB bzw. Vielschicht- oder Multilayer-PCB) aus einer Mehrzahl von Schaltungsschichten mit darauf gebildeten Schaltungsstrukturen und Isolationsschichten, wobei die einzelnen Schaltungsschichten in separaten Prozessschritten parallel gebildet und dann verklebt werden (*vgl. geltende Beschreibung, S. 1, Zn. 3 bis 10, bzw. Abs. [0001] der Offenlegungsschrift*).

Gemäß der Beschreibungseinleitung werden einseitige Leiterplatten, bei denen ein Leiter nur auf einer Seite eines isolierenden Substrats ausgebildet ist, dann eingesetzt, wenn die aufzubringenden elektronischen Teile einfache Strukturen haben, wohingegen zweiseitige Leiterplatten, die Leiter auf beiden Seiten des isolierenden Substrats aufweisen, oder Vielschicht-Leiterplatten, bei denen Leiter in vielen Schichten ausgebildet sind, für hochintegrierte und stark miniaturisierte Schaltkreise verwendet werden (*vgl. geltende Beschreibung, S. 1, Z. 28 bis S. 2, Z. 10, bzw. Abs. [0003] der Offenlegungsschrift*).

Solche Vielschicht-Leiterplatten werden hergestellt, indem Kupferfolien auf eine isolierende Schicht aufgebracht und die unbearbeiteten, kupferkaschierten Lamine zur Herstellung eines Durchgangslochs durchbohrt werden. Die Wände der Löcher werden mit einem leitfähigen Material beschichtet und aufgefüllt, so dass sich Zwischenschicht-Verbindungen ausbilden. Nach Aufbringen einer Ätzmaske werden die Kupferschichten strukturiert und die Schaltungsstrukturen gebildet. Zur Isolation zwischen den Schaltungsschichten wird eine mit Harz beschichtete Kupferlage als äußere Schicht auf die Schaltungsstruktur aufgebracht, in der anschließend mit Hilfe mechanischer Bohrer oder Laser Sacklöcher ausgebildet werden. Um die inneren und äußeren Schichten miteinander elektrisch zu kontaktieren, wird eine weitere leitfähige Schicht auf die äußere Schicht und in die Sacklöcher aufgebracht und wiederum mit Hilfe einer Ätzmaske strukturiert. Diese Schritte des Aufbringens von mit Harz beschichteten Kupferlagen, des Erstellens und Füllens von Kontaktlöchern sowie des Strukturierens von leitfähigen Schichten werden solange wiederholt, bis die gewünschte Anzahl von Schaltungsschichten hergestellt ist (*vgl. geltende Beschreibung, S. 3, Z. 20 bis S. 8, Z. 21, bzw. Abs. [0007] bis [0031] der Offenlegungsschrift i. V. m. Fig. 1*).

Da jedoch bereits eine einzige fehlerhafte Schaltungsschicht in einer Vielschicht-Leiterplatte zu deren Fehlfunktion führt, muss mit Hilfe automatischer optischer Inspektions-Vorrichtungen die Fehlerfreiheit jeder einzelnen Schaltungsschicht in den einzelnen Produktionsschritten überwacht werden. Somit ist dieses Herstellungsverfahren, bei dem die einzelnen Schritte des Strukturierens der mit Harz beschichteten Kupferlagen zur Ausbildung der Sacklöcher, des Aufbringens weiterer leitfähiger Schichten auf die Kupferlagen sowie des Überwachens der einzelnen Schritte sequentiell wiederholt werden müssen, insbesondere dann aufwendig und teuer, wenn die Anzahl der Schichten in der Vielschicht-Leiterplatte hoch ist (*vgl. geltende Beschreibung, S. 9, Z. 18 bis S. 10, Z. 21, bzw. Abs. [0035] bis [0038] der Offenlegungsschrift*).

Der vorliegenden Anmeldung liegt somit als technisches Problem die Aufgabe zugrunde, ein Verfahren zur Herstellung einer Vielschicht-Leiterplatte anzugeben, wobei Schaltungsschichten mit Schaltungsstrukturen und Isolationsschichten in einer parallelen Weise in separaten Prozessen hergestellt, alternierend angeordnet und einmalig laminiert werden können und wobei die Schaltungen der inneren Schichten nach der separaten Herstellung der Schichten inspiziert werden können, so dass fehlerhafte Abschnitte und Herstellungskosten reduziert sowie Herstellungszeiten minimiert werden (*vgl. geltende Beschreibung, S. 11a, Zn. 7 bis 15, bzw. Abs. [0042] der Offenlegungsschrift*).

Gelöst wird diese Aufgabe durch ein Verfahren mit den Merkmalen des geltenden Patentanspruchs 1. Dieses umfasst gemäß Oberbegriff (a) das Ausbilden einer Schaltungsschicht mit einem ersten Durchgangsloch für eine elektrische Verbindung zwischen Ober- und Unterseite, auf welcher eine erste Schaltungsstruktur gebildet wird, (b) das Auftragen eines Isolators auf die eine Seite der ersten Schaltungsschicht zur Isolation der ersten Schaltungsschicht von anderen Schaltungsschichten; (c) das Ausbilden einer zweiten Schaltungsschicht mit einem zweiten Durchgangsloch für eine elektrische Verbindung zwischen Ober- und Unterseite, auf welcher eine zweite Schaltungsstruktur gebildet wird, (d) das Anordnen der zweiten Schaltungsschicht auf einer Seite der ersten Schaltungsschicht, auf welcher der Isolator aufgetragen ist, und (e) das Laminieren der ersten und zweiten Schaltungsschichten.

Entsprechend dem Kennzeichen des Anspruchs 1 wird dieses Verfahren weitergebildet, indem der Isolator auf der ersten Schaltungsschicht als flächiger Isolator, an welchem ein lösbarer Film befestigt wird, aufgetragen wird, ein drittes Durchgangslochs durch einen Abschnitt des Isolators an der entsprechenden Stelle des ersten Durchgangsloches der ersten Schaltungsschicht ausgebildet und mit einer leitenden Paste gefüllt wird und schließlich ein Entfernen des lösbaren Films erfolgt.

Für das Verfahren des Patentanspruchs 1 ist demnach wesentlich, dass Schaltungsschichten einzeln hergestellt und dann aufeinander laminiert werden, wobei der flächige Isolator, der auf die erste Schaltungsschicht aufgebracht wird, einen lösbaren Film umfasst, der entfernt wird, nachdem ein drittes Durchgangsloch durch den Isolator zum Durchgangsloch der ersten Schaltungsschicht gebildet und eine leitende Paste eingebracht wurde.

2. Das Verfahren gemäß dem geltenden Patentanspruch 1 ist nicht neu.

Druckschrift D9, vgl. deren Figuren 1 bis 8 mit Bezugszeichenliste und Beschreibung in den Absätzen [0010] bis [0019] der englischsprachigen Übersetzung, offenbart in Übereinstimmung mit der Lehre des Patentanspruchs 1 ein

Verfahren zur Herstellung einer gedruckten Leiterplatte (*multilayer interconnection board 34*) in einer parallelen Weise, umfassend die Verfahrensschritte:

- Ausbilden einer ersten Schaltungsschicht (*1st lamination unit 25, insulation base material 20, through hole plating coat 22*) mit einem ersten Durchgangsloch (*through hole 21*) für eine elektrische Verbindung zwischen deren Ober- und Unterseiten, auf welcher eine erste Schaltungsstruktur (*circuit pattern 23, 24*) gebildet wird  
(vgl. *Fig. 1, 2 i. V. m. den Abs. [0010] u. [0011]*);
- Auftragen eines Isolators (*insulating bonding layer 27, protection film 28*) auf die eine Seite der ersten Schaltungsschicht (*1st lamination unit 25*) zur Isolation der ersten Schaltungsschicht (*1st lamination unit 25*) von anderen Schaltungsschichten (die derart bearbeitete Schaltungsschicht 25 wird in der D9 als Schaltungsschicht 32 bezeichnet, vgl. *Fig. 3 i. V. m. Abs. [0013]*);



- Ausbilden einer zweiten Schaltungsschicht (*1st lamination unit 25*) mit einem zweiten Durchgangsloch (*through hole 21, insulation base material 20, through hole plating coat 22*) für eine elektrische Verbindung zwischen deren Ober- und Unterseiten, auf welcher eine zweite Schaltungsstruktur gebildet wird  
(vgl. Fig. 1, 2 i. V. m. den Abs. [0010] u. [0011]);
- Anordnen der zweiten Schaltungsschicht (*1st lamination unit 25*) auf einer Seite der ersten Schaltungsschicht, auf welcher der Isolator aufgetragen ist (*2nd lamination circuit 32*); und  
(vgl. Fig. 6 i. V. m. Abs. [0017]);
- Laminieren der ersten und zweiten Schaltungsschichten (*1st lamination unit 25, 2nd lamination circuit 32*),  
(vgl. Fig. 6 i. V. m. Abs. [0017])

wobei das Beschichten der ersten Schaltungsschicht mit dem Isolator umfasst:

- Auftragen eines flächigen Isolators (*insulating bonding layer 27*), an welchem ein lösbarer Film (*protection film 28*) befestigt wird, auf die eine Seite der ersten Schaltungsschicht (*1st lamination unit 25*)  
(vgl. Fig. 3 i. V. m. Abs. [0013]);
- Ausbilden eines dritten Durchgangslochs (*via hole 30*) durch einen Abschnitt des Isolators (*insulating bonding layer 27, protection film 28*) an der entsprechenden Stelle des ersten Durchgangsloches (*through hole 21*) der ersten Schaltungsschicht (*1st lamination unit 25*)  
(vgl. Fig. 4 i. V. m. Abs. [0014]);

- Einbringen einer leitenden Paste (*beer 31*) in das dritte Durchgangsloch (*via hole 30*) des Isolators (*insulating bonding layer 27, protection film 28*);  
(vgl. *Fig. 5 i. V. m. Abs. [0015]*) und
- Entfernen des lösbaren Films (*protection film 28*) vom Isolator (*insulating bonding layer 27*)  
(vgl. *Fig. 6 i. V. m. Abs. [0017]*).

Somit offenbart Druckschrift D9 ein Verfahren zur Herstellung einer gedruckten Leiterplatte, das sämtliche Merkmale des Verfahrens nach Patentanspruch 1 aufweist.

Das Verfahren gemäß dem geltenden Patentanspruch 1 ist daher wegen fehlender Neuheit nicht patentfähig.

3. Es kann dahingestellt bleiben, ob die Verfahren nach den geltenden, Unteransprüchen patentfähig sind, denn wegen der Antragsbindung im Patenterteilungsverfahren fallen mit dem Patentanspruch 1 auch die mittelbar oder unmittelbar auf Patentanspruch 1 rückbezogenen Unteransprüche (vgl. *BGH GRUR 1983, 171 - „Schneidhaspel“*; *BGH GRUR 2007, 862, 863 Tz. 18 - „Informationsübermittlungsverfahren II“ m. w. N.*).

4. Bei dieser Sachlage war die Beschwerde der Anmelderin zurückzuweisen.

Dr. Strößner

Kätker

Brandt

Dr. Friedrich

CI