



BUNDESPATENTGERICHT

23 W (pat) 38/09

(Aktenzeichen)

Verkündet am
26. Februar 2013

...

BESCHLUSS

In der Beschwerdesache

...

betreffend die Patentanmeldung 199 64 514.0-33

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 26. Februar 2013 unter Mitwirkung des Vorsitzenden Richters Dr. Strößner sowie der Richter Brandt, Metternich und Dr. Zebisch

beschlossen:

Die Beschwerde der Anmelderin wird zurückgewiesen.

Gründe

I.

Die vorliegende Patentanmeldung mit der Bezeichnung „Halbleitervorrichtung mit verdrahtetem Halbleiterchip“ wurde am 28. Juli 2006 von der Anmeldung 199 47 976.3-33 durch Teilung im Prüfungsverfahren abgetrennt. Die Stammanmeldung 199 47 976.3-33 war beim Deutschen Patent- und Markenamt am 5. Oktober 1999 unter Inanspruchnahme einer japanischen Priorität vom 6. Oktober 1998 mit dem Aktenzeichen JP 10-284632 in englischer Sprache angemeldet worden. Am 5. November 1999 war eine deutsche Übersetzung der ursprünglichen englischsprachigen Unterlagen beim Deutschen Patent- und Markenamt rechtzeitig eingegangen.

Die Prüfungsstelle für Klasse H 01 L hat im Prüfungsverfahren der Stammakte vor der Teilung auf den Stand der Technik gemäß den folgenden vorveröffentlichten Druckschriften verwiesen:

- D1 US 4 888 631
- D2 JP 10-125 868 A
- D3 US 5 519 658 A
- D4 JP 7-221 183 A.

In der Stammanmeldung hat sie der Anmelderin in den Bescheiden vom 4. Januar 2001 und 28. September 2005 mitgeteilt, dass die selbständigen Ansprüche unklar seien und auch die Gegenstände der klargestellten Ansprüche voraussicht-

lich nicht patentfähig wären. Auch hat die Prüfungsstelle im zweiten Bescheid angegeben, dass die unabhängigen Ansprüche 1 und 2 nach einer Änderung unzulässig erweitert seien. Aus diesen Gründen könne mit den jeweils vorliegenden Unterlagen die Erteilung eines Patents nicht in Aussicht gestellt werden.

Die Anmelderin widersprach in der Stammakte mit dem Schriftsatz vom 24. Juli 2001 den Ansichten der Prüfungsstelle und erklärte mit Schriftsatz vom 28. Juli 2006 die Teilung. Die Unterlagen für die vorliegende Teilungsanmeldung reichte sie mit Schriftsatz vom 31. Juli 2006 ein, darunter auch ein Satz neuer Ansprüche 1 bis 16.

Die Prüfungsstelle hat in der Folge die Teilungsanmeldung mit Beschluss vom 4. März 2009 ohne Absetzung eines weiteren Bescheids zurückgewiesen. In der Begründung ihrer Zurückweisung hat sie angegeben, dass Anspruch 2 gegenüber der Stammanmeldung bei der Teilung unverändert geblieben sei, so dass die im Bescheid vom 28. September 2005 in der Stammakte gerügten Mängel weiter bestünden. Da die im Stammverfahren bereits erfolgte Prüfung als Prüfung im abgetrennten Verfahren anzusehen sei (vgl. *BPatGE 43, 159 - „Akustisches Oberflächenwellenfilter“*), sei bei dieser Sachlage Beschluss zu fassen gewesen und die Anmeldung auf Grund der zu Anspruch 2 im Bescheid vom 28. September 2005 bereits gerügten Mängel zurückzuweisen.

Gegen diesen, der Anmelderin am 9. April 2009 zugestellten Beschluss richtet sich die fristgemäß am 22. April 2009 beim Deutschen Patent- und Markenamt eingegangene Beschwerde, mit der die Anmelderin die Streichung der Ansprüche 2 bis 16 erklärt, Abhilfe und Erteilung eines Patents auf Grundlage des Anspruchs 1 beantragt. Die Prüfungsstelle kam dem Antrag auf Abhilfe jedoch nicht nach.

Mit Schriftsatz vom 22. Februar 2013 reichte die Anmelderin als Reaktion auf einen Hinweis des Senats vier neue Ansprüche 1 ein, welche sie mit Haupt- und

Hilfsantrag 1 bis 3 bezeichnete. In der mündlichen Verhandlung am 26. Februar 2013 hat die Anmelderin zuletzt den einzigen Anspruch 1 des Hilfsantrags 3 durch einen neuen Anspruch ersetzt und beantragt,

1. den Beschluss der Prüfungsstelle für Klasse H 01 L des Deutschen Patent- und Markenamts vom 4. März 2009 aufzuheben;
2. ein Patent mit der Bezeichnung „Halbleitervorrichtung mit verdrahtetem Halbleiterchip“, dem Anmeldetag 5. Oktober 1999 und der ausländischen Priorität 6. Oktober 1998 - JP 10-284632 auf der Grundlage folgender Unterlagen zu erteilen:
Patentanspruch 1, eingegangen am 22. Februar 2013 als Hauptantrag, sowie Beschreibungsseiten 1 - 14 und 12 Blatt Zeichnungen mit Figuren 1 - 12, jeweils eingegangen am 1. August 2006;
3. hilfsweise, ein Patent mit der vorgenannten Bezeichnung, dem vorgenannten Anmeldetag und der vorgenannten ausländischen Priorität auf der Grundlage folgender Unterlagen zu erteilen:
Patentanspruch 1, eingegangen am 22. Februar 2013 als Hilfsantrag 1, sowie Beschreibungsseiten und Zeichnungen gemäß Hauptantrag;
4. weiterhin hilfsweise, ein Patent mit der vorgenannten Bezeichnung, dem vorgenannten Anmeldetag und der vorgenannten ausländischen Priorität auf der Grundlage folgender Unterlagen zu erteilen:
Patentanspruch 1, eingegangen am 22. Februar 2013 als Hilfsantrag 2, sowie Beschreibungsseiten und Zeichnungen gemäß Hauptantrag;

5. weiterhin hilfsweise, ein Patent mit der vorgenannten Bezeichnung, dem vorgenannten Anmeldetag und der vorgenannten ausländischen Priorität auf der Grundlage folgender Unterlagen zu erteilen:

Patentanspruch 1, eingegangen am 26. Februar 2013 als Hilfsantrag 3, sowie Beschreibungsseiten und Zeichnungen gemäß Hauptantrag.

Der mit dem Schriftsatz vom 22. Februar 2013 eingereichte Anspruch 1 gemäß Hauptantrag lautet:

„1. Halbleitervorrichtung, bei der wenigstens ein Element, über dem ein Anordnen einer Verdrahtung verboten ist, in einem peripheren Bereich eines Halbleiterchips angeordnet ist, wobei das Element eine Schmelzsicherung umfasst und wobei keine andere Schmelzsicherung über den bezüglich dem peripheren Bereich inneren Teil des Halbleiterchips gelegt ist.“

Der mit dem Schriftsatz vom 22. Februar 2013 ebenfalls eingereichte Anspruch 1 gemäß Hilfsantrag 1 lautet:

„1. Halbleitervorrichtung, bei der wenigstens eine Schmelzsicherungsschaltung, die eine Schmelzsicherung hat, in einem peripheren Bereich eines Halbleiterchips angeordnet ist, wobei keine Verdrahtungen in einer oberen Verdrahtungsschicht von Verdrahtungsschichten ausgebildet sind, in denen die wenigstens eine Schmelzsicherungsschaltung ausgebildet ist, wobei keine andere Schmelzsicherung außerhalb des peripheren Bereichs des Halbleiterchips gelegt ist.“

Der mit dem Schriftsatz vom 22. Februar 2013 eingereichte Anspruch 1 gemäß Hilfsantrag 2 lautet:

„1. Halbleitervorrichtung, mit einem Halbleiterchip, der eine obere Schicht mit einer Verdrahtung und wenigstens eine Schmelzsicherung unterhalb der oberen Schicht enthält, wobei die Verdrahtung über einen inneren Bereich des Halbleiterchips verläuft und jede Schmelzsicherung in einem peripheren Bereich des Halbleiterchips angeordnet ist, ohne von der Verdrahtung überdeckt zu werden.“

Der in der mündlichen Verhandlung am 26. Februar 2013 überreichte Anspruch 1 gemäß Hilfsantrag 3 lautet:

„1. Halbleitervorrichtung,
mit einem Halbleiterchip (10A; 10B; 10C), der wenigstens eine erste Makrozelle (41 bis 44), und wenigstens eine zweite Makrozelle (51 bis 54) enthält, die in einem peripheren Bereich des Halbleiterchips (10A; 10B; 10C) angeordnet ist, wobei jede erste Makrozelle (41 bis 44) in einem von dem peripheren Bereich des Halbleiterchips (10A; 10B; 10C) umgebenen inneren Bereich angeordnet ist, und wobei jede zweite Makrozelle (51 bis 54) durch eine Verdrahtung (61 bis 64) mit einer zugeordneten ersten Makrozelle (41 bis 44) verbunden ist und eine Schmelzsicherung (71) enthält, und
mit einer Verdrahtung zu der wenigstens einen ersten Makrozelle (41 bis 44), wobei die Verdrahtung oberhalb jeglicher Schmelzsicherung (71) in jeglicher zweiten Makrozelle liegt und zu der wenigstens einen ersten Makrozelle (41 bis 44) führt, ohne einen Umweg um jegliche zweite Makrozelle (51 bis 54) zu nehmen und ohne über jegliche zweite Makrozelle (51 bis 54) zu verlaufen.“

Hinsichtlich der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

II.

Die zulässige Beschwerde der Anmelderin erweist sich nach dem Ergebnis der mündlichen Verhandlung vom 26. Februar 2013 als nicht begründet, weil die Gegenstände des jeweils einzigen Anspruchs gemäß Hauptantrag und gemäß der Hilfsanträge 1 und 2 nicht auf einer erfinderischen Tätigkeit des zuständigen Fachmanns beruhen (§ 4 PatG) und der einzige Anspruch des Hilfsantrags 3 unzulässig ist, da sein Gegenstand gegenüber den ursprünglich eingereichten Unterlagen unzulässig erweitert ist (§ 38 PatG).

Bei dieser Sachlage kann die Erörterung der Zulässigkeit des jeweils einzigen Anspruchs des Hauptantrags und der Hilfsanträge 1 und 2 dahingestellt bleiben (vgl. *GRUR 1991, 120, 121, II.1 - „Elastische Bandage“*).

Der zuständige Fachmann ist hier als ein berufserfahrener Physiker oder Ingenieur der Fachrichtung Elektrotechnik mit Hochschul- oder Fachhochschulabschluss zu definieren, der über langjährige Erfahrung im Erstellen von Layouts von Halbleiterschaltungen, insbesondere von anwenderspezifischen ICs (ASICs) verfügt.

1. Die Anmeldung betrifft eine Halbleitervorrichtung welche unter Anwendung eines Layoutkonstruktionsverfahrens auf einem Halbleiterchip zum Vermeiden einer Umwegverdrahtung hergestellt wird (vgl. *S. 1, Z. 5 bis 9 der geltenden Beschreibung*).

Ein ASIC besteht aus Makrozellen eines oder mehrerer Typen, wobei die Makrozellen eines Typs untereinander dieselbe Konfiguration haben und entsprechend der Anforderung des Benutzers auf einem Halbleiterchip angeordnet sind. Dabei ist ein Typ einer Makrozelle ein SRAM, der eine Speicherschaltung und eine De-

fektreparatursteuerschaltung umfasst. Die Speicherschaltung ist mit einer Schaltanordnung, Speicherblöcken und einem zusätzlichen redundanten Speicherblock versehen. Die Speicherblöcke haben untereinander dieselbe Konfiguration und beispielsweise eine Kapazität von 4 kbit (*vgl. S. 1, Z. 10 bis 22 der geltenden Beschreibung*).

Vor dem Versand eines solchen Halbleiterchips wird an der Speicherschaltung ein Lese/Schreibtest ausgeführt, mit dem defekte Speicherblöcke erkannt und gekennzeichnet werden. Entsprechend dieser Kennzeichnung wird dann, wenn nötig, der redundante Speicherblock in Betrieb genommen und die Verbindung von Dateneingabe- und Datenausgabeleitungen zu den Speicherblöcken wird entsprechend unter Auslassung des defekten Datenblocks verschoben (*vgl. S. 1, Z. 23 bis S. 2, Z. 8 der geltenden Beschreibung*).

Die Stelle eines defekten Speicherblocks wird durch das Durchtrennen einer Schmelzsicherung in einer Schmelzsicherungsschaltung bezeichnet, indem sie mit einem Laserstrahl bestrahlt wird. Da eine Schmelzsicherung relativ groß ist, werden codierte Ausgaben der Schmelzsicherungsschaltung verwendet, um die Anzahl von Schmelzsicherungen zu verringern. Die Ausgaben werden in einem Vordecodierer und einem Hauptdecodierer decodiert (*vgl. S. 2, Z. 9 bis 18 der geltenden Beschreibung*).

Da über der Schmelzsicherungsschaltung keine Verdrahtung angeordnet werden kann, wenn die Signal- und Energieverdrahtung wie bei einem ASIC benutzerseitig konstruiert wird, muss die Verdrahtung derart angeordnet werden, dass die Defektreparaturschaltung, deren Hauptbereich die Schmelzsicherungsschaltung ist, mit einem Umweg umgangen wird. Dies führt zu einer Vergrößerung des für die Verdrahtung benötigten Bereichs und zu einer Verlängerung der Verdrahtung, was mit einer Laufzeitverlängerung für Signale auf den Leitungen der Verdrahtung einhergeht. Diese Nachteile ergeben sich auch für den Fall, dass statt der

Schmelzsicherung ein anderes Element verwendet wird, über dem eine Verdrahtung nicht möglich ist (*vgl. S. 2, Z. 19 bis S. 3, Z. 2 der geltenden Beschreibung*).

Gemäß der geltenden Beschreibung seien im Stand der Technik aus den Druckschriften D1 und D2 Speicherblöcke und Speicherzellen bekannt, die periphere Schaltungen enthielten, welche wiederum Schmelzsicherungen aufwiesen, jedoch seien diese peripheren Schaltungen nicht im peripheren Bereich eines Halbleiterchips oder eines funktionalen Blocks angeordnet, der eine Vielzahl von Makrozellen enthält (*vgl. S. 3, Z. 3 bis 18*).

Hiervon ausgehend liegt der vorliegenden Anmeldung als technisches Problem somit die Aufgabe zugrunde, eine Halbleitervorrichtung vorzusehen, welche unter Anwendung eines Layoutkonstruktionsverfahrens, mit dem eine Umwegverdrahtung auf einem Halbleiterchip reduziert werden kann oder fehlen kann, hergestellt wird (*vgl. S. 3, Z. 22 bis 26 der geltenden Beschreibung*).

Diese Aufgabe wird durch den jeweiligen Anspruch 1 gemäß dem Hauptantrag und den Hilfsanträgen 1 bis 3 gelöst.

Wesentlich für die Halbleitervorrichtung nach allen Ansprüchen 1 der verschiedenen Anträge ist, dass das Element, über das auf einem Halbleiterchip keine Verdrahtung gelegt werden darf, in einen peripheren Bereich des Halbleiterchips gelegt ist, während sich in einem inneren Bereich der Oberfläche des Halbleiterchips kein weiteres dieser Elemente befindet. Dabei wird das Element durchgängig als Schmelzsicherung charakterisiert. Über einer solchen können auf einem Halbleiterchip keine Verdrahtungen angeordnet werden, da diese zum einen für den Fall des Durchbrennens der Schmelzsicherung mittels Laserstrahlung störend wirken und zum anderen beim Vorgang des Durchbrennens, auch wenn dieses beispielsweise elektrisch erfolgt, beschädigt werden können. Beim Erstellen des Layouts eines Halbleiterchips wird deshalb darauf geachtet, dass sich über den Schmelzsicherungen keine Verdrahtungsleitungen befinden. Beim Erstellen des

Layouts ist somit ein Anordnen einer Verdrahtung über einer Schmelzsicherung „verboten“. In diesem Sinne ist das entsprechende Merkmal in Anspruch 1 des Hauptantrags zu verstehen.

Auch das im Anspruch 1 des Hilfsantrags 1 angegebene Merkmal, dass keine Verdrahtungen in einer oberen Verdrahtungsschicht von Verdrahtungsschichten ausgebildet sind, in denen die wenigstens eine Schmelzsicherungsschaltung ausgebildet ist, ist auf diese Weise zu verstehen. Dieses Merkmal drückt damit aus, dass über der Schmelzsicherungsschaltung, welche eine Schmelzsicherung aufweist, welche für sich Teil einer Verdrahtung ist, keine Verdrahtung angeordnet ist.

Anspruch 1 des Hilfsantrags 2 konkretisiert, dass es in einer Schicht oberhalb der Schmelzsicherung eine Verdrahtung gibt, wobei entscheidend ist, dass sie die Schmelzsicherung nicht überdeckt und über einen inneren Bereich des Halbleiterchips verläuft, während sich die eine oder mehreren Schmelzsicherungen in einem peripheren Bereich des Halbleiterchips befinden.

Wesentlich für die Halbleitervorrichtung nach dem einzigen Anspruch des Hilfsantrags 3 ist zusätzlich der organisatorische Aufbau des Halbleiterchips. So weist dieser wenigstens eine erste Makrozelle auf, die in einem inneren Bereich des Halbleiterchips angeordnet ist, wobei darunter ein innerer Bereich der Oberfläche des Halbleiterchips zu verstehen ist. Dieser innere Bereich wird von einem peripheren Bereich des Halbleiterchips umgeben, welcher mindestens eine zweite Makrozelle enthält, welche wiederum eine Schmelzsicherung enthält, die mit einer zugeordneten ersten Makrozelle durch eine Verdrahtung verbunden ist. Neben dieser Verdrahtung weist die Halbleitervorrichtung eine weitere Verdrahtung auf, die zu der wenigstens einer ersten Makrozelle führt und oberhalb der Schmelzsicherungen in den zweiten Makrozellen angeordnet ist. Diese Verdrahtung führt zu der ersten Makrozelle, ohne einen Umweg um jegliche zweite Makrozellen zu nehmen und ohne über jegliche zweite Makrozellen zu verlaufen.

2. Die Halbleitervorrichtung gemäß dem Anspruch 1 des Hauptantrags beruht gegenüber der Druckschrift D1 nicht auf einer erfinderischen Tätigkeit des Fachmanns (§ 4 PatG).

Druckschrift D1 offenbart in Übereinstimmung mit dem Wortlaut des Anspruchs 1 des Hauptantrags

eine Halbleitervorrichtung (vgl. *Fig. 6 i. V. m. dem Text Sp. 3, Z. 58 bis 61: „Fig. 6 is a conceptual diagram of a semiconductor IC element three-dimensionally structured according to the present invention with two active layers, inclusive of redundant circuits,“*),

bei der wenigstens ein Element, über dem ein Anordnen einer Verdrahtung verboten ist, in einem peripheren Bereich eines Halbleiterchips angeordnet ist, wobei das Element eine Schmelzsicherung umfasst (vgl. *Sp. 6, Z. 29 bis 35: „The first active layer 71 is characterized as containing only a memory cell array 73 providing the memory capacity originally intended for the element, decoders (both a line decoder 74 and a column decoder 75) and peripheral circuits 76 which include fuses or control signal lines for separating defective memory cells and decoders.“*).

Druckschrift D1 gibt nicht ausdrücklich an, dass in den inneren Teil des Halbleiterchips keine andere Schmelzsicherung gelegt ist, doch gibt es für den Fachmann aufgrund der Lehre der Druckschrift D1 keinen Grund anzunehmen, dass sich im inneren Teil des Halbleiterchips weitere Schmelzsicherungen befinden. Auch wird er dort keine anordnen, denn im inneren Teil befindet sich eine Speicherzellenanordnung (*memory cell array 73*), welche üblicherweise keine Schmelzsicherungen aufweist.

Der Fachmann gelangt somit in naheliegender Weise ausgehend von Druckschrift D1 auf Grund seines Fachwissens über Speicherzellen zum Gegenstand des Anspruchs 1 des Hauptantrags, welcher deshalb nicht patentfähig ist.

3. Die Halbleitervorrichtung gemäß dem Anspruch 1 des Hilfsantrags 1 beruht gegenüber der Kombination der Druckschriften D1 und D2 nicht auf einer erfindेरischen Tätigkeit des Fachmanns (§ 4 PatG).

So offenbart Druckschrift D1 in Übereinstimmung mit dem Wortlaut des Anspruchs 1 gemäß Hilfsantrag 1

eine Halbleitervorrichtung (vgl. *Fig. 6 i. V. m. dem Text Sp. 3, Z. 58 bis 61: „Fig. 6 is a conceptual diagram of a semiconductor IC element three-dimensionally structured according to the present invention with two active layers, inclusive of redundant circuits,“*),

bei der wenigstens eine Schmelzsicherungsschaltung (*peripheral circuits 76*), die eine Schmelzsicherung hat (vgl. *Sp. 6, Z. 29 bis 35: „... and peripheral circuits 76 which include fuses or control signal lines for separating defective memory cells and decoders.“*), in einem peripheren Bereich eines Halbleiterchips angeordnet ist (vgl. *die Lage des peripheren Schaltkreises 76 in Fig. 6*).

Wie bereits zum Gegenstand des Anspruchs 1 des Hauptantrags dargelegt, liegt es für den Fachmann nahe, keine anderen Schmelzsicherungen in den inneren Bereich, und damit außerhalb des peripheren Bereichs des Halbleiterchips zu legen.

Über die Anordnung der Verdrahtungsschichten macht Druckschrift D1 keine Angaben. Jedoch lehrt Druckschrift D2, wie Verdrahtungen bei einem Speicherbaustein mit peripheren Schaltkreisen, beispielsweise einem DRAM (vgl. *die Maschinenübersetzung des Abs. [0040]: „Fig. 1 is an essential part cross sectional view showing an example of DRAM...“*) welche eine Schmelzsicherung enthalten (vgl. *die Maschinenübersetzung des Abs. [0020]: „... The peripheral circuit where the memory cell was formed around the memory cell array arranged at array form, It is a semiconductor integrated circuit device containing the fuze for relieving cir-*

cuits for relieving the circuit which is formed in a peripheral circuit and does not operate normally according to a defect,...“), ausgeführt werden. Dabei zeigt Fig. 1, dass in der Ebene der Transistorgates eine Schmelzsicherung (*fuze 12*) angeordnet ist (vgl. Abs. [0053] der Maschinenübersetzung: „*Since the fuze 12 consists of a low resistance polycrystalline silicon film formed simultaneously with the gate electrode 6, ...*“). Über dieser Ebene gibt es, wie Fig. 1 zeigt, mehrere Verdrahtungsebenen (*wiring 16a, b, c*), doch wird keine der Verdrahtungen über der Schmelzsicherung (*12*) ausgebildet. Dies ist bei dem in Fig. 1 gezeigten Ausschnitt nicht nur zufällig so, denn das Rückätzen der Isolationsschichten über der Sicherung (vgl. die Vertiefung über der Schmelzsicherung *12* und Maschinenübersetzung des Abs. [0029]: „*(c) The process of carrying out etchback of some insulator layer between wiring lower layers on the fuze in a peripheral circuit, and reducing it in thickness,...*“) schließt zwingend aus, dass über der Schmelzsicherung *12* eine Verdrahtung ausgebildet werden kann.

Der Fachmann wird die Anordnung der Verdrahtung des Halbleiterchips aus Druckschrift D1, bei dem es sich ebenfalls um ein DRAM handeln kann (vgl. Sp. 6, Z. 16 bis 19: „*Fig. 6 is a conceptual diagram of a semiconductor memory such as a dynamic or static RAM with redundant circuit section...*“), so wie in Druckschrift D2 gezeigt ausführen, womit er ohne erfinderisch tätig zu werden zum Gegenstand des Anspruchs 1 des Hilfsantrags 1 kommt, so dass dieser nicht patentfähig ist.

4. Auch die Halbleitervorrichtung gemäß dem Anspruch 1 des Hilfsantrags 2 beruht gegenüber der Kombination der Druckschriften D1 und D2 nicht auf einer erfinderischen Tätigkeit des Fachmanns (§ 4 PatG).

So offenbart Druckschrift D1 in Anlehnung an den Wortlaut des Anspruchs 1 gemäß Hilfsantrag 2

eine Halbleitervorrichtung (vgl. *Fig. 6 i. V. m. dem Text Sp. 3, Z. 58 bis 61: „Fig. 6 is a conceptual diagram of a semiconductor IC element three-dimensionally structured according to the present invention with two active layers, inclusive of redundant circuits,“*),

mit einem Halbleiterchip, der wenigstens eine Schmelzsicherung enthält (vgl. *Sp. 6, Z. 29 bis 35: „... and peripheral circuits 76 which include fuses or control signal lines for separating defective memory cells and decoders.“*),

und die Schmelzsicherung in einem peripheren Bereich des Halbleiterchips angeordnet ist (vgl. *die Lage des peripheren Schaltkreises 76 auf dem in Fig. 6 gezeigten Chip*).

Wie bereits in Bezug auf die Halbleitervorrichtung nach Anspruch 1 des Hauptantrags dargelegt, ist es für den Fachmann naheliegend, im inneren Bereich der Halbleiteroberfläche keine Schmelzsicherungen anzuordnen, so dass damit auch nahegelegt ist, dass „jede“ Schmelzsicherung in einem peripheren Bereich des Halbleiterchips angeordnet ist.

Wie ebenfalls bereits dargelegt, lehrt Druckschrift D1 keine Details über die Anordnung der Verdrahtung. Jedoch zeigt Druckschrift D2, wie Verdrahtungen bei DRAMs geführt werden können.

Dabei zeigt Druckschrift D2 in Fig. 1 eine obere Schicht mit einer Verdrahtung (*wiring 16c*) unterhalb der eine Schmelzsicherung (*fuze 12*) angeordnet ist (vgl. *Fig. 1 und die Maschinenübersetzungen des Abs. [0053]: „Since the fuze 12 consists of a low resistance polycrystalline silicon formed simultaneously with the gate electrode 6,...“ und des Abs. [0060]: „...And the wiring 16c by which the wiring 16b is further connected to the upper surface of the insulator layer 17b between wiring layers via the contact hole 15c in the insulator layer 17b between wrap wiring layers in lower layer wiring or an impurity semiconductor region is formed.“*). Wie aus

Fig. 1 ersichtlich, verläuft die Verdrahtung 16c zwar auch auf dem Speicherzellenbereich (*memory cell region A*), überdeckt jedoch die Schmelzsicherung (12) nicht, was, wie bereits dargestellt, nicht an einer Zufälligkeit des ausgewählten Ausschnitts liegt.

Für den Fachmann liegt es nun, wie bereits zum Hilfsantrag 1 ausgeführt, nahe, die Verdrahtung des Halbleiterchips aus Druckschrift D1, in derselben Topologie durchzuführen, wie sie in Druckschrift D2 gezeigt wird. Dabei setzt er die Speicherzellenanordnung (73) aus Druckschrift D1 mit dem Speicherzellenbereich (A) aus Druckschrift D2 und die peripheren Schaltkreise (76) aus Druckschrift D1 mit dem peripheren Schaltungsbereich (*peripheral circuit area B*) aus Druckschrift D2 gleich. Damit gelangt er, ohne erfinderisch tätig zu werden, durch die Kombination der Lehren der Druckschriften D1 und D2 zum Gegenstand des Anspruchs 1 des Hilfsantrags 2, der deshalb ebenfalls nicht patentfähig ist.

5. Anspruch 1 des Hilfsantrags 3 ist nicht zulässig, da sein Gegenstand gegenüber der ursprünglichen Offenbarung erweitert ist (§ 38 PatG).

So enthält Anspruch 3 des Hilfsantrags 3 unter anderem das Merkmal „wobei die Verdrahtung oberhalb jeglicher Schmelzsicherung (71) jeglicher zweiten Makrozelle zu der wenigstens einen ersten Makrozelle (41 bis 44) führt“, welches in den am Anmeldetag der Stammanmeldung eingereichten Unterlagen nicht unmittelbar und eindeutig offenbart ist.

Die ursprüngliche Fig. 5 zeigt zwar eine Verdrahtung (diese ist von der ebenfalls beanspruchten und auch offenbarten Verdrahtung (61 bis 64) zu unterscheiden), welche über den Halbleiterchip (*ASIC semiconductor chip 10A*) führt, nämlich die in Fig. 5 eingezeichneten senkrechten geraden Linien. Jedoch kann Fig. 5 nicht entnommen werden, dass diese Verdrahtung irgendeine Verbindung mit einer der darunterliegenden Makrozellen (*macro cell 41 bis 44*) aufweist und somit zu einer von ihnen führt.

Auch die Beschreibung gibt darauf keinen Hinweis. So wird die Verdrahtung in Zusammenhang mit Fig. 5 nur dahingehend beschrieben, dass im Gegensatz zum Stand der Technik diese ohne eine Umwegverdrahtung ausgeführt werden kann (vgl. S. 11, 1. Abs. der ursprünglichen englischsprachigen Beschreibung: *„Since the defect location signal generating circuits 51 to 54 are arranged in the peripheral area on the chip 10A, prior art wiring, as shown in Fig. 12, which are designed by a user are modified into a pattern of configuration as shown in Fig. 5, according to the first embodiment, so that detour wiring around the circuits 51 to 54, a majority of whose area is occupied by the fuses, is absent. With the elimination of the detour wiring, not only wiring area can be reduced due to suppressed increase in wiring length, but a signal propagation delay time can also be shortened.”*).

Dabei wird auf Fig. 12 verwiesen, die den Stand der Technik und dort ebenfalls eine Verdrahtung, nämlich die über den Halbleiterchip verlaufenden Linien mit Umwegen zeigt. Auch in Fig. 12 wird dabei nicht gezeigt, dass diese Verdrahtung irgendeine Verbindung zu den Makrozellen (*macro cell 11 bis 14*) aufweist, so dass auch hier die Verdrahtung zu keiner der Makrozellen führt. Die zugehörige Beschreibung gibt zwar an, dass die Verdrahtung für die Energiezufuhr und die Übertragung von Signalen dient (vgl. S. 2, 3 *seitenübergreifender Abs.:* *„Since wiring cannot be laid in an upper layer of the fuse circuit 31, when wiring of signal and power is designed on a user side, as shown in Fig. 12, wiring has to be laid with making a detour around the defect-repairing control circuit 30 whose majority area is the fuse circuit. Hence, there arise problems that not only an area for the wiring increases due to increase in length of the wiring, but also a signal propagation delay time becomes longer.”*), doch kann aus dieser Angabe nicht zwingend geschlossen werden, dass es sich um die Energieversorgung der und die Signalübertragung zu den ersten Makrozellen handelt, woraus sich ergäbe, dass die Leitungen zu den ersten Makrozellen führen. Vielmehr kann es sich bei der Energieversorgung und den Signalen auch um solche handeln, welche für andere Teile

des Halbleiterchips, oder außerhalb des Halbleiterchips liegende Bestandteile bestimmt sind.

Und auch die von der Anmelderin in der mündlichen Verhandlung als weitere Offenbarungsquelle angegebene Fig. 9 zeigt abgesehen von der Verdrahtung 82 und 84, welche im Anspruch 1 des Hilfsantrags 3 zusätzlich beansprucht wird, keine Verdrahtung, die zu einer der Makrozellen (41 bis 44) führt, so dass auch diese Figur nicht als ursprüngliche Offenbarungsquelle dienen kann, zumal sie auch andere Merkmale des Anspruchs 1 des Hilfsantrags 3 nicht zeigt, so beispielsweise, dass wenigstens eine zweite Makrozelle (*macro cell 81, 83*) in einem peripheren Bereich des Halbleiterchips angeordnet ist.

Damit ist der in Anspruch 1 des Hilfsantrags 3 beanspruchte Gegenstand den ursprünglich eingereichten Unterlagen nicht unmittelbar und eindeutig zu entnehmen, weshalb eine unzulässige Erweiterung vorliegt (*vgl. BGH GRUR 2010, 910 - „Fälschungssicheres Dokument“*) und der Anspruch 1 des Hilfsantrags 3 unzulässig ist.

6. Bei dieser Sachlage war die Beschwerde der Anmelderin zurückzuweisen.

Dr. Strößner

Brandt

Metternich

Dr. Zebisch

CI