



BUNDESPATENTGERICHT

23 W (pat) 41/12

(Aktenzeichen)

Verkündet am
25. November 2014

...

BESCHLUSS

In der Beschwerdesache

...

betreffend die Patentanmeldung 10 2010 064 495.1

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 25. November 2014 unter Mitwirkung des Vorsitzenden Richters Dr. Strößner, der Richter Brandt und Dr. Friedrich und der Richterin Dr. Hoppe

beschlossen:

1. Der angefochtene Beschluss der Prüfungsstelle für Klasse H01L des Deutschen Patent- und Markenamts vom 10. Juli 2012 wird aufgehoben.
2. Die Anmeldung wird zur weiteren Prüfung an das Deutsche Patent- und Markenamt zurückverwiesen.

Gründe

I.

Die vorliegende Anmeldung 10 2010 064 495 ist als Ausscheidungsanmeldung aus der am 6. Juli 2010 beim Deutschen Patent- und Markenamt eingereichten Patentanmeldung 10 2010 017 768 hervorgegangen. Sie trägt die Bezeichnung „Halbleiter-Bauelement“ und nimmt die Priorität US 12/536 712 vom 6. August 2009 in Anspruch.

In der Stammanmeldung 10 2010 017 768 hat die Prüfungsstelle für Klasse H01L im Erstbescheid vom 26. September 2011 zunächst die mangelnde Einheitlichkeit der Patentanmeldung gerügt und die Anmelderin zur Herstellung der Einheitlichkeit aufgefordert. Zudem hat die Prüfungsstelle in diesem Bescheid auf den Stand der Technik gemäß den Druckschriften

D1 US 6 323 062 A

D2 JP 8 – 070 081 A und

D3 DE 10 2006 036 728 A1

verwiesen und u. a. dargelegt, ein Halbleiterbauelement mit den Merkmalen des selbständigen Anspruchs 20 sei aus der Fig. 9 der Druckschrift D3 bekannt, so dass das entsprechende Halbleiterbauelement nicht neu und daher nicht patentfähig sei.

Mit Erklärung vom 10. Mai 2012 hat die Anmelderin daraufhin die „Teilung“ der Anmeldung erklärt und hierzu eine Beschreibung mit S. 1 - 23, Figuren 1 - 9 und Ansprüchen 1 - 6 eingereicht, wobei der Anspruch 1 mit dem ursprünglichen Anspruch 20 und die übrigen Ansprüche 2 bis 6 mit den ursprünglichen Ansprüchen 21 bis 25 identisch sind. Mit Beschluss vom 10. Juli 2012 hat die Prüfungsstelle die „Teilanmeldung“ unter Hinweis auf ihre Darlegungen zum Anspruch 20 im Erstbescheid der Stammanmeldung zurückgewiesen und in ihrer Begründung dargelegt, dass der Gegenstand des mit diesem Anspruch wortgleichen Anspruchs 1 gegenüber dem Stand der Technik gemäß der Druckschrift D3 nicht neu sei.

Gegen den ihr am 13. Juli 2012 zugestellten Beschluss hat die Anmelderin mit Schriftsatz vom 13. August 2012, fristgerecht eingegangen beim DPMA am selben Tag, Beschwerde eingelegt und diese mit Schriftsatz vom 21. November 2013 begründet.

Ergänzend zu dem von der Prüfungsstelle im Prüfungsverfahren zur Stammanmeldung ermittelten Stand der Technik hat der Senat noch die Druckschriften

D4 US 2005/0150686 A1

D5 DE 10 2009 059 236 A1 (nicht vorveröffentlichte ältere Anmeldung) und

D6 DE 10 2007 017 831 A1

in das Verfahren eingeführt.

Die Anmelderin beantragt,

1. den angefochtenen Beschluss der Prüfungsstelle für Klasse H01L des Deutschen Patent- und Markenamtes vom 10. Juli 2012 aufzuheben,
2. ein Patent zu erteilen mit der Bezeichnung „Halbleiter-Bauelement“, dem Anmeldetag 6. Juli 2010 und der ausländischen Priorität US 12/ 536 712 vom 6. August 2009 auf der Grundlage folgender Unterlagen:
 - Patentansprüche 1 und 2, eingereicht am 25. November 2014,
 - Beschreibungsseiten 1 bis 23, eingegangen beim Deutschen Patent- und Markenamt am 10. Mai 2012, sowie
 - 10 Blatt Zeichnungen mit Figuren 1, 2A bis 2C, 3, 4A bis 4D, 5A bis 5K, 6A bis 6C, 7A bis 7E, 8, 9, eingegangen beim Deutschen Patent- und Markenamt am 10. Mai 2012.

Sie regt zudem an, die Anmeldung an das Deutsche Patent- und Markenamt zurückzuverweisen.

Der geltende Anspruch 1 und der auf ihn rückbezogene Unteranspruch 2 lauten:

„1. Halbleiter-Bauelement (10), umfassend:

einen Halbleiterchip (2A), der eine obere Oberfläche, eine untere Oberfläche gegenüber der oberen Oberfläche, und Seitenoberflächen umfasst, wobei der Halbleiterchip (2A) ferner elektrische Kontaktelemente (2A.1) auf der oberen Oberfläche umfasst,

eine harzbeschichtete Kupferschicht (3), die eine auf einer Kupferschicht (3B) aufgebraute Harzschicht (3A) umfasst, wobei

der Halbleiterchip (2A) in die Harzschicht (3A) eingebettet ist, so dass die obere Oberfläche und die Seitenoberflächen des Halbleiterchips bedeckt sind, und wobei die Kupferschicht elektrisch leitende Bereiche (3B.1) umfasst, wobei jeder einzelne der elektrisch leitenden Bereiche (3B.1) elektrisch mit einem der Kontaktelemente des Chips verbunden ist, wobei

die Harzschicht (3A) eine erste Oberfläche und eine zweite Oberfläche gegenüber der ersten Oberfläche umfasst,

die elektrisch leitenden Bereiche (3B.1) auf der ersten Oberfläche der Harzschicht aufgebracht sind,

die zweite Oberfläche der Harzschicht im Wesentlichen koplanar zur unteren Oberfläche des Chips ist, und

die elektrisch leitenden Bereiche (3B.1) jeweils mit einer jeweiligen elektrischen Verbindung (5) verbunden sind, wobei die elektrische Verbindung von der ersten Oberfläche der Harzschicht zu der zweiten Oberfläche der Harzschicht reicht und eine äußere Seitenwand des Halbleiter-Bauelements bildet.

2. Halbleiter-Bauelement nach Anspruch 1, wobei eine Kontaktmetallisierung zwischen jedem einzelnen der Kontaktelemente und dem jeweiligen elektrisch leitenden Bereich vorgesehen ist.“

Hinsichtlich der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

II.

1. Die Beschwerde ist zulässig und hat insoweit Erfolg, als der Beschluss der Prüfungsstelle aufgehoben und die Anmeldung zur weiteren Recherche und Prüfung an das Deutsche Patent- und Markenamt zurückverwiesen wird (§ 79 PatG).

Die in dem Antrag auf Erteilung eines Patents vom 3. Mai 2012 erklärte „Teilung“ ist dahingehend auszulegen, dass es sich um eine Ausscheidungsanmeldung handelt, mit der dem von der Prüfungsstelle im Bescheid vom 26. September 2011 erhobenen Einwand der Uneinheitlichkeit (§ 34 Abs.5 PatG) begegnet werden sollte (zur Auslegung vgl. Schulte, PatG, 9. Aufl., § 34 Rn. 256).

Als Fachmann ist im vorliegenden Fall ein in der Halbleiterindustrie tätiger berufserfahrener Diplom-Ingenieur der Elektrotechnik mit Hochschul- oder Fachhochschulabschluss anzusehen, der mit der Weiterentwicklung der Aufbau- und Verbindungstechnik von Halbleiterbauelementen betraut ist.

2. Die vorliegende Anmeldung betrifft ein Halbleiter-Bauelement.

Halbleiterchips enthalten Kontaktpads oder Kontaktelemente auf einer oder beiden ihrer Hauptoberflächen. Bei einem Halbleiter-Bauelement ist der Halbleiterchip in das Bauelement eingebettet oder darin untergebracht und die Kontaktpads oder Kontaktelemente des Halbleiterchips sind mit externen Kontaktelementen des Bauelements verbunden, vgl. S. 1, 1. und 2. Textabs. der geltenden Beschreibungsunterlagen.

Der vorliegenden Anmeldung liegt als technisches Problem die Aufgabe zugrunde, ein Halbleiter-Bauelement anzugeben, das mit einer niedrigen Anzahl an Prozess-

schritten, einer hohen Bauteilzuverlässigkeit und geringen Prozesskosten hergestellt werden kann, vgl. S. 1, 3. Textabs. der geltenden Unterlagen.

Gemäß dem geltenden Anspruch 1 wird diese Aufgabe durch ein Halbleiter-Bauelement gelöst, das einen Halbleiterchip umfasst, der eine obere Oberfläche, eine untere Oberfläche gegenüber der oberen Oberfläche und Seitenoberflächen sowie elektrische Kontaktelemente auf der oberen Oberfläche umfasst. Weiterhin weist das Halbleiter-Bauelement eine harzbeschichtete Kupferschicht auf, die eine auf einer Kupferschicht aufgebraachte Harzschicht umfasst, wobei der Halbleiterchip in die Harzschicht eingebettet ist, so dass die obere Oberfläche und die Seitenoberflächen des Halbleiterchips bedeckt sind, und wobei die Kupferschicht elektrisch leitende Bereiche umfasst und jeder einzelne der elektrisch leitenden Bereiche elektrisch mit einem der Kontaktelemente des Chips verbunden ist. Dabei weist die Harzschicht eine erste Oberfläche und eine zweite Oberfläche gegenüber der ersten Oberfläche auf, wobei die elektrisch leitenden Bereiche auf der ersten Oberfläche der Harzschicht aufgebracht sind und die zweite Oberfläche der Harzschicht im Wesentlichen koplanar zur unteren Oberfläche des Chips ist. Ferner sind die elektrisch leitenden Bereiche jeweils mit einer jeweiligen elektrischen Verbindung verbunden, die von der ersten Oberfläche der Harzschicht zu der zweiten Oberfläche der Harzschicht reicht und eine äußere Seitenwand des Halbleiter-Bauelements bildet.

3. Der geltende Anspruchssatz ist zulässig.

Der geltende Anspruch 1 geht auf die ursprünglichen Ansprüche 20 bis 25 zurück. Die gegenüber diesen Ansprüchen zusätzlich eingefügte Angabe, dass der Chip so in die Harzschicht eingebettet ist, dass die obere Oberfläche und die Seitenoberfläche bedeckt sind, ist auf S. 14, Zeilen 25 bis 34 der Stammanmeldung bzw. S. 14, Zeilen 15 bis 24 der Ausscheidungsanmeldung offenbart.

Die außerdem eingefügte Angabe, dass die zweite Oberfläche der Harzschicht im

Wesentlichen koplanar zur unteren Oberfläche des Chips ist, ist im ursprünglichen Beschreibungstext zwar nicht explizit offenbart. Diese Eigenschaft ergibt sich für den Fachmann jedoch unmittelbar und eindeutig aus den Angaben zum Herstellungsverfahren des Halbleiter-Bauelements, denn in diesen wird beschrieben, dass nach dem bei erhöhter Temperatur und unter Druck durchgeführten Laminiervorgang das Laminat „3“ mit dem fließfähigen Harzmaterial die Chips einbettet, wobei die erste Hauptfläche „3.1“ dem ersten Träger „1“ zugewandt ist, vgl. in der Stammanmeldung S. 8, Zeilen 20 bis 23 bzw. in der Ausscheidungsanmeldung S. 8, Zeilen 10 bis 14. Wie die zugehörige Fig. 2C zeigt, berührt die genannte erste Hauptfläche „3.1“ des Laminats dabei den ebenen ersten Träger, auf dem die Chips mit ihrer unteren Oberfläche angeordnet sind, was zwangsläufig dazu führt, dass die entsprechende Oberfläche der Harzschicht koplanar zur unteren Oberfläche der Chips ist. In gleicher Weise ergibt sich dies auch aus dem Text auf S. 14, Zeilen 25 bis 34 der Stammanmeldung bzw. S. 14, Zeilen 15 bis 24 der Ausscheidungsanmeldung i. V. m. Fig. 5C bis 5J, wobei Fig. 5J das fertige Halbleiterbauelement zeigt, bei dem die Chipunterseite und die untere Oberfläche des Laminats koplanar sind.

Auch die zusätzliche Angabe, dass die elektrische Verbindung „eine äußere Seitenwand des Halbleiterbauelements“ bildet, findet im Text keine explizite Stütze. Dieser Sachverhalt ergibt sich für den Fachmann jedoch unmittelbar und eindeutig daraus, dass durch einen Metallisierungsvorgang elektrische Verbindungsabschnitte „5“ hergestellt werden, die beim Vereinzeln der Chips des Wafers durchgesägt oder durchgeätzt werden, wonach die Halbleiter-Bauelemente vom Träger „4“ gelöst werden, vgl. S. 16, Zeile 31 bis S. 17, Zeile 17 der Stammanmeldung bzw. S. 16, Zeile 21 bis S. 17, Zeile 8 der Ausscheidungsanmeldung, wobei die Fig. 5I und 5J zeigen, dass die nach diesem Vereinzelvorgang verbleibenden elektrischen Verbindungen die Seitenwände des Halbleiterbauelements bilden.

Der zugehörige Unteranspruch 2 ist durch den Anspruch 21 des ursprünglichen Anspruchssatzes gedeckt.

4. Der bisher ermittelte Stand der Technik steht dem Halbleiter-Bauelement nach Anspruch 1 nicht patenthindernd entgegen.

4.1 Die Druckschrift D3 offenbart in Übereinstimmung mit der Lehre des Anspruchs 1 ein Halbleiterbauelement mit einem Halbleiterchip, der eine obere Oberfläche, eine untere Oberfläche gegenüber der oberen Oberfläche und Seitenoberflächen sowie elektrische Kontaktelemente auf der oberen Oberfläche umfasst. Weiterhin weist das Halbleiter-Bauelement eine harzbeschichtete Kupferschicht in Form eines RCC (*resin coated copper*) - Laminats auf, das eine auf einer Kupferschicht aufgebrachte Harzschicht umfasst, wobei der Halbleiterchip in die Harzschicht eingebettet ist, so dass die obere Oberfläche und die Seitenoberflächen des Halbleiterchips bedeckt sind. Dabei weist die Harzschicht eine erste Oberfläche und eine zweite Oberfläche gegenüber der ersten Oberfläche auf, wobei die zweite Oberfläche der Harzschicht im Wesentlichen koplanar zur unteren Oberfläche des Chips ist. Die Kupferschicht umfasst elektrisch leitende Bereiche, die auf der ersten Oberfläche der Harzschicht aufgebracht sind, wobei jeder einzelne der elektrisch leitenden Bereiche elektrisch mit einem der Kontaktelemente des Chips verbunden ist. Zur Herstellung dieser Halbleiter-Bauelemente können die Chips bereits vereinzelt und auf eine Leiterplatte aufgebracht sein, es kann aber auch ein gesamter Wafer mit den in diesem integrierten Chips mit dem RCC-Laminat bedeckt werden, wobei hier die Halbleiter-Bauelemente nach dem (in der Druckschrift D3 nicht genannten, aber zwangsläufig notwendigen) Zerteilen des Wafers in die einzelnen Chips vorliegen (*Die vorliegende Erfindung betrifft ein Verfahren zur elektrischen Kontaktierung ein oder mehrerer mikroelektronischer Bauelemente, die auf einem Substrat aufgebracht oder in ein Substrat integriert und elektrische Kontaktflächen aufweisen, die an einer Oberfläche des Substrates zugänglich sind. Bei dem Verfahren wird eine Metallfolie oder Metallschicht mittels eines isolierenden Bindemittels mit der Oberfläche des Substrates verbunden und ein elektrischer Kontakt zwischen der Metallfolie oder Metallschicht und den elektrischen Kontaktflächen hergestellt. Hierzu werden auf die Kontaktflächen der*

mikroelektronischen Bauelemente elektrisch leitfähige Kontaktierungshöcker aufgebracht, die eine beim Verbinden der Metallfolie mit der Oberfläche des Substrates durch das Bindemittel gebildete Schicht vollständig durchdringen und durch Einwirkung von Druck und/oder Temperatur während des Verbindens den elektrischen Kontakt zwischen der Metallfolie oder Metallschicht und den elektrischen Kontaktflächen herstellen. Das vorliegende Verfahren ermöglicht eine kostengünstige elektrische Kontaktierung von mikroelektronischen Bauelementen, beispielsweise auf Leiterplattenlagen, ohne die Notwendigkeit der Erzeugung von Mikrolöchern / Zusammenfassung // **Fig. 1** zeigt stark schematisiert ein erstes Beispiel für eine Ausgestaltung des vorliegenden Verfahrens, bei dem ein auf einer Leiterplattenlage 1 aufgebrachter Halbleiterchip 2 kontaktiert werden soll. Der Halbleiterchip 2 ist hierzu mit seiner Rückseite über eine in der Figur nicht erkennbare Klebeschicht mit der Oberfläche der Leiterplattenlage 1 verbunden. Die Kontaktflächen des Halbleiterchips 2 zeigen nach oben, d. h. sie sind auf der der Oberfläche der Leiterplattenlage 1 abgewandten Oberfläche des Halbleiterchips 2 angeordnet. Vor dem Aufkleben des Halbleiterchips 2 auf die Leiterplattenlage 1 wird auf die elektrischen Kontaktflächen des Halbleiterchips mit einem bekannten Verfahren, beispielsweise mittels Schablonendruck oder durch Tauchbelotung, jeweils ein Lothöcker 3 aufgebracht. Hierzu wird im vorliegenden Beispiel ein Lotmaterial mit einer Schmelztemperatur von 220° gewählt. **Fig. 1** zeigt den Aufbau nach dem Verbinden des Halbleiterchips 2 mit der Leiterplattenlage 1, wobei die nach oben ragenden Lothöcker 3 zu erkennen sind. Anschließend wird im vorliegenden Beispiel eine Lage RCC-Laminat 7, die sich aus einer Kupferfolie 5 mit einer Polymerschicht 4 zusammensetzt, auf die Oberfläche der Leiterplattenlage 1 mit dem Halbleiterchip 2 auflaminiert. In diesem Laminierprozess, der hier bei einer Temperatur von 200°C durchgeführt wird, erweicht das Polymer 4 des Laminats 7 und umfließt den Halbleiterchip 2. Gleichzeitig drückt sich das Lot der Lothöcker 3 durch das weicher werdende Polymer 4 und wird dann bei ansteigender Temperatur ebenfalls weich oder flüssig, wobei es sich mit der Unterseite der Kupferfolie 5 verbindet. Kühlt sich der Aufbau anschließend wieder ab, so erstarrt das Lot und eine elektrische Verbindung zwischen den Kontakten des Halbleiter-

chips 2 und der Kupferfolie 5 des Laminats 7 ist entstanden / Abschnitte [0028] und [0029] i: V: m: Fig. 1 // Fig. 4 zeigt ein weiteres Beispiel, bei dem das Substrat ein Halbleiterwafer 9 ist, in den die Halbleiterchips in bekannter Weise integriert sind. Auch hier werden zunächst auf die oben liegenden Kontaktflächen der Halbleiterchips Lothöcker 3 aufgebracht, wie dies bereits bei den vorangegangenen Ausführungsbeispielen erläutert wurde. Anschließend erfolgt der Verbindungsprozess mit einer Kupferfolie 5 durch das Auflaminieren eines RCC-Laminats 7 / Abschnitte [0032] und [0033] i: V: m: Fig. 4).

Abweichend von der im letzten Merkmal des Anspruchs gegebenen Lehre sind die elektrisch leitenden Bereiche hier jedoch nicht mit einer elektrischen Verbindung verbunden, die von der ersten Oberfläche zur zweiten Oberfläche der Harzschicht reicht. Eine solche Verbindung ist bei dem Bauelement nach der Druckschrift D3 nicht vorgesehen. Damit weist das Halbleiterbauelement nach der D3 auch keine aus dieser Verbindung gebildete Seitenwand auf.

Die Druckschrift D6 offenbart ein Halbleiterbauelement, bei dem der Chip in einen Fotolack eingebettet ist, der fotolithografisch strukturiert und metallisiert wird, so dass auf der oberen Oberfläche der Fotolackschicht elektrisch leitende Bereiche gebildet werden, die mit Kontaktelementen auf dem Chip verbunden sind. Ein Teil dieser elektrisch leitenden Bereiche ist mit Verbindungen verbunden, die von der ersten Oberfläche der Fotolackschicht zur zweiten Oberfläche der Fotolackschicht reichen (In **Fig. 7** ist ein Modul 700 gezeigt, das eine Weiterbildung des in **Fig. 1B** gezeigten Moduls 100B darstellt. Das Modul 700 enthält einen Halbleiterchip 701 mit einem Kontaktelement 702 auf einer Hauptoberfläche 703 und Kontaktelementen 704 und 705 auf einer Hauptoberfläche 706. Der Halbleiterchip 701 ist auf einen Träger 707 aufgebracht, der beispielsweise aus Kupfer besteht und eine planare Oberfläche aufweist. Das Kontaktelement 702 kann mit dem Träger 707 beispielsweise durch Diffusionslötungen oder mittels eines leitenden Klebers verbunden sein. Der Halbleiterchip 701 und der Träger 707 sind mit einer Schicht 708 aus Fotolack überzogen. Die Fotolackschicht 708 kann durch eine Schablone oder mittels Spin-Coating aufgebracht worden sein. Die Fotolackschicht 708 ist foto-

*lithografisch strukturiert und metallisiert worden. Dabei wurden Außenkontaktelemente 709 ,710 und 711 geschaffen, welche mit den Kontaktelementen 704 und 705 bzw. dem Träger 707 verbunden sind. Das Außenkontaktelement 709 kann sich über den Rand des Halbleiterchips 701 hinaus über den Träger 707 erstrecken. Der Halbleiterchip 701 kann insbesondere ein vertikaler Leistungs-MOSFET sein, wobei das Kontaktelement 702 der Drain-Anschluss, das Kontaktelement 704 der Source-Anschluss und das Kontaktelement 705 der Gate-Anschluss sind. Das Modul 700 kann in entsprechender Weise zu dem in **Fig. 6** gezeigten Modul 600 gefertigt werden, d. h. es werden mehrere Halbleiterchips 701 auf einen Träger 707 aufgebracht, die Halbleiterchips 701 werden mit einer Fotolackschicht 708 überzogen, die Außenkontaktelemente 709 bis 711 werden hergestellt und erst danach werden die Module 700 vereinzelt / Abschnitte [0041] bis [0043] i: V: m: Fig. 7).*

Angesichts dieses Standes der Technik liegt es für den Fachmann zwar nahe, die elektrisch leitenden Bereiche bei dem Halbleiter-Bauelement nach der Druckschrift D3 mit Verbindungen zu verbinden, die von der ersten Oberfläche zur zweiten Oberfläche der Harzschicht reichen, um - wie bspw. beim Gegenstand der Druckschrift D6 - bei vertikalen Leistungs-Halbleiterbauelementen die Unterseite des Chips anzuschließen. Jedoch bildet diese Verbindung bei dem Halbleiter-Bauelement nach der Druckschrift D6 keine äußere Seitenwand des Bauelements, wie es das letzte Teilmerkmal des entsprechenden Merkmals des Anspruchs 1 angibt. Wie die Fig. 7 der Druckschrift D6 zeigt, wird die Seitenwand des Bauelements hier nämlich durch die Fotolackschicht („708“) gebildet, in die der Halbleiterchip und die genannte Verbindung eingebettet ist.

Auch die weitere Druckschrift D4 gibt hierzu keinen Hinweis, da sie sich lediglich allgemein mit der Herstellung von Verbindungen zwischen mehreren Leiterbahnebenen einer Multilayer-Leiterbahnanordnung beschäftigt, vgl. hierzu das Abstract.

Insofern kann der bisher ermittelte vorveröffentlichte Stand der Technik das beim Anspruch 1 verbleibende Teilmerkmal nicht nahelegen.

4.2 Die nicht vorveröffentlichte Druckschrift D5 ist lediglich im Hinblick auf die Neuheitsprüfung zu würdigen.

Das in dieser Druckschrift beschriebene Halbleiterbauelement weist zwar ebenfalls einen Halbleiterchip (*Halbleiterchips 12*) mit Kontaktelementen (*Elektroden 23, 24, 25*) sowie eine harzbeschichtete Kupferschicht (*dielektrische Schicht 13 mit Metallschicht 34, die ein RCC sein kann, vgl. Abschnitt [0035] zur Fig. 2*) auf, wobei der Chip in die Harzschicht eingebettet ist und elektrisch leitende Bereiche auf der ersten Oberfläche des Harzes ausgebildet sind, die mit Kontaktelementen des Chips verbunden sind (*vgl. Fig. 5F bis 5H*). Zudem sind auch hier die elektrisch leitenden Bereiche mit einer elektrischen Verbindung verbunden, die von der ersten zur zweiten Oberfläche der Harzschicht reicht (*vgl. Fig. 5H*). Jedoch bildet diese Verbindung nur teilweise die äußere Seitenwand des Halbleiterbauelements, denn der Chip ist hier auf einem strukturierten Träger (*Träger 11*) aufgebracht, der neben einem Kontakt für den Chip (*Die-Pad 50*) Kontakte (*externe Kontaktpads 51*) aufweist, die als externe Kontaktelemente für den Anschluss der elektrischen Verbindung zu den Elektroden (*Elektroden 24, 25*) auf dem Halbleiterchip dienen (*Eine weitere Variation des in Fig. 2A bis Fig. 2K gezeigten Fabrikationsverfahrens ist schematisch in Fig. 5A bis Fig. 5I gezeigt. Die Differenz zwischen beiden Verfahren ist die Verwendung von strukturierten Trägern 11, wie in Fig. 5A gezeigt. Die strukturierten Träger 11 können Die-Pads 50 und externe Kontaktpads 51 enthalten. Die strukturierten Träger 11 können Systemträger sein und können aus Metallen oder Metalllegierungen hergestellt sein, beispielsweise Kupfer, Kupferlegierungen, Eisen-Nickel, Aluminium, Aluminiumlegierungen. Weiterhin können die strukturierten Träger 11 mit einem elektrisch leitenden Material beschichtet sein, beispielsweise Kupfer, Silber, Eisen-Nickel oder Nickelphosphor. Die Halbleiterchips 12 können an den Die-Pads 50 angebracht sein, wie in Fig. 5B gezeigt und oben in Verbindung mit Fig. 2B beschrieben. Die in Fig. 5C bis Fig. 5I gezeigten Fabrikationsprozesse können im Wesentlichen identisch oder ähnlich den in Fig. 2C bis Fig. 2K gezeigten Fabrikationsprozessen sein. Die durch das Verfahren der Fig. 5A bis Fig. 5I erhaltenen Bauelemente 500 sind in Fig. 5I gezeigt. Im Gegensatz zu dem Bauelement 200 befindet sich die Montageoberfläche 38 des Bauelements 500 auf der Bodenfläche des Bauele-*

ments 500. Das Die-Pad 50 funktioniert als das externe Kontaktelement 35 , das elektrisch an die erste Elektrode 23 des Halbleiterchips 12 gekoppelt ist. Die externen Kontaktpads 51 fungieren als die externen Kontaktelemente 36 und 37 , die elektrisch an die zweite Elektrode 24 beziehungsweise die Steuerelektrode 25 des Halbleiterchips 12 gekoppelt sind / Abschnitte [0048] und [0049] i. V. m. Fig. 5A bis 5I sowie die Beschreibung zu den Fig. 2C bis „K in den Abschnitten [0032] bis [0042], in der insbesondere das Aufbringen des RCC-Laminats, das Einbetten des Chips in dessen Harzschicht und die Bildung der leitenden Bereiche zum Anschluss der Kontakte auf dem Chip beschrieben wird).

Bei den mit diesem Prozess hergestellten Halbleiter-Bauelementen bildet somit die Verbindung von der ersten zur zweiten Oberfläche der Harzschicht nur zusammen mit dem externen Kontaktpad (51) des Trägers (11) die äußere Seitenwand des Bauelements, wie dies dementsprechend auch die Fig. 5I in augenfälliger Weise zeigt. Insofern ist die im Anspruch 1 angegebene Ausbildung hinsichtlich dieses Teilmerkmals hier nicht gegeben, d. h. das Halbleiter-Bauelement nach Anspruch 1 ist gegenüber dem Stand der Technik gemäß der Druckschrift D5 neu.

4.3 Die Druckschriften D1 und D2, die die Prüfungsstelle im Prüfungsverfahren zur Stammanmeldung im Hinblick auf das in dieser beanspruchte Verfahren genannt hat, sind für das Halbleiter-Bauelement nach Anspruch 1 ohne Belang und haben dementsprechend im vorliegenden Verfahren keine Rolle gespielt.

5. Da nicht auszuschließen ist, dass zu dem oben diskutierten Merkmal des in der mündlichen Verhandlung präzisierten Anspruchs 1 weiterer, auch vorveröffentlichter Stand der Technik zu berücksichtigen ist, ist eine Recherche durch die Prüfungsstelle angezeigt. Auf der Basis des dabei ggfs. ermittelten Standes der Technik wäre dann über die Patentfähigkeit der Lehre des Anspruchs 1 zu entscheiden.

6. Bei dieser Sachlage ist der Beschluss der Prüfungsstelle aufzuheben und die Anmeldung gemäß § 79 (3) PatG zur weiteren Recherche und Prüfung auf der Grundlage der geltenden Ansprüche 1 und 2 an das Deutsche Patent- und Mar-

kenamt zurückzuverweisen.

R e c h t s m i t t e l b e l e h r u n g

Gegen diesen Beschluss steht der Beschwerdeführerin - vorbehaltlich des Vorliegens der weiteren Rechtsmittelvoraussetzungen, insbesondere einer Beschwer - das Rechtsmittel der **Rechtsbeschwerde** zu. Da der Senat die Rechtsbeschwerde nicht zugelassen hat, ist sie nur statthaft, wenn einer der nachfolgenden Verfahrensmängel gerügt wird, nämlich

1. dass das beschließende Gericht nicht vorschriftsmäßig besetzt war,
2. dass bei dem Beschluss ein Richter mitgewirkt hat, der von der Ausübung des Richteramtes kraft Gesetzes ausgeschlossen oder wegen Besorgnis der Befangenheit mit Erfolg abgelehnt war,
3. dass einem Beteiligten das rechtliche Gehör versagt war,
4. dass ein Beteiligter im Verfahren nicht nach Vorschrift des Gesetzes vertreten war, sofern er nicht der Führung des Verfahrens ausdrücklich oder stillschweigend zugestimmt hat,
5. dass der Beschluss aufgrund einer mündlichen Verhandlung ergangen ist, bei der die Vorschriften über die Öffentlichkeit des Verfahrens verletzt worden sind, oder
6. dass der Beschluss nicht mit Gründen versehen ist.

Die Rechtsbeschwerde ist **innerhalb eines Monats** nach Zustellung des Beschlusses schriftlich durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten beim Bundesgerichtshof, Herrenstr. 45 a, 76133 Karlsruhe, einzureichen oder durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten in elektronischer Form bei der elektronischen Poststelle des BGH, www.bundesgerichtshof.de/erv.html. Das elektronische Dokument ist mit einer prüfbaren qualifizierten elektronischen Signatur nach dem

Signaturgesetz oder mit einer prüfbaren fortgeschrittenen elektronischen Signatur zu versehen. Die Eignungsvoraussetzungen für eine Prüfung und für die Formate des elektronischen Dokuments werden auf der Internetseite des Bundesgerichtshofs www.bundesgerichtshof.de/erv.html bekannt gegeben.

Dr. Strößner

Brandt

Dr. Friedrich

Dr. Hoppe

prä