



# BUNDESPATENTGERICHT

23 W (pat) 3/13

---

(Aktenzeichen)

Verkündet am  
11. Juni 2015

...

## BESCHLUSS

In der Beschwerdesache

...

### **betreffend die Patentanmeldung 10 2007 037 798.5-33**

hat der 23. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 11. Juni 2015 unter Mitwirkung des Vorsitzenden Richters Dipl.-Phys. Dr. Strößner und der Richter Dipl.-Phys. Dr. Friedrich, Dipl.-Phys. Dr. Zebisch und Dr. Himmelmann

beschlossen:

Die Beschwerde wird zurückgewiesen.

## **Gründe**

### **I.**

Die vorliegende Anmeldung mit dem Aktenzeichen 10 2007 037 798.5-33 und der Bezeichnung „Anordnung von Halbleiterchips mit integrierter Schaltung und Verfahren zum Fertigen derselben“ wurde am 10. August 2007 von der Firma Q...-... GmbH beim Deutschen Patent- und Markenamt angemeldet. Gleichzeitig mit der Anmeldung wurde Prüfungsantrag gestellt. Mit Schriftsatz vom 14. November 2008, am selben Tag beim Deutschen Patent- und Markenamt eingegangen, wurde für die Anmeldung die Priorität US 11/830,614 vom 30. Juli 2007 in Anspruch genommen. Mit einer Eingabe vom 11. Oktober 2007 wurden vorschriftsmäßige Zeichnungen eingereicht, welche zusammen mit den übrigen Unterlagen am 26. Februar 2009 mit der DE 10 2007 037 798 A1 offengelegt wurden.

Die Prüfungsstelle für Klasse H01L hat in ihrem Erstbescheid vom 12. Februar 2008 auf den Stand der Technik gemäß den folgenden Druckschriften verwiesen:

- D1 US 2005/0 266 614 A1;
- D2 US 2002/0 195 697 A1;
- D3 US 2005/0 170 600 A1.

Sie hat in diesem Bescheid auf Mängel in der Anmeldung hingewiesen und ausgeführt, dass die beanspruchten Gegenstände und Verfahren gegenüber diesem Stand der Technik nicht patentfähig seien.

Die Anmelderin hat dem in einer Eingabe vom 18. Juli 2008, mit der sie auch einen neuen Satz Patentansprüche eingereicht hat, zumindest im Hinblick auf diese neuen Patentansprüche in allen Punkten widersprochen.

Am 25. Mai 2009 ist die Anmeldung auf die Q... AG umgeschrieben worden. Für diese hatte das AG München mit Beschluss vom 23. Januar 2009 (1501 IN 209/09 – vgl. AG München HRB 152545) Herrn Rechtsanwalt .... J... zum vorläufigen Insolvenzverwalter über ihr Vermögen bestimmt und zugleich angeordnet, dass die Anmelderin/Insolvenzschuldnerin Verfügungen nur mit Zustimmung des vorläufigen Insolvenzverwalters vornehmen darf (AG München HRB 152545). Mit Beschluss vom 1. April 2009 (1542 IN 209/09 – Kopie Bl. 19 d.A.) hatte das A... München das Insolvenzverfahren über das Vermögen der Q... AG eröffnet.

Am 26. Juni 2009 hat Herr J... den Patentanwälten W... eine All-gemeine Vollmacht (Nr. 504/09 – Kopie Bl. 18 d.A.) erteilt.

Mit Schriftsätzen vom 5. und vom 13. Juli 2011 (Bl. 14 d.A.) wurde ein Vertreterwechsel auf die Patentanwälte W... angezeigt und zugleich mitgeteilt, dass die Anmelderin das Prüfungsverfahren mit einem geänderten Patentbegehren fortsetzen möchte. Unter Hinweis auf benötigte Bearbeitungszeit haben die Patentanwälte außerdem darum gebeten, das Verfahren bis zum 15. August 2011 auszusetzen.

Mit Schriftsatz vom 27. Juni 2012 hat die Prüfungsstelle für Klasse H01L zwei weitere Druckschriften

D4 US 6 376 904 B1 und

D5 US 2004/0 015 807 A1

als Stand der Technik genannt und ausgeführt, dass auch die Gegenstände und Verfahren der zu diesem Zeitpunkt geltenden Patentansprüche nicht patentfähig seien. Mit diesem Schriftsatz ist auch eine Ladung zur Anhörung am 9. August 2012 erfolgt, welche an diesem Tag auch durchgeführt wurde, und in deren Verlauf die Anmelderin abermals neue Anspruchssätze eingereicht hat.

Im Nachgang zu dieser Anhörung hat die Anmelderin den Ansichten der Prüfungsstelle mit Schriftsatz vom 21. September 2012 erneut widersprochen und einen neuen Anspruchssatz als Hilfsantrag eingereicht, der dann genau wie auch der in der Anhörung als Hauptantrag überreichte Anspruchssatz mit Beschluss vom 31. Oktober 2012 wegen fehlender Patentfähigkeit des Gegenstands des Anspruchs 1 auf Grund mangelnder erfinderischer Tätigkeit (§ 4 PatG) zurückgewiesen wurde.

In der elektronischen Akte des DPMA findet sich eine PDF-Datei mit der Bezeichnung „Zurückweisungsbeschluss - Signiert“ und eine Signaturdatei „SIG-1“.

Gegen diesen, dem Vertreter des Insolvenzverwalters Herrn J... am 5. November 2012 zugestellten Beschluss hat der Vertreter des Insolvenzverwalters vor dem Deutschen Patent- und Markenamt mit Schriftsatz vom 12. November 2012, am 15. November 2012 beim Deutschen Patent- und Markenamt eingegangen, fristgemäß Beschwerde eingelegt, welche sie mit Schriftsatz vom 2. Juni 2015 begründet hat. Mit dieser Begründung hat sie drei weitere Sätze Patentansprüche eingereicht.

Am 8. Juni 2015 wurde die Anmeldung auf die I... AG umgeschrieben, wobei der in der Patentrolle eingetragene Vertreter unverändert geblieben ist.

Zu Beginn der mündlichen Verhandlung am 11. Juni 2015 hat der Vertreter des Insolvenzverwalters über das Vermögen der Q... AG, Herrn J..., seine Zustimmung dazu erklärt, dass die Inhaberin der Patentanmeldung, die I... AG, berechtigt ist, an Stelle des bisherigen Beschwerdeführers, Herrn J..., das Beschwerdeverfahren zu übernehmen.

In der mündlichen Verhandlung hat der Senat die Druckschrift

D6 US 2005/0 258 528 A1

als weiteren relevanten Stand der Technik eingeführt und ausgeführt, dass diese die Patentfähigkeit des Gegenstands des Anspruchs 1 des vor der mündlichen Verhandlung eingereichten Hilfsantrags II in Frage stellen dürfte. Die Anmelderin hat den Ausführungen des Senats bezüglich der Patentfähigkeit der beanspruchten Gegenstände und Verfahren widersprochen und beantragt:

**1.**

Den Beschluss der Prüfungsstelle für Klasse H01L vom 31. Oktober 2012 aufzuheben;

**2.a) Hauptantrag**

Ein Patent zu erteilen

mit der Bezeichnung „Anordnung von Halbleiterchips mit integrierter Schaltung und Verfahren zum Fertigen derselben“,

dem Anmeldetag 10. August 2007 unter Inanspruchnahme der Priorität US 11/830,614 vom 30. Juli 2007

auf der Grundlage folgender Unterlagen:

- Patentansprüche 1 bis 11 vom 2. Juni 2015, eingegangen am 2. Juni 2015;
- Beschreibungsseiten 1 bis 3 vom 2. Juni 2015, eingegangen am 2. Juni 2015;
- Beschreibungsseiten 4 bis 21, eingegangen beim Deutschen Patent- und Markenamt am 10. August 2007;
- Zeichenblätter 1/11 bis 11/11 vom 11. Oktober 2007, eingegangen beim Deutschen Patent- und Markenamt am 12. Oktober 2007;

### **2.b) Hilfsantrag I**

Hilfsweise vorgenanntes Patent zu erteilen auf der Grundlage folgender Unterlagen:

- Patentansprüche 1 bis 12 vom 2. Juni 2015, eingegangen am 2. Juni 2015;
- Beschreibungsseiten 1 bis 3 vom 2. Juni 2015, eingegangen am 2. Juni 2015;
- Beschreibungsseiten 4 bis 21, eingegangen beim Deutschen Patent- und Markenamt am 10. August 2007;
- Zeichenblätter 1/11 bis 11/11 vom 11. Oktober 2007, eingegangen beim Deutschen Patent- und Markenamt am 12. Oktober 2007;

### **2.c) Hilfsantrag II**

Hilfsweise vorgenanntes Patent zu erteilen auf der Grundlage folgender Unterlagen:

- Patentansprüche 1 bis 7 vom 2. Juni 2015, eingegangen am 2. Juni 2015;
- Beschreibungsseiten 1 bis 3 vom 2. Juni 2015, eingegangen am 2. Juni 2015;
- Beschreibungsseiten 4 bis 21, eingegangen beim Deutschen Patent- und Markenamt am 10. August 2007;

- Zeichenblätter 1/11 bis 11/11 vom 11. Oktober 2007, eingegangen beim Deutschen Patent- und Markenamt am 12. Oktober 2007;

### **2.d) Hilfsantrag III**

Hilfsweise vorgenanntes Patent zu erteilen auf der Grundlage folgender Unterlagen:

- Patentansprüche 9 bis 12 gemäß Hilfsantrag I als unnummerierte Patentansprüche 1 bis 4 mit noch anzupassender Beschreibung.

Der geltende Anspruch 1 nach **Hauptantrag** lautet (*Gliederung bei unverändertem Wortlaut eingefügt*):

- „1. Anordnung (180; 300) von Halbleiterchips mit integrierter Schaltung umfassend
  - 1.1 eine erste Unteranordnung (102; I) mit
    - 1.1.1 einem ersten Halbleiterchip (104; 202I),
      - 1.1.1.1 der eine erste Oberfläche (106) und eine zweite Oberfläche (108) aufweist,
      - 1.1.1.2 wobei an einem Rand der ersten Oberfläche eine erste elektrische Kopplungsstelle (110; 204fl) ausgebildet ist, und
    - 1.1.2 einem zweiten Halbleiterchip (112; 206I),
      - 1.1.2.1 der eine erste Oberfläche (114) und eine zweite Oberfläche (116) aufweist,
      - 1.1.2.2 wobei an einem Rand der ersten Oberfläche eine zweite elektrische Kopplungsstelle (118; 208fl) ausgebildet ist,
    - 1.1.3 wobei die zweite Oberfläche des zweiten Halbleiterchips (112; 206I) auf der ersten Oberfläche des ersten Halbleiterchips (104; 202I) angeordnet ist, derart, dass
      - 1.1.3.1 der Rand mit der zweiten elektrischen Kopplungsstelle (118; 208fl) gegenüber dem Rand mit der ersten elektrischen Kopplungsstelle (110; 204fl) zurückversetzt ist, sodass

- 1.1.3.2 die erste elektrische Kopplungsstelle (110; 204fl) zumindest teilweise freiliegt, wobei
- 1.1.3.3 die erste elektrische Kopplungsstelle (110; 204I) und die zweite elektrische Kopplungsstelle (118; 208fl) über einen Bonddraht (120; 214fl) direkt elektrisch verbunden sind, und
- 1.2 eine zweite Unteranordnung (102'; II) mit
  - 1.2.1 einem dritten Halbleiterchip (104'; 202II),
    - 1.2.1.1 der eine erste Oberfläche und eine zweite Oberfläche (108') aufweist,
    - 1.2.1.2 wobei an einem Rand der ersten Oberfläche eine dritte elektrische Kopplungsstelle (110'; 204all) ausgebildet ist, und
  - 1.2.2 einem vierten Halbleiterchip (112'; 206II),
    - 1.2.2.1 der eine erste Oberfläche und eine zweite Oberfläche aufweist,
    - 1.2.2.2 wobei an einem Rand der ersten Oberfläche eine vierte elektrische Kopplungsstelle (118'; 208all) ausgebildet ist,
  - 1.2.3 wobei die zweite Oberfläche des vierten Halbleiterchips (112'; 206II) auf der ersten Oberfläche des dritten Halbleiterchips (104'; 202II) angeordnet ist, derart, dass
    - 1.2.3.1 der Rand mit der vierten elektrischen Kopplungsstelle (118'; 208all) gegenüber dem Rand mit der dritten elektrischen Kopplungsstelle (110'; 204all) zurückversetzt ist, sodass
    - 1.2.3.2 die dritte elektrische Kopplungsstelle (110'; 204all) zumindest teilweise freiliegt, wobei
    - 1.2.3.3 die dritte elektrische Kopplungsstelle (110'; 204all) und die vierte elektrische Kopplungsstelle (118'; 208all) über einen Bonddraht (120"; 214all) direkt elektrisch verbunden sind,
- 1.6 wobei die zweite Unteranordnung (102'; II) auf der ersten Unteranordnung (102; I) angeordnet ist,
  - 1.6.1 indem die zweite Oberfläche des dritten Halbleiterchips (104'; 202II) auf der ersten Oberfläche des zweiten Halbleiterchips (112; 206I) angeordnet ist, derart,



- 1.6.2 dass der dem Rand mit der dritten elektrischen Kopplungsstelle (110'; 204all) gegenüberliegende Rand gegenüber dem Rand mit der zweiten elektrischen Kopplungsstelle (118; 208fl) zurückversetzt ist,
- 1.6.3 sodass die zweite elektrische Kopplungsstelle (118; 208fl) zumindest teilweise freiliegt, und
- 1.6.4 dass der dem Rand mit der vierten elektrischen Kopplungsstelle (118'; 208all) gegenüberliegende Rand den dem Rand mit der dritten elektrischen Kopplungsstelle (110'; 204all) gegenüberliegenden Rand überragt,
- 1.6.5 sodass die zweite elektrische Kopplungsstelle (118; 208fl) zumindest teilweise überkragt ist.“

Der nebengeordnete Anspruch 9 des **Hilfsantrags I**, der ein Herstellungsverfahren betrifft, lautet (*Gliederung bei unverändertem Wortlaut eingefügt*):

- „9. Verfahren zum Herstellen einer Anordnung (300) Halbleiterchips mit integrierter Schaltung umfassend
- 9.1 Bereitstellen einer ersten, zweiten und dritten Unteranordnung (I; II; III), wobei
- 9.1.1 die erste Unteranordnung (I) einen ersten Halbleiterchip (202I) und einen zweiten Halbleiterchip (206I) aufweist, wobei
- 9.1.1.1 der erste Halbleiterchip (202I) eine erste Oberfläche und eine zweite Oberfläche aufweist, wobei
- 9.1.1.2 an einem Rand der ersten Oberfläche erste elektrische Kopplungsstellen (204fl) ausgebildet sind, und wobei
- 9.1.1.3 der zweite Halbleiterchip (206I) eine erste Oberfläche und eine zweite Oberfläche aufweist, wobei
- 9.1.1.4 an einem Rand der ersten Oberfläche zweite elektrische Kopplungsstellen (208fl) ausgebildet sind,
- 9.1.1.5 wobei die zweite Oberfläche des zweiten Halbleiterchips (206I) auf der ersten Oberfläche des ersten Halbleiterchips (202I) angeordnet ist, der-

art, dass der Rand mit den zweiten elektrischen Kopplungsstellen (208fl) gegenüber dem Rand mit den ersten elektrischen Kopplungsstellen (204fl) zurückversetzt ist, sodass

9.1.1.6 die ersten elektrischen Kopplungsstellen (204fl) zumindest teilweise freiliegen, wobei

9.1.1.7 die ersten elektrischen Kopplungsstellen (204I) und die zweiten elektrischen Kopplungsstellen (208fl) jeweils über einen Bonddraht (214fl) direkt elektrisch verbunden sind, wobei

9.1.2 die zweite Unteranordnung (II) einen dritten Halbleiterchip (202II) und einen vierten Halbleiterchip (206II) aufweist, wobei

9.1.2.1 der dritte Halbleiterchip (202II) eine erste Oberfläche und eine zweite Oberfläche aufweist, wobei

9.1.2.2 an einem Rand der ersten Oberfläche dritte elektrische Kopplungsstellen (204aII) ausgebildet sind, und wobei

9.1.2.3 der vierte Halbleiterchip (206II) eine erste Oberfläche und eine zweite Oberfläche aufweist, wobei

9.1.2.4 an einem Rand der ersten Oberfläche vierte elektrische Kopplungsstellen (208aII) ausgebildet sind, wobei

9.1.2.5 die zweite Oberfläche des vierten Halbleiterchips (206II) auf der ersten Oberfläche des dritten Halbleiterchips (202II) angeordnet ist, derart, dass der Rand mit den vierten elektrischen Kopplungsstellen (208aII) gegenüber dem Rand mit den dritten elektrischen Kopplungsstellen (204aII) zurückversetzt ist, sodass

9.1.2.6 die dritten elektrischen Kopplungsstellen (204aII) zumindest teilweise freiliegen, wobei

9.1.2.7 die dritten elektrischen Kopplungsstellen (204aII) und die vierten elektrischen Kopplungsstellen (208aII) jeweils über einen Bonddraht (214aII) direkt elektrisch verbunden sind, wobei

9.1.3 die dritte Unteranordnung (III) einen fünften Halbleiterchip (202III) und einen sechsten Halbleiterchip (206III) aufweist, wobei

- 9.1.3.1 der fünfte Halbleiterchip (202III) eine erste Oberfläche und eine zweite Oberfläche aufweist, wobei
- 9.1.3.2 an einem Rand der ersten Oberfläche fünfte elektrische Kopplungsstellen (204fIII) ausgebildet sind, wobei
- 9.1.3.3 der sechste Halbleiterchip (206III) eine erste Oberfläche und eine zweite Oberfläche aufweist, wobei
- 9.1.3.4 an einem Rand der ersten Oberfläche sechste elektrische Kopplungsstellen (208fIII) ausgebildet sind wobei
- 9.1.3.5 die zweite Oberfläche des sechsten Halbleiterchips (206III) auf der ersten Oberfläche des fünften Halbleiterchips (202III) angeordnet ist, derart, dass der Rand mit den sechsten elektrischen Kopplungsstellen (208fIII) gegenüber dem Rand mit den fünften elektrischen Kopplungsstellen (204fIII) zurückversetzt ist, sodass
- 9.1.3.6 die fünften elektrischen Kopplungsstellen (204fIII) zumindest teilweise freiliegen, wobei
- 9.1.3.7 die fünften elektrischen Kopplungsstellen (204fIII) und die sechsten elektrischen Kopplungsstellen (208fIII) jeweils über einem Bonddraht (214fIII) direkt elektrisch verbunden sind;
- 9.2 Bereitstellen eines Trägers (302) mit
  - 9.2.1 einer Oberfläche, die eine Reihe erster Trägerkopplungsstellen (310a) und eine Reihe zweiter Trägerkopplungsstellen (310b) aufweist;
- 9.3 Befestigen der ersten Unteranordnung (I) an der Oberfläche des Trägers (302);
- 9.4 direktes elektrisches Verbinden der ersten Trägerkopplungsstellen (310a) mit den ersten elektrischen Kopplungsstellen (204fI) jeweils über einen Bonddraht (322a);
- 9.5 Stapeln der zweiten Unteranordnung (II) auf der ersten Unteranordnung (I), wobei
  - 9.5.1 die zweite Oberfläche des dritten Halbleiterchips (202II) auf der ersten Oberfläche des zweiten Halbleiterchips (206I) angeordnet ist, derart, dass

- 9.5.2 der dem Rand mit den dritten elektrischen Kopplungsstellen (204all) gegenüberliegende Rand gegenüber dem Rand mit den zweiten elektrischen Kopplungsstellen (208fl) zurückversetzt ist, wobei
- 9.5.3 die zweiten elektrischen Kopplungsstellen (208fl) zumindest teilweise freiliegen, und dass
- 9.5.4 der dem Rand mit den vierten elektrischen Kopplungsstellen (208all) gegenüberliegende Rand den dem Rand mit den dritten elektrischen Kopplungsstellen (204all) gegenüberliegenden Rand überragt, wobei
- 9.5.5 die zweiten elektrischen Kopplungsstellen (208fl) zumindest teilweise überkragt ist;
- 9.6 direktes elektrisches Verbinden der zweiten Trägerkopplungsstellen (310b) mit den dritten elektrischen Kopplungsstellen (204all) jeweils über einen Bonddraht (324a);
- 9.7 Stapeln der dritten Unteranordnung (III) auf der zweiten Unteranordnung (II), wobei
- 9.7.1 die zweite Oberfläche des fünften Halbleiterchips (202III) auf der ersten Oberfläche des vierten Halbleiterchips (206II) angeordnet ist, derart, dass
- 9.7.2 der dem Rand mit den fünften elektrischen Kopplungsstellen (204fIII) gegenüberliegende Rand gegenüber dem Rand mit den vierten elektrischen Kopplungsstellen (208all) zurückversetzt ist, wobei
- 9.7.3 die vierten elektrischen Kopplungsstellen (208all) zumindest teilweise freiliegen, und dass
- 9.7.4 der dem Rand mit den sechsten elektrischen Kopplungsstellen (208fIII) gegenüberliegende Rand den dem Rand mit der fünften elektrischen Kopplungsstellen (204fIII) gegenüberliegenden Rand überragt, wobei
- 9.7.5 die vierten elektrischen Kopplungsstellen (208all) zumindest teilweise überkragt sind; und
- 9.8 direktes elektrisches Verbinden der ersten Trägerkopplungsstellen (310a) mit den fünften elektrischen Kopplungsstellen (204fIII) jeweils über einen Bonddraht (322b).

Anspruch 1 des **Hilfsantrags II** lautet (*Gliederung bei unverändertem Wortlaut eingefügt*):

1. Anordnung (100; 140; 150; 160; 175; 180; 190) von Halbleiterchips mit integrierter Schaltung, umfassend
  - 1.1 einen Stapel (102; 102“) mit einem ersten Halbleiterchip (104; 104“) und einem zweiten Halbleiterchip (112; 122“), der auf dem ersten Halbleiterchip (104; 104“) angeordnet ist, wobei
  - 1.2 der erste Halbleiterchip (104; 104“) eine erste Oberfläche (106) und eine zweite Oberfläche (108) aufweist, wobei
  - 1.3 eine erste elektrische Kopplungsstelle (110; 110“) auf der ersten Oberfläche (106) des ersten Halbleiterchips (104; 104“) angeordnet ist, wobei
  - 1.4 der zweite Halbleiterchip (112; 122“) eine erste Oberfläche (114) und eine zweite Oberfläche (116) aufweist, wobei
  - 1.5 eine zweite elektrische Kopplungsstelle (118; 118“) auf der ersten Oberfläche (114) des zweiten Halbleiterchips (112) angeordnet ist, wobei
  - 1.6 der zweite Halbleiterchip (112; 112“) auf den ersten Halbleiterchip (104; 104“) gestapelt ist, derart, dass die erste Oberfläche (106) des ersten Halbleiterchips (104) und die erste Oberfläche (114) des zweiten Halbleiterchips (112) einander zugewandt sind und die erste elektrische Kopplungsstelle (110; 110“) an der ersten Oberfläche (106) des ersten Halbleiterchips (104; 104“) zumindest teilweise freiliegt, und
  - 1.7 wobei die erste elektrische Kopplungsstelle (110; 110“) und die zweite elektrische Kopplungsstelle (118; 118“) direkt elektrisch verbunden sind;
  - 1.8 und weiter umfassend einen Halbleiterchipaufbau (122; 104‘; 164; 122), der auf dem zweiten Halbleiterchip (112; 112“) des Stapels (102; 102“) angeordnet ist, derart, dass eine Ausnehmung (132) gebildet ist, wobei
  - 1.9 die erste elektrische Kopplungsstelle (110; 110“) auf der ersten Oberfläche (106) des ersten Halbleiterchips (104; 104“) in der Ausnehmung (132) angeordnet ist.“

Anspruch 1 des **Hilfsantrags III** ist zu Anspruch 9 des Hilfsantrags I identisch.

Hinsichtlich des weiteren selbständigen Anspruchs 1 des Hilfsantrags I sowie der den selbständigen Ansprüchen der vier Anträge untergeordneten Ansprüche 2 bis 11, 2 bis 8 und 10 bis 12, 2 bis 7 bzw. 2 bis 4 wird ebenso wie hinsichtlich der weiteren Einzelheiten auf den Akteninhalt verwiesen.

## II.

Die form- und fristgerecht erhobene Beschwerde der Anmelderin ist zulässig, erweist sich aber nach dem Ergebnis der mündlichen Verhandlung vom 11. Juni 2015 als nicht begründet, weil die Lehre des Anspruchs 1 des Hauptantrags gegenüber der Druckschrift D2 nicht mehr neu ist (§ 3 PatG), die Lehre des Anspruchs 9 des Hilfsantrags I gegenüber der Zusammenschau der Druckschriften D2 und D6 auf keiner erfinderischen Tätigkeit des Fachmanns beruht (§ 4 PatG), die Lehre des Anspruchs 1 des Hilfsantrags II gegenüber der Druckschrift D6 nicht mehr neu ist (§ 3 PatG) und die Lehre des Anspruchs 1 des Hilfsantrags III wie die des gleichlautenden Anspruchs 9 des Hilfsantrags I zu beurteilen ist, so dass die Lehren all dieser Ansprüche nicht patentfähig sind.

1. Da das vorliegende Verfahren die Anmeldung eines Patents, das zur Insolvenzmasse der Q... AG gehört hat, betrifft, ist die von der Anmelderin/Insolvenzschuldnerin erteilte Prozessvollmacht nach Eröffnung des Insolvenzverfahrens am 1. April 2009 gemäß § 117 Abs. 1 InsO erloschen und die Anmelderin hat zugleich gemäß § 80 Abs. 1 InsO die Verfahrensführungsbefugnis verloren. Zudem ist das Verfahren gemäß § 240 ZPO i.V.m. § 99 Abs. 1 PatG unterbrochen worden.

Die Unterbrechung nach § 240 ZPO endet durch die Aufnahme des Verfahrens gemäß § 99 Abs. 1 PatG i.V.m. § 250 ZPO analog. Die Aufnahme des Verfahrens

(§ 250 ZPO, § 99 Abs. 1 PatG) ist eine prozessuale Willenserklärung, die zwar auch konkludent erfolgen kann, den Willen zur Fortsetzung des Verfahrens aber zweifelsfrei erkennen lassen muss (*BGH WM 1983, 401, BGH NJW 1995, 2171; Uhlenbruck/Mock, InsolvenzO, 14. Aufl., § 85 Rd. 149; Zöller, ZPO, 30. Aufl., § 250 Rd. 3; Braun, InsO, 6. Aufl., § 85 Rd. 3*). Die Aufnahmeerklärung muss in persönlicher Hinsicht zudem eindeutig als solche des Insolvenzverwalters erkennbar sein.

Der Insolvenzverwalter hat am 26. Juni 2009 die Patentanwälte W... bevollmächtigt. Durch Anzeige der Vertretung unter Hinweis auf die AV Nr. 504/09 im Schriftsatz vom 13. Juli 2011 (Bl. 14 d.A.) und den damit verbundenen Hinweis, dass die Anmelderin das Prüfungsverfahren mit einem geänderten Patentbegehren fortsetzen möchte, haben sie im Namen des Insolvenzverwalters die Aufnahme des unterbrochenen Verfahrens analog § 250 ZPO i. V. m. § 99 Abs. 1 PatG erklärt. In dem Schriftsatz benennen die Anwälte zwar die „Anmelderin“ als diejenige, die das Verfahren fortsetzen wolle, durch den Hinweis auf die vom Insolvenzverwalter erteilte AV Nr. 504/09 wird aber hinreichend deutlich, dass sie im Namen des Insolvenzverwalters handeln wollen und die Weiterführung des Verfahrens in dessen Namen begehren.

In sachlicher Hinsicht haben sie zwar einerseits erklärt, dass sie das Verfahren „fortsetzen“ wollen, andererseits haben sie aber auch dessen „Aussetzung“ begehrt. Durch den Hinweis auf die benötigte Arbeitszeit und die explizite Benennung einer Bearbeitungsfrist wird aber deutlich, dass sie eine Weiterbetreibung des Verfahrens ab dem angegebenen Zeitpunkt, dem 15. August 2011, begehrt haben. Der Erklärung vom 13. Juli 2011 ist somit mit hinreichender Deutlichkeit zu entnehmen, dass das unterbrochene Verfahren in entsprechender Anwendung von § 250 ZPO, § 99 Abs. 1 PatG am 15. August 2011 wieder aufgenommen und die Unterbrechung beendet werden soll.

Der Beschluss der Prüfungsstelle für Klasse H01L des Deutschen Patent- und Markenamtes vom 31. Oktober 2012 war damit in dieser Hinsicht formell rechtmäßig, da er erst nach dem Ende der Unterbrechung ergangen ist.

2. Die in der elektronischen Akte des DPMA als „Zurückweisungsbeschluss - Signiert“ bezeichnete PDF-Datei enthält, ebenso wie die Dokumentanzeige in der Signaturdatei, mehrere Beschlusstexte, so dass eine präzise Bestimmung der Urschrift ebenso wie die Zuordnung der Signatur problematisch ist. Da der Tenor und die Gründe der mehrfach vorhandenen Beschlusstexte jedoch übereinstimmen, ist der Inhalt der Entscheidung, die mit einer qualifizierten Signatur versehen werden sollte, zumindest bestimmbar (vgl. *BPatG BIPMZ 2014, 355, 356 - Anordnung zur Erfassung von Berührungen auf einer Trägerplatte*), weshalb der Senat keine Veranlassung sieht, das Verfahren nach § 79 Abs. 3 PatG an das Deutsche Patent- und Markenamt zurückzuverweisen.

3. In der mündlichen Verhandlung hat nach der Umschreibung der Patentanmeldung auf die I... AG am 8. Juni 2015 der in der Patentrolle eingetragene Vertreter der nunmehrigen Patentanmelderin, der zugleich Vertreter des bis zu diesem Zeitpunkt am Verfahren vor dem Bundespatentgericht als Beschwerdeführer beteiligten Insolvenzverwalters der Q... AG ist, erklärt, dass die neue Patentanmelderin an Stelle des bisherigen Beschwerdeführers in das Verfahren eintreten möchte, womit der bisherige Beschwerdeführer einverstanden ist. Damit ist nunmehr die I... AG Beschwerdeführerin. Den Nachweis einer Vollmacht des Vertreters der neuen Beschwerdeführerin brauchte es nach § 97 Abs. 6 Satz 2 PatG nicht, da im Falle des Auftretens eines Patentanwalts davon auszugehen ist, dass dieser auch ausreichend bevollmächtigt ist, sofern keine anderweitigen Hinweise bestehen, welche aber im vorliegenden Fall nicht bestanden haben.



4. Die Anmeldung betrifft eine Anordnung von Halbleiterchips mit integrierter Schaltung und ein Verfahren zum Fertigen derselben (*vgl. S. 1, Z. 6 bis 8 der geltenden Beschreibung des Hilfsantrags I*).

Auf dem Gebiet integrierter Schaltungen gibt es einen Bedarf, die Halbleiterchipdichte innerhalb eines einzigen Bausteins zu erhöhen, während bestehende Standards hinsichtlich Bausteinabmessungen und Bausteinstandfläche beibehalten werden (*vgl. S. 3, Z. 6 bis 10 der geltenden Beschreibung des Hauptantrags*). Auf diese Weise kann bei Halbleiterspeichern beispielsweise die Speicherkapazität eines Speicherbausteins erhöht werden. Dazu wurden im Stand der Technik Halbleiterchips in unterschiedlicher Weise übereinandergestapelt. Beim Übereinanderstapeln ist jedoch immer zu beachten, dass die einzelnen Chips kontaktiert und elektrisch miteinander oder mit einem Träger verbunden werden müssen. Geschieht dies durch Bonddrähte, so müssen die Kontaktstellen an den Chips im Stapel freiliegen. Die Halbleiterchips nach dem Stand der Technik weisen deshalb Ausnehmungen auf oder werden derart versetzt zueinander gestapelt, dass die Kontaktierflächen freiliegen, um so ein leitfähiges Verbinden zu ermöglichen (*vgl. S. 1, Z. 8 bis 42 der geltenden Beschreibung des Hauptantrags*).

Hiervon ausgehend liegt der Anmeldung nach Angabe der geltenden Beschreibung als technisches Problem die Aufgabe zugrunde, eine Anordnung von Halbleiterchips mit integrierter Schaltung und ein Verfahren zum Fertigen einer Anordnung von Halbleiterchips mit integrierter Schaltung mit verbesserten Charakteristika zu schaffen (*vgl. S. 1, Z. 46 bis S. 2, Z. 2 der geltenden Beschreibung des Hilfsantrags I*). Dies bedeutet, dass eine Stapelanordnung von Halbleiterchips geschaffen werden soll, bei der es besonders einfach und platzsparend möglich ist, die Halbleiterchips miteinander oder mit einem Träger elektrisch zu verbinden, wobei die notwendigen Bonddrähte möglichst kurz sind.

Diese Aufgabe wird durch die Gegenstände und Verfahren der selbständigen Ansprüche des Hauptantrags und der Hilfsanträge gelöst.

Die in Anspruch 1 des Hauptantrags beanspruchte Lösung ist in Fig. 3A der Anmeldung dargestellt. Diese besteht aus zwei Untereinheiten mit jeweils zwei Halbleiterchips. Beide Chips besitzen an ihrer Oberseite Kontaktstellen, welche freiliegen und miteinander mittels Bonddrähten verbunden sind. Um dies zu ermöglichen, sind die Ränder der Chips, an denen sich die Kontaktstellen befinden, gegeneinander verschoben, so dass die Kontaktstellen des unteren Chips freiliegen und ihrerseits zusätzlich mittels eines Bonddrahtes kontaktiert werden können. Diese beiden Untereinheiten sind übereinandergestapelt, wobei die obere Untereinheit gegenüber der darunterliegenden um 180° gedreht ist. Damit liegen die Kontaktstellen der oberen Untereinheiten auf der den Kontaktstellen der unteren Untereinheit gegenüberliegenden Seite. Dies hat zur Folge, dass die Verschiebung des jeweils oberen Chips in die jeweils andere Richtung erfolgt, so dass die Anordnung schmaler gehalten werden kann als dies bei einer Anordnung ohne Umdrehen der Chips möglich wäre. Zudem entsteht eine Ausnehmung, in der die Kontaktstellen des oberen Chips der unteren Untereinheit liegen, so dass diese geschützt sind.

Anspruch 1 des Hauptantrags begrenzt die Anzahl der Chips nicht auf vier, sondern lässt auch mehr als vier Chips zu. Solche Anordnungen sind in den Fig. 9 bis 11 der Anmeldung gezeigt, wo sechs bzw. acht Halbleiterchips übereinandergestapelt sind. Dort zeigen sich auch die in Fig. 3A nur schwer zu erkennenden Vorteile der geringen Breite der Anordnung und des Schutzes der Kontaktstellen der unteren Chips durch die darüberliegenden deutlich. Die dort gezeigte gerade Anzahl der Chips ergibt sich aus dem Aufbau der Anordnung aus Untereinheiten zu jeweils zwei Chips. Jedoch ist Anspruch 1 des Hauptantrags nicht auf eine gerade Anzahl von Halbleiterchips beschränkt.

Der in den Fig. 9 bis 11 gezeigte Aufbau liegt auch dem Verfahren nach Anspruch 9 des Hilfsantrags I bzw. Anspruchs 1 des Hilfsantrags III zugrunde. Dort wird die Herstellung einer Anordnung mit mindestens sechs Halbleiterchips und einem Träger beansprucht, wobei die Besonderheit darin besteht, dass die Halb-

leiterchips als Untereinheiten mit jeweils zwei Halbleiterchips bereitgestellt werden, welche zunächst elektrisch mittels Bonddrähten miteinander verbunden werden und erst dann auf einem Träger übereinandergestapelt werden, so dass die in Fig. 10 der Anmeldung gezeigte Anordnung entsteht.

Anspruch 1 des Hilfsantrags II beansprucht dagegen eine andere Lösung, welche in den Figuren 1A bis 1D und 2 der Anmeldung gezeigt wird. Dort wird ein Aufbau beansprucht, der ebenfalls aus Untereinheiten besteht, die üblicherweise zwei, aber auch mehr als zwei Halbleiterchips enthalten können. Wesentlich ist dabei, dass der obere Chip als Flipchip auf dem unteren montiert ist. Dadurch ist eine Verbindung der Kontaktstellen ohne Bonddraht möglich. Dieses Flipchipbonden erfolgt aber derart, dass zumindest ein Teilbereich der Kontaktstellen des unteren Chips freiliegt, so dass dort noch ein Drahtbonden möglich ist. Dieser freiliegende Bereich wird aber vom weiteren Aufbau des Stapels überragt, so dass die Drahtbondstellen auch dort in einer Ausnehmung liegen und somit geschützt sind.

**5.** Als zuständiger Fachmann zur Beurteilung der Erfindung ist hier ein im Bereich der Halbleiterindustrie tätiger, berufserfahrener Physiker oder Ingenieur der Elektrotechnik mit Hochschul- oder Fachhochschulabschluss zu definieren, der über gute Kenntnisse auf dem Gebiet der Herstellung und des Packaging von integrierten Halbleiterbauelementen verfügt.

**6.** Sowohl die Gegenstände der Ansprüche 1 des Hauptantrags und des Hilfsantrags II als auch das Verfahren des Anspruchs 9 des Hilfsantrags I und des gleichlautenden Anspruchs 1 des Hilfsantrags III sind nicht patentfähig, da sie gegenüber dem ermittelten Stand der Technik entweder nicht neu (§ 3 PatG) sind oder auf keiner erfinderischen Tätigkeit des Fachmanns beruhen (§ 4 PatG).

Bei dieser Sachlage kann die Erörterung der Zulässigkeit der Ansprüche des Hauptantrags und der Hilfsanträge dahingestellt bleiben (vgl. *BGH GRUR 1991, 120, 121, II.1 – „Elastische Bandage“*).

**6.1.** Die Druckschrift D2 offenbart in Übereinstimmung mit dem Wortlaut des Anspruchs 1 des **Hauptantrags** eine

„1. Anordnung von Halbleiterchips mit integrierter Schaltung (vgl. die Bezeichnung: „*Stacked Mass Storage Flash Memory Package*“ und Abs. [0045]: „*FIG. 21 is a side view of an offset stacked multiple die device having two rearwardly offset dice and one forwardly offset die connected to a substrate, in accordance with the invention;*“), umfassend

1.1 eine erste Unteranordnung (*siehe Fig. 21, semiconductor dice 60A und 60 B*) mit

1.1.1 einem ersten Halbleiterchip (*semiconductor die 60A*),

1.1.1.1 der eine erste Oberfläche (*oben*) und eine zweite Oberfläche (*unten*) aufweist,

1.1.1.2 wobei an einem Rand der ersten Oberfläche eine erste elektrische Kopplungsstelle (*bond pads 54A*) ausgebildet ist, und

1.1.2 einem zweiten Halbleiterchip (*semiconductor die 60B*),

1.1.2.1 der eine erste Oberfläche (*oben*) und eine zweite Oberfläche (*unten*) aufweist,

1.1.2.2 wobei an einem Rand der ersten Oberfläche eine zweite elektrische Kopplungsstelle (*bond pads 54B*) ausgebildet ist,

1.1.3 wobei die zweite Oberfläche des zweiten Halbleiterchips (*60B*) auf der ersten Oberfläche des ersten Halbleiterchips (*60A*) angeordnet ist (*siehe die Anordnung in Fig. 21*), derart, dass

1.1.3.1 der Rand mit der zweiten elektrischen Kopplungsstelle (*54B*) gegenüber dem Rand mit der ersten elektrischen Kopplungsstelle (*54A*) zurückversetzt ist (*siehe die Verschiebung des Chips 60B gegenüber dem Chip 60A nach links*), so dass

1.1.3.2 die erste elektrische Kopplungsstelle (*54A*) zumindest teilweise freiliegt (*siehe Fig. 21, wo eine Kontaktierung der Bondpads 54A mit einem Bonddraht 62A erfolgt, was nur möglich ist, wenn diese zumindest teilweise freiliegen*), und

1.2 eine zweite Unteranordnung (*siehe Fig. 21, semiconductor dice 60C und 60D*) mit

1.2.1 einem dritten Halbleiterchip (*semiconductor die 60C*),

1.2.1.1 der eine erste Oberfläche (*oben*) und eine zweite Oberfläche (*unten*) aufweist,

1.2.1.2 wobei an einem Rand der ersten Oberfläche eine dritte elektrische Kopplungsstelle (*bond pads 54C*) ausgebildet ist, und

1.2.2 einem vierten Halbleiterchip (*semiconductor die 60D*),

1.2.2.1 der eine erste Oberfläche (*oben*) und eine zweite Oberfläche (*unten*) aufweist,

1.2.2.2 wobei an einem Rand der ersten Oberfläche eine vierte elektrische Kopplungsstelle (*bond pads 54D*) ausgebildet ist,

1.2.3 wobei die zweite Oberfläche des vierten Halbleiterchips (*60D*) auf der ersten Oberfläche des dritten Halbleiterchips (*60C*) angeordnet ist (*siehe die Anordnung in Fig. 21*), derart, dass

1.2.3.1 der Rand mit der vierten elektrischen Kopplungsstelle (*54D*) gegenüber dem Rand mit der dritten elektrischen Kopplungsstelle (*54C*) zurückversetzt ist, sodass

1.2.3.2 die dritte elektrische Kopplungsstelle (*54C*) zumindest teilweise freiliegt (*siehe Fig. 21, wo eine Kontaktierung der Bondpads 54C mit einem Bonddraht 62C erfolgt, was nur möglich ist, wenn diese zumindest teilweise freiliegen*),

1.6 wobei die zweite Unteranordnung (*60C, 60D*) auf der ersten Unteranordnung (*60A, 60B*) angeordnet ist (*siehe Fig. 21*),

1.6.1 indem die zweite Oberfläche (*unten*) des dritten Halbleiterchips (*60C*) auf der ersten Oberfläche (*oben*) des zweiten Halbleiterchips (*60B*) angeordnet ist, derart,

1.6.2 dass der dem Rand mit der dritten elektrischen Kopplungsstelle (*54C*) gegenüberliegende Rand gegenüber dem Rand mit der zweiten elektrischen Kopplungsstelle (*54B*) zurückversetzt ist (*siehe die Zurückversetzung der rechten Seite des Chips 60C gegenüber der rechten Seite des Chips 60B*),

1.6.3 sodass die zweite elektrische Kopplungsstelle (54B) zumindest teilweise freiliegt, und

1.6.4 dass der dem Rand mit der vierten elektrischen Kopplungsstelle (54D) gegenüberliegende Rand den dem Rand mit der dritten elektrischen Kopplungsstelle (54C) gegenüberliegenden Rand überragt (*siehe die rechte Seite des Chips 60D, die die rechte Seite des Chips 60C überragt*),

1.6.5 sodass die zweite elektrische Kopplungsstelle (54B) zumindest teilweise überkragt ist (*die zweite Kopplungsstelle 54B liegt unter dem Chip 60D*).

Aus der Fig. 21 der Druckschrift D2 ist eine Verbindung der Kontaktstellen (54A-D) nur zum Träger (14) ersichtlich, nicht aber zwischen den Kontaktstellen zweier Chips einer Untereinheit, also beispielsweise zwischen den Kontaktstellen 54A und 54B oder 54C und 54D. Damit ist in Fig. 21 nicht offenbart, dass

1.1.3.3 die erste elektrische Kopplungsstelle und die zweite elektrische Kopplungsstelle über einen Bonddraht direkt elektrisch verbunden sind, und

1.2.3.3 die dritte elektrische Kopplungsstelle und die vierte elektrische Kopplungsstelle über einen Bonddraht direkt elektrisch verbunden sind.

Jedoch geht Druckschrift D2 davon aus, dass auch solche Verbindungen vorhanden sein können. So wird eine Untereinheit, wie sie in Fig. 21 verwendet wird und im Anspruch 1 des Hauptantrags beansprucht wird, auch in Fig. 13 der Druckschrift D2 offenbart. Fig. 13 zeigt, dass es sowohl Verbindungen der Kontaktstellen zum Träger (*substrate 70*), als auch zwischen den Kontaktstellen (54A, 54B) der Chips der Untereinheit gibt. Dazu wird zum einen ganz allgemein ausgeführt, dass in der Beschreibung nur Bonddrähte zwischen den Halbleiterchips und dem Substrat beschrieben werden, dass aber die Vorrichtungen auch Bonddrähte zwischen den Halbleiterchips aufweisen können (*vgl. Abs. [0056]: „In this description, bond wires will be described as being connected between a semiconductor die and a substrate. It is to be understood that the wires are bonded to bond pads on the semiconductor die and to conductive members such as metallization or a lead*

*frame which may constitute all or part of the substrate. The device may also include semiconductor die-to-semiconductor die bonds.”). Zum anderen wird zu Fig. 13 nochmals ausgeführt, dass abhängig vom Design der Vorrichtung auch Verbindungen zwischen den Kontaktstellen der einzelnen Chips untereinander vorhanden sein können (vgl. Abs. [0058]: „If so dictated by the design of the device 50, certain bond pads 54A and 54B may also be conductively connected to each other, i.e. on the same semiconductor die 60A or 60B, or from semiconductor die 60A to semiconductor die 60B.”).*

Der Fachmann wird diese Stellen so verstehen, dass beim Beispiel der Fig. 21 zwar nur Verbindungen zum Substrat gezeigt werden, aber auch Verbindungen zwischen den Halbleiterchips 60A und 60B bzw. 60C und 60D vorhanden sind. Damit sind für die Vorrichtung aus Fig. 21 der Druckschrift D2 auch die Merkmale 1.1.3.3 und 1.2.3.3 bereits offenbart, so dass insgesamt der Gegenstand des Anspruchs 1 des Hauptantrags in Druckschrift D2 offenbart ist, weshalb dieser nicht neu (§ 3 PatG) und damit nicht patentfähig ist.

**6.2.** Druckschrift D2 beschreibt die Herstellungsverfahren der in ihr gezeigten Anordnungen nicht näher. Jedoch geht aus der Tatsache, dass der in Fig. 21 gezeigte Stapel existiert, und dieser auf irgendeine Weise hergestellt worden sein muss, in Übereinstimmung mit dem Wortlaut des Anspruchs 9 des **Hilfsantrags I** ein

9. Verfahren zum Herstellen einer Anordnung Halbleiterchips mit integrierter Schaltung (vgl. die Bezeichnung: „Stacked Mass Storage Flash Memory Package“ und Abs. [0045]: „FIG. 21 is a side view of an offset stacked multiple die device having two rearwardly offset dice and one forwardly offset die connected to a substrate, in accordance with the invention;”) hervor, umfassend

9.1 Bereitstellen einer ersten und zweiten Unteranordnung (siehe Fig. 21. Die erste Unteranordnung umfasst die Chips 60 A und B, die zweite Unteranordnung die

*Chips 60 C und D. Die Einteilung in Unteranordnungen ist rein logischer Natur und muss deshalb nicht in der Druckschrift beschrieben sein. Das Bereitstellen kann auch erst beim Zusammensetzen des Stapels erfolgen.), wobei*

9.1.1 die erste Unteranordnung (*siehe Fig. 21, semiconductor dice 60A und 60 B*) einen ersten Halbleiterchip (*semiconductor die 60A*) und einen zweiten Halbleiterchip (*semiconductor die 60B*) aufweist, wobei

9.1.1.1 der erste Halbleiterchip (*60A*) eine erste Oberfläche (*oben*) und eine zweite Oberfläche (*unten*) aufweist, wobei

9.1.1.2 an einem Rand der ersten Oberfläche erste elektrische Kopplungsstellen (*bond pads 54 A*) ausgebildet sind, und wobei

9.1.1.3 der zweite Halbleiterchip (*60B*) eine erste Oberfläche (*oben*) und eine zweite Oberfläche (*unten*) aufweist, wobei

9.1.1.4 an einem Rand der ersten Oberfläche zweite elektrische Kopplungsstellen (*bond pads 54B*) ausgebildet sind,

9.1.1.5 wobei die zweite Oberfläche des zweiten Halbleiterchips (*60B*) auf der ersten Oberfläche des ersten Halbleiterchips (*60A*) angeordnet ist, derart, dass der Rand mit den zweiten elektrischen Kopplungsstellen (*54B*) gegenüber dem Rand mit den ersten elektrischen Kopplungsstellen (*54A*) zurückversetzt ist (*siehe die Verschiebung des Chips 60B gegenüber dem Chip 60A nach links*), sodass

9.1.1.6 die ersten elektrischen Kopplungsstellen (*54A*) zumindest teilweise freiliegen (*siehe Fig. 21, wo eine Kontaktierung der Bondpads 54A mit einem Bonddraht 62A erfolgt, was nur möglich ist, wenn diese zumindest teilweise freiliegen*), wobei

9.1.1.7 die ersten elektrischen Kopplungsstellen (*54A*) und die zweiten elektrischen Kopplungsstellen (*54B*) jeweils über einen Bonddraht direkt elektrisch verbunden sind (*vgl. die Ausführungen zu den Merkmalen 1.1.3.3 und 1.2.3.3 des Anspruchs 1 des Hauptantrags*), wobei

9.1.2 die zweite Unteranordnung (*siehe Fig. 21, semiconductor dice 60C und 60 D*) einen dritten Halbleiterchip (*semiconductor die 60C*) und einen vierten Halbleiterchip (*semiconductor die 60D*) aufweist, wobei



9.1.2.1 der dritte Halbleiterchip (60C) eine erste Oberfläche (*oben*) und eine zweite Oberfläche (*unten*) aufweist, wobei

9.1.2.2 an einem Rand der ersten Oberfläche dritte elektrische Kopplungsstellen (*bond pads 54C*) ausgebildet sind, und wobei

9.1.2.3 der vierte Halbleiterchip (60D) eine erste Oberfläche (*oben*) und eine zweite Oberfläche (*unten*) aufweist, wobei

9.1.2.4 an einem Rand der ersten Oberfläche vierte elektrische Kopplungsstellen (*bond pads 54D*) ausgebildet sind, wobei

9.1.2.5 die zweite Oberfläche des vierten Halbleiterchips (60D) auf der ersten Oberfläche des dritten Halbleiterchips (60C) angeordnet ist, derart, dass der Rand mit den vierten elektrischen Kopplungsstellen (54D) gegenüber dem Rand mit den dritten elektrischen Kopplungsstellen (54C) zurückversetzt ist (*siehe die Verschiebung des Chips 60D gegenüber dem Chip 60C nach rechts*), sodass

9.1.2.6 die dritten elektrischen Kopplungsstellen (54C) zumindest teilweise freiliegen (*siehe Fig. 21, wo eine Kontaktierung der Bondpads 54C mit einem Bonddraht 62C erfolgt, was nur möglich ist, wenn diese zumindest teilweise freiliegen*), wobei

9.1.2.7 die dritten elektrischen Kopplungsstellen (54C) und die vierten elektrischen Kopplungsstellen (54D) jeweils über einen Bonddraht direkt elektrisch verbunden sind (*vgl. die Ausführungen zu den Merkmalen 1.1.3.3 und 1.2.3.3 des Anspruchs 1 des Hauptantrags*),

9.2 Bereitstellen eines Trägers (*substrate 14*) mit

9.2.1 einer Oberfläche, die eine Reihe erster Trägerkopplungsstellen (*rechte Seite*) und eine Reihe zweiter Trägerkopplungsstellen (*linke Seite*) aufweist;

9.4 direktes elektrisches Verbinden der ersten Trägerkopplungsstellen (*rechte Seite*) mit den ersten elektrischen Kopplungsstellen (54A) jeweils über einen Bonddraht (*bond wire 62A*);

9.6 direktes elektrisches Verbinden der zweiten Trägerkopplungsstellen (*linke Seite*) mit den dritten elektrischen Kopplungsstellen (54C) jeweils über einen Bonddraht (*bond wire 62C*).

Zudem zeigt Fig. 21 noch einige Merkmale des Ergebnisses des Übereinanderstapelns der Untereinheiten. Dieses besteht darin, dass

9.5.1 die zweite Oberfläche (*unten*) des dritten Halbleiterchips (60C) auf der ersten Oberfläche (*oben*) des zweiten Halbleiterchips (60B) angeordnet ist, derart, dass

9.5.2 der dem Rand mit den dritten elektrischen Kopplungsstellen (54C) gegenüberliegende Rand gegenüber dem Rand mit den zweiten elektrischen Kopplungsstellen (54B) zurückversetzt ist (*siehe die Verschiebung des Halbleiterchips 60C gegenüber dem Halbleiterchip 60B nach links*), wobei

9.5.3 die zweiten elektrischen Kopplungsstellen (54B) zumindest teilweise freiliegen (*siehe Fig. 21, wo eine Kontaktierung der Bondpads 54B mit einem Bonddraht 62B erfolgt, was nur möglich ist, wenn diese zumindest teilweise freiliegen*), und dass

9.5.4 der dem Rand mit den vierten elektrischen Kopplungsstellen (54D) gegenüberliegende Rand den dem Rand mit den dritten elektrischen Kopplungsstellen (54C) gegenüberliegenden Rand überragt (*siehe das Überragen des rechten Rands von Chip 60D über den rechten Rand von Chip 60C*), wobei

9.5.5 die zweiten elektrischen Kopplungsstellen (54B) zumindest teilweise überragt sind (*siehe die Lage der Bondpads 54B unterhalb des überstehenden Teils des Chips 60D*).

Damit unterscheidet sich das Verfahren des Anspruchs 9 des Hilfsantrags I von dem, welches sich aus Druckschrift D2 zwingend ergibt durch zwei wesentliche Merkmalskomplexe. Der erste betrifft das Bereitstellen und elektrische Verbinden einer dritten Untereinheit, welche in Fig. 21 der Druckschrift D2 nicht vorhanden ist (Merkmale 9.1.3, 9.1.3.1 bis 9.1.3.7, 9.7.1 bis 9.7.5 und 9.8). Der zweite betrifft die Art und Weise, wie die Chips zum Stapel zusammengefügt werden. So werden die

Chips gemäß den Merkmalen 9.3, 9.5 und 9.7 nicht einzeln übereinandergestapelt, sondern es werden die Untereinheiten, welche zwei Chips umfassen, auf dem Träger oder auf einer anderen Unteranordnung gestapelt.

Diese Unterschiede beruhen aber auf keiner erfinderischen Tätigkeit.

So ist die Lehre der Druckschrift D2 nicht auf vier Halbleiterchips beschränkt. Druckschrift D2 gibt an mehreren Stellen zwei oder mehr Halbleiterchips an und an einer sogar vier oder mehr (vgl. Abs. [0029]: „*Some embodiments of the invention having up to **four or more** semiconductor dice provide complete exposure of all bond pads.*“). Dem Fachmann stellt sich damit die für ihn leicht zu lösende Aufgabe, wie er die weiteren Halbleiterchips auf den bereits vorhandenen stapelt. Hierzu wird er die Stapel einfach gemäß der bereits vorgegebenen Regel fortsetzen oder aber mehrfach übereinanderstapeln. Im Falle der Fig. 21 ergeben sich daraus die Merkmale 9.1.3, 9.1.3.1 bis 9.1.3.7, da diese eine dritte Untereinheit beschreiben, die in ihrem internen Aufbau gleich der ersten ist. Wird die Folge von Chips in Fig. 21 logisch fortgesetzt, wozu auch noch nähere Angaben zur Regel des Übereinanderstapelns in Druckschrift D2 angegeben werden (vgl. Abs. [0073]: „*As illustrated in drawing FIGS. 21 and 22, semiconductor dice 60B and 60C are offset in a reverse direction from semiconductor die 60A, and semiconductor die 60D is offset in a positive direction from underlying die 60C. Illustrated in drawing FIG. 21, semiconductor dice 60C and 60D are both rotated 180 degrees relative to semiconductor dice 60A and 60B, so that their bond pads 54C and 54D face in an opposite direction from bond pads 54A and 54B.*“), so ergeben sich aus dem Ergebnis auch die Merkmale 9.7.1 bis 9.7.5 in Analogie zu den Merkmalen 9.5.1 bis 9.5.5, da die dritte Untereinheit auf der zweiten Untereinheit in der gleichen Weise angeordnet ist, wie die zweite Untereinheit auf der ersten.

Merkmal 9.8 beansprucht ein direktes elektrisches Verbinden der ersten Trägerkopplungsstellen mit den fünften elektrischen Kopplungsstellen jeweils über einen Bonddraht, was nicht ohne weiteres der Druckschrift D2 entnommen werden kann.

Jedoch ist es nahezu unvermeidbar, die nach dem Stapeln einer dritten Untereinheit vorhandenen fünften Kopplungsstellen mittels eines Bonddrahtes mit Trägerkopplungsstellen zu verbinden, welche wiederum auf der rechten Seite des Trägers, also auf der Seite der ersten Trägerkopplungsstellen liegen. Abhängig davon, ob die elektrischen Signale, welche an die ersten und fünften Kopplungsstellen der Halbleiterchips übertragen werden sollen, gleich oder unterschiedlich sind, wird der Fachmann diese beide mit den ersten Trägerkopplungsstellen verbinden, wie dies beispielsweise auch in Fig. 3 der Druckschrift D1 für die Bonddrähte (45a, 45b, 45c; 55a, 55b, 55c) gezeigt wird, bzw. für die Verbindung mit den fünften Kopplungsstellen weitere Trägerkopplungsstellen ausbilden. Das Merkmal 9.8 ergibt sich somit für den Fachmann aus den jeweiligen Gegebenheiten und Zweck des Chipstapels.

Für den Verlauf der Herstellung des Chipstapels wäre es für den Fachmann wünschenswert, zunächst alle Halbleiterchips übereinander zu stapeln und dann die Chips zu bonden. Auf Grund der Überrasagungen beim in Fig. 21 der Druckschrift D2 gezeigten und auch beim sich in der Fortführung ergebenden Chipstapel ist eine solche Vorgehensweise jedoch nicht möglich und der Fachmann wird angehalten, die Chips vor dem Aufstapeln eines überragenden Chips drahtzubonden (vgl. Abs. [0076]: *„Where the bond pads 54 of a die 60 are overhung by a portion of another semiconductor die, those bond pads may be wire-bonded to the substrate 70 prior to mounting the overhanging die in the stack 61.”*). Der Fachmann hat nun eine Vielzahl von Möglichkeiten, wie er stattdessen vorgehen kann. Eine davon ist, die Chips paarweise aufzubringen, wie dies in Druckschrift D6 gemacht wird. Für diesen Fall sind die später überragten Kontaktstellen nach dem Aufbringen des Paares zum Drahtbonden immer noch uneingeschränkt zugänglich.

Druckschrift D6 beschreibt die Herstellung eines Chipstapels aus mehreren Halbleiterchips (siehe Fig. 7), bei dem Kontaktstellen für die Drahtverbindung zum Träger (720) ebenfalls von einem weiteren Chip überragt werden (siehe, wie die Chipkontaktstellen der unteren Bonddrähte 724 beispielsweise durch den dritten

Chip 714 überragt werden). Dabei werden zunächst Paare gebildet, welche dann übereinandergestapelt werden (vgl. Abs. [0034]: „Once the integrated circuit pair 200 is formed, the integrated circuit pair 200 may be stacked with other integrated circuit pairs. Once stacked, wire bonding may be performed. Details regarding forming an integrated circuit stack are provided with reference to FIG. 7.“). Diese Art der Stapelung wird genutzt, weil die Chips eines Paares durch einen Flip-Chip-Bondvorgang miteinander verbunden werden. Die Verbindung mit einem Bonddraht ist jedoch nur eine Alternative zum Flip-Chip-Bonden, so dass sich das in Druckschrift D6 beschriebene Verfahren, zunächst ein elektrisch verbundenes Paar von Halbleiterchips zu bilden und dieses Paar dann auf einen Träger oder andere aufgestapelte Halbleiterchips aufzubringen, für den Fachmann auch für diese Form der elektrischen Verbindung anbietet. Dies trifft vor allem dann zu, wenn der eine der beiden Chips nahezu ausschließlich Verbindungen zum anderen Chip aufweist und die Paare jeweils identisch zueinander sind, wie dies bei Speicherbausteinen der Fall ist. Ein solches paarweises Aufbringen ist somit auch für den Stapel in Fig. 21 der Druckschrift D2 naheliegend, zumal dieser auch in zwei, bei seiner Verdoppelung dann in vier Paare zerfällt, innerhalb derer die Kontaktstellen sich immer am gleichen Rand des Chips befinden, während sie sich bei den Chips des darüberliegenden Paares am gegenüberliegenden Rand befinden.

Damit ergeben sich auch die Merkmale 9.3, 9.5 und 9.7 für den Fachmann in naheliegender Weise aus dem Stand der Technik, so dass er insgesamt zum Verfahren des Anspruchs 9 des Hilfsantrags I kommt, ohne erfinderisch tätig werden zu müssen (§ 4 PatG). Das Verfahren des Anspruchs 9 ist somit nicht patentfähig.

**6.3.** Der Gegenstand des Anspruchs 1 des **Hilfsantrags II** wird von Druckschrift D6 neuheitsschädlich vorweggenommen (§ 3 PatG). So offenbart diese Druckschrift in Übereinstimmung mit dem Wortlaut des Anspruchs 1 des Hilfsantrags II eine

1. Anordnung von Halbleiterchips (siehe Fig. 7) mit integrierter Schaltung (vgl. Abs. [0001]: „*The present invention relates generally to stacking integrated circuits,...*“), umfassend

1.1 einen Stapel (*stack 700*) mit einem ersten Halbleiterchip (*second integrated circuit 718*) und einem zweiten Halbleiterchip (*first integrated circuit 716*), der auf dem ersten Halbleiterchip (*718*) angeordnet ist,

1.2 wobei der erste Halbleiterchip (*718*) eine erste Oberfläche (*oben*) und eine zweite Oberfläche (*unten*) aufweist,

1.3 wobei eine erste elektrische Kopplungsstelle (*wire bond pad 108 in Fig. 1B*) auf der ersten Oberfläche (*oben*) des ersten Halbleiterchips (*718*) angeordnet ist,

1.4 wobei der zweite Halbleiterchip (*716*) eine erste Oberfläche (*unten*) und eine zweite Oberfläche (*oben*) aufweist,

1.5 wobei eine zweite elektrische Kopplungsstelle (*wire bond pad 106 in Fig. 1A*) auf der ersten Oberfläche (*unten*) des zweiten Halbleiterchips (*716*) angeordnet ist,

1.6 wobei der zweite Halbleiterchip (*716*) auf den ersten Halbleiterchip (*718*) gestapelt ist, derart, dass die erste Oberfläche (*oben*) des ersten Halbleiterchips (*718*) und die erste Oberfläche (*unten*) des zweiten Halbleiterchips (*716*) einander zugewandt sind (vgl. Abs. [0029]: „*FIG. 2 depicts a top view of an integrated circuit pair 200 formed by the first and second integrated circuits 102, 104 depicted in FIG. 1. To assemble the integrated circuit pair 200, the first integrated circuit 102 is rotated 90 degrees (this rotation was already depicted in FIG. 1A) and flipped in relation to the second integrated circuit 102. By flipping the first integrated circuit 102, the active surface of the first integrated circuit 102 may be facing the active surface of the second integrated circuit 104.*“) und die erste elektrische Kop-

plungsstelle (108) an der ersten Oberfläche (oben) des ersten Halbleiterchips (718) zumindest teilweise freiliegt (siehe Fig. 2), und

1.7 wobei die erste elektrische Kopplungsstelle (108) und die zweite elektrische Kopplungsstelle (106) direkt elektrisch verbunden sind (siehe Fig. 1A und 1B; dort gibt es erste elektrische Kopplungsstellen 108, welche über interne Kontaktstellen 110 und 112 mit einer zweiten elektrischen Kopplungsstelle 106 verbunden sind, so beispielsweise die zweite erste elektrische Kopplungsstelle 108 von oben sowohl links als auch rechts mit der zweiten zweiten elektrischen Kopplungsstelle 106 unten von links bzw. der fünften zweiten elektrischen Kopplungsstelle 106 unten von rechts. Vgl. Abs. [0027]: „The interconnections may connect the wire bond pads 108 to appropriate interior solderable chip pads 110, 112. As a result of the interconnections, the signals needed on the first integrated circuit 102 may be supplied through the wire bond pads 108 on the second integrated circuit 104 when the first and second integrated circuits 102, 104 are connected together.”);

1.8 und weiter umfassend einen Halbleiterchipaufbau (second integrated circuit 714), der auf dem zweiten Halbleiterchip (716) des Stapels (700) angeordnet ist, derart, dass eine Ausnehmung (siehe die Ausnehmung zwischen den Chips 718 und 714) gebildet ist, wobei

1.9 die erste elektrische Kopplungsstelle (108) auf der ersten Oberfläche (oben) des ersten Halbleiterchips (718) in der Ausnehmung angeordnet ist (siehe die Position des Bonddrahtes 724 in Fig. 7 und vgl. Abs. [0053]: „As seen in FIG. 7, the first integrated circuit 716 in the third integrated circuit pair 706 may provide spacing between the second integrated circuit 714 in the second integrated circuit pair 704 and the second integrated circuit 718 in the third integrated circuit pair 706. Likewise, the first integrated circuit 712 in the second integrated circuit pair 704 may provide spacing between the second integrated circuit 710 in the first integrated circuit pair 702 and the second integrated circuit 714 in the second inte-

*grated circuit pair 704. This spacing may provide clearance for the wire bonds 724 to reach the substrate 720 without obstruction.”).*

Aus den in den Fig. 1A und 1B gezeigten Verbindungen ergibt sich demnach, dass einige in den Ecken der Chips angeordnete Kopplungsstellen der beiden Chips über elektrische Leitungen miteinander verbunden sind. Solche Leitungen stellen direkte Verbindungen im Sinne der Anmeldung dar, denn auch in der Figur 1A der vorliegenden Anmeldung erfolgt die Verbindung, welche als direkt bezeichnet wird, über ein leitfähiges Element (120; vgl. S. 5, Z. 7 bis 13 der geltenden Beschreibung zu Hilfsantrag II: „Der Stapel 102 weist ferner ein leitfähiges Element 120 auf, das bei dem in Fig. 1(A) gezeigten Ausführungsbeispiel für eine direkte elektrische Verbindung der ersten elektrischen Kopplungsstelle 110 des ersten Halbleiterchips 104 und der zweiten elektrischen Kopplungsstelle 118 des zweiten Halbleiterchips 112 vorgesehen ist.“). Da somit der Gegenstand des Anspruchs 1 des Hilfsantrags II keine weiteren in Druckschrift D6 nicht offenbarten Merkmale aufweist, ist er deshalb nicht neu (§ 3 PatG) und damit nicht patentfähig.

**6.4** Anspruch 1 des **Hilfsantrags III** ist identisch zu Anspruch 9 des Hilfsantrags I und damit wie dieser zu beurteilen. Dies bedeutet, dass das in ihm beanspruchte Verfahren auf keiner erfinderischen Tätigkeit des Fachmanns beruht (§ 4 PatG) und damit nicht patentfähig ist.

**6.5** Der zu Anspruch 9 des Hilfsantrags I nebengeordnet Anspruch 1 des Hilfsantrags I sowie die den selbständigen Ansprüchen der unterschiedlichen Anträge untergeordneten Ansprüche fallen auf Grund der Antragsbindung mit den in den Punkten 6.1 bis 6.4 erläuterten Ansprüchen (vgl. *BGH GRUR 2007, 862, 863, Tz 18, „Informationsübermittlungsverfahren II“*).

**7.** Bei dieser Sachlage war die Beschwerde der Anmelderin zurückzuweisen.



### III. Rechtsmittelbelehrung

Gegen diesen Beschluss steht der Beschwerdeführerin das Rechtsmittel der **Rechtsbeschwerde** zu. Da der Senat die Rechtsbeschwerde nicht zugelassen hat, ist sie nur statthaft, wenn einer der nachfolgenden Verfahrensmängel gerügt wird, nämlich

1. dass das beschließende Gericht nicht vorschriftsmäßig besetzt war,
2. dass bei dem Beschluss ein Richter mitgewirkt hat, der von der Ausübung des Richteramtes kraft Gesetzes ausgeschlossen oder wegen Besorgnis der Befangenheit mit Erfolg abgelehnt war,
3. dass einem Beteiligten das rechtliche Gehör versagt war,
4. dass ein Beteiligter im Verfahren nicht nach Vorschrift des Gesetzes vertreten war, sofern er nicht der Führung des Verfahrens ausdrücklich oder stillschweigend zugestimmt hat,
5. dass der Beschluss aufgrund einer mündlichen Verhandlung ergangen ist, bei der die Vorschriften über die Öffentlichkeit des Verfahrens verletzt worden sind, oder
6. dass der Beschluss nicht mit Gründen versehen ist.

Die Rechtsbeschwerde ist **innerhalb eines Monats** nach Zustellung des Beschlusses

schriftlich durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten beim Bundesgerichtshof, Herrenstr. 45 a, 76133 Karlsruhe, einzureichen oder

durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten in elektronischer Form bei der elektronischen Poststelle des BGH, [www.bundesgerichtshof.de/erv.html](http://www.bundesgerichtshof.de/erv.html). Das elektronische Dokument ist mit einer prüfbaren qualifizierten elektronischen Signatur nach dem Signaturgesetz oder mit einer prüfbaren fortgeschrittenen elektronischen Signatur zu versehen. Die Eignungsvoraussetzungen für eine Prüfung und für die Formate des elektronischen

Dokumente werden auf der Internetseite des Bundesgerichtshofs [www.bundesgerichtshof.de/erv.html](http://www.bundesgerichtshof.de/erv.html) bekannt gegeben.

Dr. Strößner

Dr. Friedrich

Dr. Zebisch

Dr. Himmelmann

Hu