



# BUNDESPATENTGERICHT

17 W (pat) 23/13

---

(Aktenzeichen)

Verkündet am  
23. Juli 2015

...

## BESCHLUSS

In der Beschwerdesache

**betreffend die Patentanmeldung 10 2005 016 574.5-53**

...

hat der 17. Senat (Technischer Beschwerdesenat) des Bundespatentgerichts auf die mündliche Verhandlung vom 23. Juli 2015 unter Mitwirkung des Vorsitzenden Richters Dipl.-Phys. Dr. Morawek, der Richterin Eder sowie der Richterin Dipl.-Phys. Dr. Thum-Rung und des Richters Dipl.-Phys. Dr. Forkel

beschlossen:

Die Beschwerde wird zurückgewiesen.

## **Gründe**

### **I.**

Die vorliegende Patentanmeldung wurde am 11. April 2005 beim Deutschen Patent- und Markenamt eingereicht. Sie trägt die Bezeichnung

„Rechnergestütztes Verfahren zur Schnittstellen-Charakterisierung und zur Vorbereitung der messtechnischen Schnittstellen-Charakterisierung eines Halbleiter-Chips“.

Die Anmeldung wurde bezüglich des geltenden Hauptantrags von der Prüfungsstelle für Klasse G06F des Deutschen Patent- und Markenamtes mit Beschluss vom 5. April 2013 mit der Begründung zurückgewiesen, dass der Gegenstand des geltenden Hauptanspruchs gemäß Hauptantrag gemäß § 1 Abs. 3 i. V. m. Abs. 4 PatG dem Patentschutz nicht zugänglich sei. Gleichzeitig wurde auf den damaligen Hilfsantrag hin ein Patent erteilt.

Gegen diesen Beschluss ist die Beschwerde der Anmelderin gerichtet.

Die Anmelderin stellt den Antrag,

den angefochtenen Beschluss aufzuheben und das nachgesuchte Patent mit folgenden Unterlagen zu erteilen:

Patentansprüche 1-13 vom 22.07.2015,  
Beschreibung Seiten 4, 4a, 7 vom 31.03.2006,  
Beschreibung Seiten 1-3, 5, 6, 8-37 vom Anmeldetag,  
12 Blatt Zeichnungen mit Figuren 1-13 vom 24.05.2005.

Im Prüfungsverfahren vor dem Deutschen Patent- und Markenamt sind die Druckschriften

**D1: US 5 651 012 A**

und

**D2: US 5 507 029 A**

genannt worden. Vom Senat wurden zusätzlich die Druckschriften

**D3: CLAUß, C.; DONATH, U.; HAASE, J.; HAUFE, J.; KURTH, G.; LEITNER, T.; SCHNEIDER, A.; SCHWARZ, P.; TRAPPE, P.; WINKLER, F.; WÜNSCHE, S.: Simulation in der Mikrosystemtechnik mit KOSIM, 4. Workshop „Methoden- und Werkzeugentwicklung für den Mikrosystementwurf“ im Rahmen des 4. Statusseminars zum BMBF-Verbundprojekt METEOR. Tagungsband Paderborn: C-LAB/Analoge Systemtechnik 1996, pp. 179-202**

und

**D4: US 5 381 524 A**

eingeführt.

Zu den Einzelheiten wird auf die Akte verwiesen.

Der geltende Patentanspruch 1, hier mit einer denkbaren Gliederung versehen, lautet:

- (a')** Rechnergestütztes Verfahren zur Bestimmung des Werts mindestens einer zeitabhängigen Kenngröße  $(td; t_{I2Snni})$  der digitalen Schnittstelle eines Halbleiter-Chip-Entwurfs und Verwendung des Ergebnisses bei der messtechnischen Charakterisierung der Schnittstelle, mit den Schritten:
- (a)** Entgegennahme des simulierten Zeitverlaufs eines oder mehrerer elektrischer Signale, welche die digitale Schnittstelle betreffen;
  - (b)** Bestimmen zweier relativer Umschaltzeitpunkte für das eine elektrische Signal oder zweier relativer Umschaltzeitpunkte  $(t1p, t2p)$  für verschiedene elektrische Signale aus dem Zeitverlauf bzw. den Zeitverläufen, wobei ein relativer Umschaltzeitpunkt die Zeitlage einer oder mehrerer gleichartiger oder verschiedenartiger Flanken des jeweiligen Signals innerhalb einer sich wiederholenden Periode mit einer Periodendauer  $T$  angibt;
  - (c)** Ermitteln des Werts der zeitabhängigen Kenngröße  $(td; t_{I2Snni})$  in Abhängigkeit der relativen Umschaltzeitpunkte  $(t1p, t2p)$ ; und
  - (d)** Durchführen einer messtechnischen Charakterisierung der Schnittstelle des hergestellten Halbleiter-Chips, wobei das Ergebnis des Schrittes c) zur Verifikation der Ergebnisse der messtechnischen Charakterisierung herangezogen wird.

Zu den nebengeordneten Patentansprüchen 5 und 13 sowie zu den Unteransprüchen 2 bis 4 und 6 bis 12 wird auf die Akte verwiesen.

Die Anmelderin trägt vor, der Gegenstand der Anmeldung ermögliche es, die Timing-Parameter eines Halbleiter-Chips bereits vor dem Tape-Out, d. h. vor der Chip-Fertigung mit Hilfe einer Simulation zu ermitteln. Damit werde insbesondere der Aufwand für die messtechnische Charakterisierung des Chips erheblich gesenkt, was u. a. einen Kostenvorteil in der Chipfertigung mit sich bringe.

Der Gegenstand nach Patentanspruch 1 sei nicht nur dem Patentschutz grundsätzlich zugänglich, er sei darüber hinaus neu und beruhe auch auf erfinderischer Tätigkeit.

## II.

Die Beschwerde wurde rechtzeitig eingelegt und ist auch sonst zulässig. Sie hat jedoch keinen Erfolg, da das Verfahren des Patentanspruchs 1 nicht auf erfinderischer Tätigkeit beruht (§ 1 Abs. 1 in Verbindung mit § 4 Satz 1 PatG).

1. Die vorliegende Patentanmeldung bezieht sich auf ein rechnergestütztes Verfahren zur Bestimmung des Werts zeitabhängiger Kenngrößen der digitalen Schnittstelle eines Halbleiter-Chips, welches zeitlich vor der messtechnischen Bestimmung dieser Kenngrößen an dem gefertigten Halbleiter-Chip durchgeführt werden kann. Ferner betrifft die Anmeldung ein rechnergestütztes Verfahren zur Bestimmung eines geeigneten Abtastzeitpunkts für Ausgangssignale sowie zur Bestimmung einer geeigneten Zeitlage von Eingangssignal-Flanken für die spätere Messung eines Halbleiter-Chips (Offenlegungsschrift, [0001]).

In der Beschreibungseinleitung ist erläutert, dass sich der zeitliche Ablauf ausgehend von dem Entwurf eines digitalen Halbleiter-Chips bis hin zur Massenfertigung

des Halbleiter-Chips in mehrere Phasen gliedert. Nach dem Abschluss der Entwurfsphase stehe eine Gate-Level-Netzliste zur Verfügung, welche den entworfenen Halbleiter-Chip auf Gatter-Ebene beschreibt. Basierend auf der Gate-Level-Netzliste werde der Schaltungsentwurf mit Simulationswerkzeugen funktional verifiziert. Bei der AC-Verifikation würden eingangsseitige und ausgangsseitige Testmuster (AC-Pattern oder Test-Pattern) funktional geprüft. Nach dem sogenannten Tape-Out, d. h. der Überleitung der Maskendaten des Halbleiter-Chips an die Chip-Fertigung, würden erste Vorbereitungen für den späteren Test des gefertigten Halbleiter-Chips in einer automatisierten messtechnischen Testumgebung erfolgen (Offenlegungsschrift, [0002]). Erst nach der Verfügbarkeit der ersten Muster des Halbleiter-Chips könne die sogenannte AC-Charakterisierung der digitalen Schnittstelle des Halbleiter-Chips in der Testumgebung durchgeführt werden. Bei der AC-Charakterisierung würden die zeitabhängigen Kenngrößen, d. h. die Timing-Parameter der Chip-extern sichtbaren digitalen Schnittstelle des Halbleiter-Chips vermessen. Der tolerierte Wertebereich dieser Timing-Parameter sei in der Spezifikation des Halbleiter-Chips angegeben (Offenlegungsschrift, [0003]). Beispiele für Timing-Parameter seien die Verzögerung einer Umschaltflanke eines ersten Ausgangs zu der Umschaltflanke eines zweiten Ausgangs (z. B. für Takt- und Datenausgang) oder die Pulsbreite eines einzelnen Ausgangssignals. Generell würden Timing-Parameter als Differenzen der Zeitlagen der Flanken verschiedener Schnittstellen-bezogener Signale oder desselben Schnittstellen-bezogenen Signals ermittelt. Handle es sich bei einem solchen Schnittstellen-bezogenen Signal um ein Eingangssignal, sei bei der Berechnung des zugehörigen Timing-Parameters nicht die Signalfanke des Eingangssignals, sondern die Signalfanke des internen Abtaststeuersignals (des Latch-Signals) des das Eingangssignal eintaktenden Flipflops maßgeblich. Im Fall eines Ausgangs werde hingegen direkt die Zeitlage der Flanke des jeweiligen Ausgangssignals ermittelt (Offenlegungsschrift, [0004]). Bei der AC-Charakterisierung mittels einer messtechnischen Einrichtung müssten zunächst die Zeitlagen der jeweiligen Signalfanken bestimmt werden, aus denen dann über eine Differenzbildung die gesuchten Timing-Parameter berechnet würden. Ein Nachteil der messtechnischen AC-Charakterisierung eines

Halbleiter-Bausteins bestehe aber darin, dass die AC-Charakterisierung erst dann durchgeführt werden könne, wenn erste Muster für den Halbleiter-Chip verfügbar seien. Ob der entworfene Baustein den spezifizierten Anforderungen an die Timing-Parameter gerecht werde, könne damit zeitlich erst nach dem Tape-Out überprüft werden, was aber ein erhebliches Design-Risiko bedeute, da der Baustein möglicherweise die Spezifikation nicht erfülle. Außerdem würden bei der AC-Charakterisierung häufig ungeeignete Strobe-Zeitpunkte für Ausgangssignale und in Bezug auf die Latch-Zeitpunkte ungeeignete Zeitlagen für die Flanken der Eingangssignale verwendet, so dass die Messung verfälscht werde (Offenlegungsschrift, [0005]-[0009]).

Die der Anmeldung zugrundeliegende objektive **Aufgabe** sieht der Senat darin, ein Verfahren anzugeben, welches die Bestimmung der Timing-Parameter bereits vor dem Tape-Out des Halbleiter-Chips und der Verfügbarkeit der ersten Muster des Halbleiter-Chips ermöglicht, so dass diese als Ausgangspunkt für eine messtechnische AC-Charakterisierung des Chips dienen können.

Als **Fachmann**, der mit der Aufgabe betraut wird, ein Verfahren zur Bestimmung von Timing-Parametern eines Halbleiter-Chips zu verbessern, ist ein berufserfahrener Ingenieur der Elektrotechnik anzusehen, welcher über fundierte Kenntnisse auf dem Gebiet des computergestützten Schaltungsentwurfs und der Schaltungssimulation verfügt.

2. Die Würdigung des eingeführten Materials aus dem Stand der Technik ergibt, dass das mit dem Patentanspruch 1 beanspruchte Verfahren für den Fachmann nahegelegen hat. Dies gilt selbst dann, wenn der Prüfung der gesamte Patentanspruch mit all seinen Merkmalen zugrunde gelegt wird. Damit kann dahingestellt bleiben, ob das beanspruchte Verfahren gemäß § 1 Abs. 3 i. V. m. Abs. 4 PatG vom Patentschutz ausgeschlossen ist, und ob der Patentanspruch 1 Merkmale enthält, die nicht die Lösung eines technischen Problems mit technischen Mitteln bestimmen oder beeinflussen und somit bei der Prüfung der erfinderischen

Tätigkeit nicht zu berücksichtigen sind (*BGH GRUR 2011, 125 - Wiedergabe topografischer Informationen*).

## 2.1 Zur Lehre des Patentanspruchs 1.

Zur Lösung der oben genannten Aufgabe schlägt der Patentanspruch 1 ein Verfahren zur Bestimmung des Werts mindestens einer zeitabhängigen Kenngröße der digitalen Schnittstelle eines Halbleiter-Chip-Entwurfs vor. Das Verfahren ist als Computerprogramm implementiert, das auf einem Rechner ausgeführt wird. Das ermittelte Ergebnis soll bei der messtechnischen Charakterisierung der Schnittstelle verwendet werden. (Merkmal **(a)**).

Merkmal **(a)** besagt, dass ein simulierter Zeitverlauf entgegengenommen wird. Es soll sich hierbei um den simulierten Zeitverlauf eines elektrischen Signals oder mehrerer elektrischer Signale an der digitalen Schnittstelle des Halbleiter-Chips handeln.

Aus dem entgegengenommenen Zeitverlauf werden zwei relative Umschaltzeitpunkte bestimmt. Ein relativer Umschaltzeitpunkt gibt die Zeitlage einer oder mehrerer gleichartiger oder verschiedenartiger Flanken des jeweiligen Signals innerhalb einer sich wiederholenden Periode mit der Periodendauer  $T$  an (Merkmal **(b)**). Als mögliches Verfahren zur Bestimmung eines relativen Umschaltzeitpunktes aus dem Zeitpunkt einer Flanke des entgegengenommenen Zeitverlaufs wird in der Beschreibung die „modulo“ Operation angeführt, d. h. die Bestimmung des Teilungsrestes beim Dividieren durch die Periodendauer (Offenlegungsschrift, [0025]). Die Figur 5 zeigt relative Umschaltzeitpunkte  $t_{1p}$  und  $t_{2p}$ . Der relative Umschaltzeitpunkt  $t_{1p}$  ist ausgehend von der Periodenzeit  $0T$  gemessen, während der relative Umschaltzeitpunkt  $t_{2p}$  von der Periodenzeit  $2T$  aus gemessen ist.



Gemäß Merkmal **(c)** wird der Wert einer zeitabhängigen Kenngröße in Abhängigkeit der relativen Umschaltzeitpunkte ermittelt. Dies geschieht laut Beschreibung gemäß einer der Kenngröße bzw. dem Timing-Parameter zugeordneten Berechnungsvorschrift, vorzugsweise einer Subtraktion (Offenlegungsschrift, [0057]).

Weiterhin wird eine messtechnische Charakterisierung der Schnittstelle des hergestellten Halbleiter-Chips durchgeführt. Laut Beschreibung erfolgt zur Bestimmung von Timing-Parametern eine AC-Charakterisierung in einer messtechnischen Testumgebung (Offenlegungsschrift, [0005]). Anhand der ermittelten zeitabhängigen Kenngröße sollen die bei der messtechnischen Charakterisierung erzielten Ergebnisse auf ihre Richtigkeit hin überprüft werden (Merkmal **(d)**).

**2.2** Zur Beurteilung der beanspruchten Lehre sind die Druckschriften **D3** und **D4** von besonderer Bedeutung.

Die Druckschrift **D3** beschreibt KOSIM, einen Simulator für die Mikrosystemtechnik. KOSIM unterstützt u. a. eine Timing-Simulation auf Grundlage eines Relaxationsverfahrens zur Lösung großer nichtlinearer Differentialgleichungssysteme (Seite 181, linke Spalte, oben). Der Simulator KOSIM ist ein interaktiver Simulator, d. h. der Benutzer hat vielfältige Möglichkeiten, die Simulation zu beeinflussen, z. B. durch Haltepunkte, temporäre Änderungen, Ausgaben usw. KOSIM wird durch ADDA, einem Tool zur graphischen Auswertung der Simulationsergebnisse ergänzt. In einem Waveform-Display stellt ADDA die Signalfanken elektrischer Signale dar. Analoge und digitale Signalwerte werden graphisch ausgegeben (Seite 182, Bild 3-2).

Somit offenbart die Druckschrift **D3** ein computerimplementiertes Verfahren, das u. a. das Zeitverhalten integrierter Schaltkreise berechnet mit dem Ziel, die jeweiligen Mikrosysteme in ihrem Zusammenwirken mit ihrer Elektronik zu simulieren (Seite 179, rechte Spalte, unten bis Seite 180, linke Spalte, oben; Seite 180, Bild 2-1; Seite 180, rechte Spalte, Abschnitt 2 – KOSIM als Simulator für die Mik-

rossystemtechnik; Seite 181, linke Spalte, oben, siehe „Timing-Simulation“). In KOSIM wird das zu simulierende System, z. B. der Entwurf eines VLSI Chips, also eines Halbleiter Chips, als Netz aus Elementen und Verbindungen beschrieben, wobei für jedes Element entweder eine Verhaltens- oder Strukturbeschreibung existiert. Die Verhaltensbeschreibungen geben die Transformation der Eingangssignale in die Ausgangssignale an und berücksichtigen damit das Signalverhalten an den beteiligten digitalen Schnittstellen des VLSI Chips (Seite 181, linke Spalte, Mitte). In Hinblick auf eine modellbasierte Timing-Analyse an den Ein- und Ausgängen der Schnittstellen für eine Beschreibung des Zeitverhaltens des Chips geeignete (zeitabhängige) Kenngrößen zu bestimmen, stellt dabei eine technische Notwendigkeit dar, die vom Fachmann in der Druckschrift **D3** mitgelesen wird (teilweise Merkmal **(a')**). Die Verwendung solcher Kenngrößen im Rahmen einer messtechnischen Charakterisierung der Schnittstelle geht aus der Druckschrift **D3** allerdings nicht hervor.

Im bekannten Verfahren wird aus bereitgestellten Simulationsergebnissen ein zeitlicher Verlauf elektrischer Ein- und Ausgangssignale an digitalen Schnittstellen in einem Waveform-Display wiedergegeben (Seite 182, rechte Spalte, Bild 3-2). Merkmal **(a)**, welches die Entgegennahme bzw. Erfassung eines simulierten Zeitverlaufs elektrischer Signale vorsieht, ist sonach in der Druckschrift **D3** verwirklicht.

Aus der Druckschrift **D3** nicht bekannt sind die Bestimmung zweier relativer Umschaltzeitpunkte, der Ermittlung des Werts der zeitabhängigen Kenngröße in Abhängigkeit der Umschaltzeitpunkte sowie der Durchführung einer messtechnischen Charakterisierung der Schnittstelle des hergestellten Halbleiter-Chips i. S. d. Merkmale **(b)**, **(c)** und **(d)**.

Die Druckschrift **D4** befasst sich mit einem computerimplementierten Verfahren zum Entwurf von Signal-Zeit-Diagrammen für elektrische Schaltkreise. Das bekannte Verfahren automatisiert die Eingabe, Änderung und Analyse von Signal-

Zeit-Diagrammen und unterstützt die Fehlersuche im Design des jeweiligen Schaltkreises (Abstract; Spalte 1, Zeilen 1-26). Timing-Parameter, also zeitabhängige Kenngrößen, wie z. B. Signalverzögerung oder Zeitversatz von Signalen („delays“ und „signal skews“) werden in Signal-Zeit-Diagrammen untersucht (Spalte 6, Zeilen 15-24; Spalte 12, Zeile 65 – Spalte 13, Zeile 3; Spalte 14, Zeilen 12 - 26; Spalte 20, Zeilen 4 - 22).

Im Verfahren der Druckschrift **D4** werden die Zeitlagen von Flanken verschiedener Signale (vgl. Fig. 9, „SIGA“ und „SIGB“; vgl. Fig. 10, „1“ und „2“) bezogen auf die Periode eines Taktsignals (vgl. Fig. 9, „SIGNAL“; vgl. Fig. 10, „CLK“) bestimmt (Spalte 20, Zeilen 4 - 48; siehe Zeile 25 „delay value 162 of [5,30]“). Die Signalfanken bzw. deren Zeitlagen repräsentieren somit relative Umschaltzeitpunkte i. S. d. Anmeldung für verschiedene elektrische Signale im dargestellten Zeitverlauf (Merkmal **(b)**).

Aus den Signalfanken bzw. Umschaltzeitpunkten werden Werte für die zeitabhängigen Kenngrößen, wie z. B. Signalverzögerung („delay value 162“) oder Signalversatz („signal skew 166“) ermittelt (Fig. 9; Fig. 10; Spalte 20, Zeilen 4 – 48, Merkmal **(c)**).

**2.3** Die Würdigung dieses Materials aus dem Stand der Technik ergibt, dass der mit dem Patentanspruch 1 beanspruchte Gegenstand für den Fachmann nahegelegen hat.

Zu den routinemäßigen Aufgaben, die sich dem Fachmann stellen, der sich insbesondere mit Problemen beim Entwurf digitaler Schaltkreise befasst, gehört es, neben der Performance ebenso die Funktionalität von Simulations- und Analysewerkzeugen, wie dem aus der Druckschrift **D3** entnehmbaren System, ständig zu verbessern. Für den Fachmann lag es daher nahe, sich zu diesem Zweck überall dort nach Anregungen umzusehen, wo effektive Systeme für das Design, die Analyse und den Test von Schaltkreisen zum Einsatz kommen. Hierbei konnte der

Fachmann auf die Druckschrift **D4** stoßen, welche lehrt, Zeitdiagramme von Schaltkreisen zu analysieren und zu verändern, indem u. a. zeitabhängige Kenngrößen ermittelt und angepasst werden können. Angesichts des in der Druckschrift **D3** gegebenen Hinweises, im Simulator KOSIM die Integration zusätzlicher Entwurfshilfsmittel zu ermöglichen (vgl. **D3** Seite 183, Abschnitt 4 – „Framework Einbindung“) bot es sich für den Fachmann an, das aus der Druckschrift **D3** bekannte Verfahren bzw. System um die Funktionalität einer differenzierten Timing Analyse nach dem Vorbild der Druckschrift **D4** zu erweitern. Damit waren die Merkmale **(b)** und **(c)** naheliegend.

Zudem gehörte es zum Fachwissen des hier einschlägigen Fachmannes, dass reale digitale Schaltkreise eine gewisse Schwankungsbreite in den Verzögerungszeiten ihrer einzelnen Bauelemente aufweisen, aber dennoch Zeitbedingungen für die Flanken der jeweiligen Signale eingehalten werden müssen, damit die Schaltkreise richtig arbeiten, vgl. etwa **D4** (Spalte 2, Zeilen 4 - 14; Spalte 16, Zeilen 28 - 32); gemäß einem Entwurf hergestellte Schaltkreise müssen daher, zumindest für einzelne Testexemplare, auf Einhaltung dieser Bedingungen überprüft werden. Damit lag es für den Fachmann nahe, die aus den simulierten Zeitdiagrammen der digitalen Schaltkreise gewonnenen Kenngrößen nicht nur als Grundlage für den Entwurf neuer Schaltkreise bzw. Chips zu verwenden, sondern diese ebenso zur Bewertung entsprechender Resultate von durchgeführten messtechnischen Charakterisierungen an gemäß dem Entwurf hergestellten Halbleiter-Chips heranzuziehen. Im Übrigen ist der Fachmann grundsätzlich bestrebt, aus experimentellen Simulationen bzw. Modellberechnungen gewonnene Ergebnisse mit entsprechenden Messergebnissen zu vergleichen, um einerseits die Brauchbarkeit der den Rechnungen jeweils zugrundeliegenden Modelle zu überprüfen und andererseits die Glaubwürdigkeit der Messergebnisse zu belegen, diese also zu verifizieren (Merkmal **(d)**, restlicher Teil von Merkmal **(a)**).

Der Einwand der Anmelderin, keine der Druckschriften gebe dem Fachmann eine Anregung, die ermittelten zeitabhängigen Kenngrößen in der Messtechnik anzuwenden, greift insoweit nicht durch.

Durch die geschilderten Überlegungen, die keine erfinderische Tätigkeit erforderten, konnte der Fachmann zum Verfahren des Patentanspruchs 1 gelangen.

**2.4** Mit dem nicht patentfähigen Patentanspruch 1 sind auch die jeweils auf ein „Rechnergestütztes Verfahren“ gerichteten nebengeordneten Patentansprüche 5 und 13 sowie die Unteransprüche 2 bis 4 und 6 bis 12 nicht schutzfähig, da über einen Antrag nur einheitlich entschieden werden kann (*BGH GRUR 1997, 120 - Elektrisches Speicherheizgerät; BGH GRUR 2007, 862 - Informationsübermittlungsverfahren II*).

### **Rechtsmittelbelehrung**

Gegen diesen Beschluss steht den am Beschwerdeverfahren Beteiligten das Rechtsmittel der Rechtsbeschwerde zu. Da der Senat die Rechtsbeschwerde nicht zugelassen hat, ist sie nur statthaft, wenn gerügt wird, dass

1. das beschließende Gericht nicht vorschriftsmäßig besetzt war,
2. bei dem Beschluss ein Richter mitgewirkt hat, der von der Ausübung des Richteramtes kraft Gesetzes ausgeschlossen oder wegen Besorgnis der Befangenheit mit Erfolg abgelehnt war,
3. einem Beteiligten das rechtliche Gehör versagt war,
4. ein Beteiligter im Verfahren nicht nach Vorschrift des Gesetzes vertreten war, sofern er nicht der Führung des Verfahrens ausdrücklich oder stillschweigend zugestimmt hat,
5. der Beschluss aufgrund einer mündlichen Verhandlung ergangen ist, bei der die Vorschriften über die Öffentlichkeit des Verfahrens verletzt worden sind, oder
6. der Beschluss nicht mit Gründen versehen ist.

Die Rechtsbeschwerde ist innerhalb eines Monats nach Zustellung des Beschlusses beim Bundesgerichtshof, Herrenstr. 45 a, 76133 Karlsruhe, durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten schriftlich einzulegen.

Dr. Morawek

Eder

Dr. Thum-Rung

Dr. Forkel

Fa