



# BUNDESPATENTGERICHT

18 W (pat) 169/14

---

(Aktenzeichen)

## BESCHLUSS

In der Beschwerdesache

**betreffend die Patentanmeldung 10 2007 001 041.0 - 53**

...

hat der 18. Senat (Techn. Beschwerdesenat) des Bundespatentgerichts am 25. Oktober 2016 durch die Vorsitzende Richterin Dipl.-Ing. Wickborn sowie die Richter Kruppa, Dipl.-Phys. Dr. Schwengelbeck und Dipl.-Ing. Altvater

beschlossen:

Auf die Beschwerde der Anmelderin wird der Beschluss der Prüfungsstelle für Klasse G 06 F des Deutschen Patent- und Markenamts vom 5. April 2012 aufgehoben und das Patent auf der Grundlage der folgenden Unterlagen erteilt:

- Patentansprüche 1 bis 7, eingegangen am 20. September 2016,
- Beschreibung, Seiten 1, 3 bis 7 und 9 bis 11, eingegangen am 3. Januar 2007, Seiten 2 und 8, eingegangen am 20. September 2016, Seite 2a, eingegangen am 12. September 2016,
- Zeichnungen 1 bis 4, eingegangen am 3. Januar 2007.

## **Gründe**

### **I.**

Die am 3. Januar 2007 beim Deutschen Patent- und Markenamt unter Inanspruchnahme einer taiwanesischen Priorität vom 11. September 2006 eingereichte Patentanmeldung 10 2007 001 041.0 mit der Bezeichnung

„Latenzzeitähler mit Frequenzdetektor und Latenzzeitählverfahren“

wurde durch Beschluss der Prüfungsstelle für Klasse G06F des Deutschen Patent- und Markenamts vom 5. April 2012 zurückgewiesen, da der Gegenstand des (damals geltenden) Patentanspruchs 1 durch Druckschrift

nahegelegt und dieser somit mangels erfinderischer Tätigkeit nicht gewährbar sei.

Als weiterer Stand der Technik wurden im Prüfungsverfahren die folgenden Druckschriften genannt:

- D1** US 2005 / 0105349 A1,
- D2** CN 1 828 765 A (mit DE 10 2005 009 806 A1 als Übersetzung),
- D3** US 6 134 182 A,
- D4** DE 10 2004 037 164 A1 und
- D5** KR 1020050041188 A.

Mit Schriftsatz vom 27. Juni 2016 hat der Senat auf folgende Druckschrift als möglicherweise relevanten Stand der Technik hingewiesen:

- D7** US 2005 / 0248997 A1.

Gegen den vorstehend genannten Beschluss richtet sich die Beschwerde der Anmelderin.

Sie beantragt, zuletzt mit Schreiben vom 5. Oktober 2016,

den Beschluss vom 5. April 2012 aufzuheben und ein Patent auf Basis

- der Patentansprüche 1 bis 7 gemäß Anlage des Schreibens vom 20. September 2016,
- den anliegenden Beschreibungsseiten 2 und 8 des Schreibens vom 20. September 2016, der mit Schreiben vom 12. September 2016 eingereichten Beschreibungsseite 2a, der Beschreibungsseiten 1 und 3 bis 7 sowie 9 bis 11 wie ursprünglich eingereicht

- sowie der Figuren 1 bis 4 wie ursprünglich eingereicht

zu erteilen.

Der seitens des Senats mit einer Gliederung versehene **Patentanspruch 1** lautet:

- M0** „Latenzzeitähler (100), angewandt bei einem Speicher, um ein Speicherzugriffssteuersignal (PAR) zu verzögern, wobei der Latenzzeitähler umfasst:
- M1** ein Taktverzögerungsmodul (102), das mit einem Eingangstaktsignal ( $V_{\text{clk}}$ ) gekoppelt ist, um zumindest einen Verzögerungsbetrag am Eingangstaktsignal anzuwenden, um ein verzögertes Eingangstaktsignal zu erzeugen;
- M2** einen Frequenzdetektor (104), der mit dem Taktverzögerungsmodul (102) gekoppelt ist, um eine Frequenz eines bestimmten Signals des Speichers zu erfassen, um den Verzögerungsbetrag festzulegen; und
- M3** ein Verzögerungssteuersignal-Erzeugungsmodul (106), das mit dem verzögerten Eingangstaktsignal, dem Eingangstaktsignal ( $V_{\text{clk}}$ ) und dem Speicherzugriffssteuersignal (PAR) gekoppelt ist, um ein erstes verzögertes Steuersignal (LT1) und ein zweites verzögertes Steuersignal (LT2), welche jeweils zu dem verzögerten Eingangstaktsignal bzw. dem Speicherzugriffssteuersignal (PAR) korrespondieren, zu erzeugen;
- M3.1** wobei der zeitliche Ablauf des ersten verzögerten Steuersignals (LT1) früher als der zeitliche Ablauf des zweiten verzögerten Steuersignals (LT2) ist,
- M4** wobei das Taktverzögerungsmodul (102) umfasst:

**M4.1** eine erste steuerbare Taktverzögerungseinheit (102a), um einen ersten Verzögerungsbetrag für das Eingangstaktsignal bereitzustellen, um ein erstes verzögertes Eingangstaktsignal ( $VD_{clk1}$ ) zu erzeugen; und

**M4.2** eine zweite steuerbare Taktverzögerungseinheit (102b), um einen zweiten Verzögerungsbetrag für das Eingangstaktsignal bereitzustellen, um ein zweites verzögertes Eingangstaktsignal ( $VD_{clk2}$ ) zu erzeugen; und

**M5** das Verzögerungssteuersignal-Erzeugungsmodul (106) umfasst:

**M5.1** eine erste Registrierungsvorrichtung (106a), ausgelöst von dem ersten verzögerten Eingangstaktsignal ( $VD_{clk1}$ ) zum Lesen des Speicherzugriffssteuersignals (PAR), um das erste verzögerte Steuersignal (LT1) zu erzeugen; und

**M5.2** eine zweite Registrierungsvorrichtung (106b), ausgelöst durch das zweite verzögerte Eingangstaktsignal ( $VD_{clk2}$ ) zum Lesen des ersten verzögerten Steuersignals (LT1), um das zweite verzögerte Steuersignal (LT2) zu erzeugen;

dadurch gekennzeichnet, dass,

**M6.1** wenn der Frequenzdetektor (104) erfasst, dass die Frequenz des bestimmten Signals eine erste Frequenz ist, der Frequenzdetektor (104) den zweiten Verzögerungsbetrag auf Null setzt; und

**M6.2** wenn der Frequenzdetektor (104) erfasst, dass die Frequenz des bestimmten Signals eine zweite Frequenz ist, die höher als die erste Frequenz ist, der Frequenzdetektor (104) den zweiten Verzögerungsbetrag nicht auf Null setzt.“

Der seitens des Senats mit einer Gliederung versehene **Patentanspruch 5** lautet:

- N0** „Latenzzeitählverfahren, angewandt bei einem Speicher, um ein Speicherzugriffssteuersignal (PAR) zu verzögern, wobei das Verfahren umfasst:
- N1** Verzögern eines Eingangstaktsignals ( $V_{\text{clk1}}$ ) des Speichers, um ein verzögertes Eingangstaktsignal gemäß einem Verzögerungsbetrag zu erzeugen;
- N2** Erfassen einer Frequenz eines bestimmten Signals des Speichers, um den Verzögerungsbetrag festzulegen; und
- N3** Erzeugen eines ersten verzögerten Steuersignals (LT1) und eines zweiten verzögerten Steuersignals (LT2), welche jeweils zu dem Speicherzugriffssteuersignal (PAR) korrespondieren, gemäß dem verzögerten Eingangstaktsignal bzw. dem Speicherzugriffssteuersignal (PAR);
- N3.1** wobei der zeitliche Ablauf des ersten verzögerten Steuersignals (LT1) früher als der zeitliche Ablauf des zweiten verzögerten Steuersignals (LT2) ist,
- N4** wobei der Schritt der Verzögerung des Eingangstaktsignals ( $V_{\text{clk}}$ ) des Speichers, um das verzögerte Eingangstaktsignal gemäß dem Verzögerungsbetrag zu erzeugen, umfasst:
- N4.1** Vorsehen eines ersten Verzögerungsbetrags am Eingangstaktsignal ( $V_{\text{clk}}$ ), um ein erstes verzögertes Eingangstaktsignal ( $VD_{\text{clk1}}$ ) zu erzeugen; und
- N4.2** Vorsehen eines zweiten Verzögerungsbetrags am Eingangstaktsignal, um ein zweites verzögertes Eingangstaktsignal ( $VD_{\text{clk2}}$ ) zu erzeugen; und
- N5** der Schritt der Erzeugung des ersten verzögerten Steuersignals (LT1) und des zweiten verzögerten Steuersignals (LT2), die zu dem Speicherzugriffssteuersignal (PAR) korrespondieren, gemäß dem verzögerten Eingangstaktsignal und dem Speicherzugriffssteuersignal (PAR) umfasst:

- N5.1** Lesen des Speicherzugriffssignals (PAR) gemäß dem Auslösen des ersten verzögerten Eingangstaktsignals ( $VD_{clk1}$ ), um ein erstes verzögertes Steuersignal (LT1) zu erzeugen; und
- N5.2** Lesen des ersten verzögerten Steuersignals (LT1) gemäß dem Auslösen des zweiten verzögerten Eingangstaktsignals ( $VD_{clk2}$ ), um das zweite verzögerte Steuersignal (LT2) zu erzeugen;

dadurch gekennzeichnet, dass,

- N6.1** wenn erfasst wird, dass die Frequenz des bestimmten Signals eine erste Frequenz ist, der zweite Verzögerungsbetrag auf Null gesetzt wird; und
- N6.2** wenn erfasst wird, dass die Frequenz des bestimmten Signals eine zweite Frequenz ist, die höher als die erste Frequenz ist, der zweite Verzögerungsbetrag nicht auf Null gesetzt wird.“

Wegen des Wortlauts der Unteransprüche 2 bis 4, 6 und 7 wird auf die Akte verwiesen.

Die Beschwerdeführerin führt sinngemäß aus, dass die geltenden Ansprüche zulässig und im Lichte des im Verfahren befindlichen Standes der Technik patentfähig seien.

Wegen der weiteren Einzelheiten wird auf den Akteninhalt verwiesen.

## II.

Die zulässige Beschwerde hat in der Sache Erfolg. Sie führt zur Aufhebung des angefochtenen Beschlusses und zur Erteilung des nachgesuchten Patents.

1. Die vorliegende Anmeldung betrifft einen Latenzzeitähler, der bei einem Speicher angewandt wird, um ein Speicherzugriffssteuersignal zu verzögern,

sowie ein entsprechendes Latenzzeitzählverfahren (vgl. geltende Beschreibung, Seite 2, 1. Abs.).

Die Anmeldung geht davon aus, dass die Technik der Doppeldatenübertragungsrate (DDR) immer wichtiger werde, um die Schreib-/ Lese-Datenübertragungsrate von Direktzugriffsspeichern (RAM) zu erhöhen. Ein Direktzugriffsspeicher, der die Technik der Doppeldatenübertragungsrate nutze, sei als Doppeldatenübertragungsraten-Direktzugriffsspeicher (DDR RAM) bekannt. Wenn ein Mikroprozessor bereit sei, auf einen Speicher zuzugreifen, übertrage dieser normalerweise ein Lesesignal an den Steuerschaltkreis des Speichers, wobei das Lesesignal mit einem externen Taktsignal synchronisiert werde. Zusätzlich sei ein Latenzzeitzähler zwischen den Mikroprozessor und den Steuerschaltkreis geschaltet, um eine Zeitverzögerung für das Lesesignal bereitzustellen, um sicherzustellen, dass genug Zeit vorhanden ist, damit der Speicher auf die spezielle Adresse zugreifen könne. Aufgrund des großen Betriebsfrequenzbereichs des Speichers müsse der Latenzzeitzähler bei einer hohen Betriebsfrequenz eine andere Verzögerungstaktperiodenzahl aufweisen als bei einer niedrigen Betriebsfrequenz. Ein Latenzzeitzähler, der für eine hohe Betriebsfrequenz mit einer größeren Verzögerungsperiodenzahl ausgelegt sei, sei daher nicht für eine niedrige Betriebsfrequenz mit kleinerer Verzögerungsperiodenzahl geeignet. In dieser Situation beeinträchtige die immanente Verzögerung des Schaltkreises die Synchronisation zwischen dem externen Taktsignal und dem Lesesignal. Deshalb könne die immanente Verzögerung des Schaltkreises beim Betrieb mit hoher Betriebsfrequenz größer sein als die Taktperiode der hohen Betriebsfrequenz, und der Latenzzeitzähler könne einen Latenzzeitverzögerungsfehler ausgeben, wenn das Lesesignal eine geringfügige Nicht-Synchronität mit dem externen Taktsignal aufweise, was zu einem fehlerhaften Signallesevorgang durch den Steuerschaltkreis führe (geltende Beschreibung, Seite 2, 2. Abs. bis Seite 3, 1. Abs.).



Dementsprechend liegt der vorliegenden Patentanmeldung gemäß der geltenden Beschreibung die Aufgabe zugrunde, einen Latenzzeitähler bereitzustellen, der in einem Speicher angewandt wird, um ein Speicherzugriffssteuersignal zu verzögern, was einen Latenzzeitverzögerungsfehler des Latenzzeitählers verhindert, wenn das Lesesignal eine geringfügige Nicht-Synchronität mit dem externen Taktsignal aufweist (vgl. geltende Beschreibung, Seite 3, 2. Abs.).

Als zuständiger Fachmann ist ein Ingenieur der Elektrotechnik anzusehen, der über Erfahrung auf dem Gebiet der Zugriffsteuerung bei Speicherbausteinen, insbesondere bei Doppeldatenübertragungsraten-Direktzugriffsspeichern (DDR RAM) verfügt.

Zur Lösung der vorstehend genannten Aufgabe ist ein Latenzzeitähler gemäß den Ansprüchen 1 bis 4 und ein Latenzzeitählverfahren gemäß den Ansprüchen 5 bis 7 vorgesehen.

Bei dem beanspruchten Latenzzeitähler nach Anspruch 1 handelt es sich um ein mehrstufiges Verzögerungselement, bei dem einzelne Stufen in ihrer Verzögerung basierend auf der ermittelten Frequenz eines Eingangssignals („bestimmtes Signal“) des Speichers anpassbar sind. Dabei werden unterschiedlich verzögerte Taktsignale aus einem Eingangstaktsignal erzeugt, welche zum Bereitstellen eines verzögerten Speicherzugriffssteuersignals verwendet werden (Merkmalsgruppe M3). Der Latenzzeitähler weist hierzu ein Taktverzögerungsmodul auf, das zwei steuerbare Taktverzögerungseinheiten aufweist, die an ihrem Ausgang jeweils ein verzögertes Eingangstaktsignal bereitstellen, das um einen ersten bzw. einen zweiten Verzögerungsbetrag gegenüber dem ursprünglichen Eingangstaktsignal verzögert ist (Merkmalsgruppe M4). Zur Festlegung der verschiedenen Verzögerungsbeträge umfasst der Latenzzeitähler einen Frequenzdetektor, der die Beträge abhängig von der Frequenz eines erfassten Eingangssignals („bestimmtes Signal“) des

Speichers festlegt (Merkmal M2). Der Latenzzeitähler weist außerdem ein Verzögerungssteuersignal-Erzeugungsmodul auf (Merkmal M5), das mit dem verzögerten Eingangstaktsignal, dem Eingangstaktsignal und dem Speicherzugriffssteuersignal verbunden ist. Das Verzögerungssteuersignal-Erzeugungsmodul liefert ein erstes und ein zweites verzögertes Steuersignal in Abhängigkeit von dem jeweils ersten und zweiten verzögerten Eingangstaktsignal (Merkmale M5.1/M5.2). Wenn die erfasste Frequenz einer ersten vorgegebenen Frequenz entspricht, wird der zweite Verzögerungsbetrag auf Null gesetzt (Merkmal M6.1), und wenn die erfasste Frequenz eine zweite Frequenz ist, die höher als die erste Frequenz ist, wird der zweite Verzögerungsbetrag nicht auf Null gesetzt (Merkmal M6.2).

Das Latenzzeitählverfahren gemäß Anspruch 5 betrifft die Anwendung eines Latenzzeitählers entsprechend Anspruch 1 bei einem Speicher. Die jeweiligen Unteransprüche 2 bis 4, 6 und 7 umfassen Ausgestaltungen des Zählers bzw. des Zählverfahrens.

2. Die Ansprüche 1 bis 7 sowie die Änderungen in der Beschreibung sind zulässig (§ 38 PatG).

Anspruch 1 basiert auf den ursprünglich eingereichten Ansprüchen 1 und 2 (vgl. Merkmale M0 bis M6.2) und beinhaltet eine Richtigstellung in Merkmal M5.2 bezüglich des weiteren verzögerten Steuersignals LT2 basierend auf der ursprünglichen Beschreibung dieses Steuersignals nach Figur 1 (vgl. urspr. Beschreibung, S. 5, Z. 10 bis S. 6, Z. 13 / Merkmal M5.2). Anspruch 5 basiert auf den ursprünglich eingereichten Ansprüchen 6 und 7 sowie entsprechend Anspruch 1 auf der ursprünglichen Beschreibung des zweiten verzögerten Steuersignals nach Figur 1. Darüber hinaus wurden in beiden unabhängigen Ansprüchen Bezugszeichen ergänzt.

Die Unteransprüche 2 bis 4, 6 und 7 entsprechen den ursprünglichen Ansprüchen 3 bis 5, 8 und 9 unter Anpassung der Nummerierung und der Rückbezüge.

Die geltende Beschreibung beinhaltet eine zulässige Anpassung der ursprünglich eingereichten Anmeldeunterlagen, wobei eine Würdigung des Standes der Technik ergänzt sowie die offensichtlich falschen Bezugszeichen eines Takt- bzw. Datenanschlusses bei der Beschreibung zu Figur 1 ausgehend von Figur 1 und deren weiterer Beschreibung korrigiert wurden.

3. Die Gegenstände der unabhängigen Patentansprüche 1 und 5 sind gegenüber dem im Verfahren befindlichen Stand der Technik neu (§ 3 PatG).

a) Zum Anspruch 1

Druckschrift D7, die den nächstliegenden Stand der Technik darstellt, ist ein Latenzzeitähler zu entnehmen, der angewandt wird, um bei einem Speicher ein Speicherzugriffssteuersignal zu verzögern (vgl. Umwandlung des „read command executing signal casp\_rd“ in die internen Signale „oe10\_dll“ bis „oe40\_dll“; Beschreibung zu Fig. 1 und Fig. 2, Abs. [0017], [0023] und [0025] / **Merkmal M0**).

Dem Latenzzeitähler ist ein Taktverzögerungsmodul zu entnehmen (vgl. „delay locked loop“ i.V.m. „DLL output pulse adjusting unit“; Fig. 1 und 2, Abs. [0015] und [0023]), das mit einem Eingangstaktsignal („clock cycle iclk“, Abs. [0015]) bzw. den davon abgeleiteten Taktsignalen („rclk\_dll“ bzw. „fclk\_dll“, Abs. [0015], [0023]) gekoppelt ist, um zumindest einen Verzögerungsbetrag („CL“) am Eingangstaktsignal anzuwenden und ein verzögertes Eingangstaktsignal zu erzeugen (vgl. Signale „rclk\_dll\_oe10“ bis „rclk\_dll\_oe40“ bzw. „fclk\_dll\_oe15“ bis „fclk\_dll\_oe45“; Fig. 1 und 2 mit Beschreibung, Abs. [0015], [0019] und [0023] / **Merkmal M1**).

Der Latenzzeitähler weist einen Frequenzdetektor („frequency sensing unit“) auf, der jedoch nicht der Festlegung des Verzögerungsbetrags für ein Eingangstaktsignal dient (vgl. Fig. 4 mit Beschreibung, Abs. [0053]). Zudem sind Verzögerungsbeträge für das Eingangstaktsignal festgelegt, ohne dass hierzu der Frequenzdetektor Verwendung findet (vgl. Signale „CL2“, „CL3“, ...; Fig. 2 und Abs. [0023] / **teilweise Merkmal M2**).

Weiterhin ist ein Verzögerungssteuersignal-Erzeugungsmodule vorgesehen („signal transferring unit 43“), das mit dem verzögerten Eingangstaktsignal (bspw. „rclk\_dll\_oe10“, „rclk\_dll\_oe20“), dem Eingangstaktsignal („iclk“) und dem Speicherzugriffssteuersignal („casp\_rd“ basierend auf dem „read command“) gekoppelt ist, um ein erstes verzögertes Steuersignal („oe10\_dll“) gemäß des ersten verzögerten Eingangstaktsignals („rclk\_dll\_oe10“) und ein zweites verzögertes Steuersignal („oe20\_dll“) gemäß des zweiten verzögerten Eingangstaktsignals („rclk\_dll\_oe20“) zu erzeugen (vgl. Fig. 2 mit Beschreibung, Abs. [0025] / **Merkmal M3**), wobei der zeitliche Ablauf des ersten verzögerten Steuersignals früher als der zeitliche Ablauf des zweiten verzögerten Steuersignals ist (vgl. Eingänge / Ausgänge der jeweiligen D-Flipflops F1 und F2 gemäß Fig. 2 und Signalverlauf von „oe10\_dll“ und „oe20\_dll“ gemäß Fig. 3 / **Merkmal M3.1**).

Druckschrift D7 ist zudem zu entnehmen, dass das Taktverzögerungsmodul („delay locked loop“ i. V. m. „DLL output pulse adjusting unit“; vgl. Fig. 1 und 2, Abs. [0015]) eine erste sowie eine zweite Taktverzögerungseinheit umfasst, um einen ersten Verzögerungsbetrag bzw. einen zweiten Verzögerungsbetrag für das Eingangstaktsignal („iclk“ bzw. davon abgeleitet „rclk\_dll“ und „fclk\_dll“) bereitzustellen, um ein erstes verzögertes Eingangstaktsignal („rclk\_dll\_oe10“) bzw. ein zweites verzögertes Eingangstaktsignal („rclk\_dll\_oe20“) zu erzeugen, wobei die jeweilige Taktverzögerungseinheit durch die Verzögerungsbeträge (CL2...CL5) steuerbar ist (vgl. Fig. 2 mit Beschreibung, Abs. [0023] i. V. m. Abs. [0015] und [0019] / **Merkmale M4, M4.1, M4.2**). Das Verzögerungssteuersignal-Erzeugungsmodule („signal transferring unit 43“) umfasst eine erste und eine zweite Registrierungsvorrichtung (D-Flipflops F1 und F2),

um ausgelöst von dem ersten bzw. zweiten verzögerten Eingangstaktsignal („rckl\_dll\_oe10“, „rckl\_dll\_oe20“) zum Lesen eines Speicherzugriffssteuersignals („oe00“) bzw. dem (invertierten) ersten verzögerten Steuersignal (Ausgang  $\bar{Q}$  des D-Flipflops F1) das erste verzögerte Steuersignal („oe10\_dll“) bzw. das zweite verzögerte Steuersignal („oe20\_dll“) zu erzeugen (vgl. Fig. 2 mit Beschreibung, Abs. [0025] / **Merkmale M5, M5.1, M5.2**).

Druckschrift D7 unterscheidet sich vom Gegenstand des Anspruchs 1 darin, dass die Verzögerungsbeträge nicht anhand einer ermittelten Frequenz eines Eingangssignals als „bestimmtes Signal“ mittels eines Frequenzdetektors auf Null bzw. nicht auf Null gesetzt werden (Merkmale M6.1, M6.2 i. V. m. Merkmal M2 fehlen).

Der Gegenstand des Anspruchs 1 ist daher neu gegenüber der Lehre der Druckschrift D7.

Die Gegenstände der seitens der Prüfungsstelle zitierten Druckschriften liegen vom Gegenstand des Anspruchs 1 weiter entfernt als Druckschrift D7:

Druckschrift D1 ist ein Latenzzeitähler zu entnehmen, wie ihn auch die vorliegende Anmeldung als Stand der Technik voraussetzt. Dieser umfasst zwar mehrere Taktverzögerungseinheiten („programmable delay 1...n“) als Teil einer DLL-Schaltung. Es wird aber hierbei nur ein einziges verzögertes Eingangstaktsignal erzeugt (vgl. insbes. Fig. 1 und Fig. 3 mit zugehöriger Beschreibung). Der in Druckschrift D1 aufgeführte „phase comparator“ stellt dabei keinen Frequenzdetektor zum Erfassen der Frequenz eines Eingangssignals dar, welcher im Sinne des vorliegenden Anspruchs 1 einen unterschiedlichen ersten und zweiten Verzögerungsbetrag bereitstellt (Merkmale M2, M3.1, M4.2, M5.2, M6.1 und M6.2 fehlen).

Den Druckschriften D2 und D5 ist jeweils kein Hinweis auf einen Frequenzdetektor im Sinne der Merkmale M6.1 und M6.2 des Anspruchs 1 zu entnehmen (vgl. u. a. in D2: Fig. 1 und 4 mit Beschreibung; in D5: Abstract).

Druckschrift D3 offenbart ein Nachverfolgen des Zeitverhaltens der Datenausgänge eines Speichers (vgl. insbes. Sp. 1, Z. 35-60; Sp. 2, Z. 4-20) und dient damit einer völlig anderen Zielsetzung als der vorliegende Latenzzeitähler.

Gleiches gilt für Druckschrift D4, die eine Verbesserung eines verzögerten Taktsignals beschreibt (vgl. u. a. Zusammenfassung).

Keine der Druckschriften D2 bis D5 gibt dabei einen Hinweis, die Verwendung eines Frequenzdetektors zur Festlegung von verschiedenen Verzögerungsbeträgen zur Verzögerung eines Eingangstakts entsprechend der Merkmale M6.1 und M6.2 in Verbindung mit Merkmal M2 vorzunehmen.

Druckschrift D6 ist ein Latenzzeitähler zu entnehmen, der angewandt wird, um ein Speicherzugriffssteuersignal („column address select signal“) zu verzögern (vgl. u. a. Abs. [0044], [0045]). Der Latenzzeitähler weist einen Frequenzdetektor („frequency detection circuit“) auf, der mit dem Taktverzögerungsmodul gekoppelt ist, um eine Frequenz des Eingangstaktsignals des Speichers (CLK) zu erfassen (vgl. Fig. 1 und 2 mit Beschreibung, Abs. [0033] und [0036]). Hierbei erfolgt jedoch weder die Festlegung eines ersten und zweiten Verzögerungsbetrags des Eingangstaktsignals, noch ein Erzeugen zweier verzögerter Eingangstaktsignale entsprechend der Merkmale M6.1 und M6.2 i. V. m. Merkmal M2. Es wird zudem nur ein einzelnes verzögertes Steuersignal („yi“) bereitgestellt (vgl. insbes. Fig. 4b und Fig. 5 mit zugehöriger Beschreibung). Die Verzögerungselemente gemäß Figur 5 entsprechen hierbei nicht den Verzögerungseinheiten im Sinne der Merkmale M1 bzw. M4.1 und M4.2, da es sich bei dem dadurch verzögerten Signal nicht um das Ein-

gangstaktsignal handelt, sondern um das (einzige) Ausgangssignal der Vorrichtung (vgl. Fig. 5 mit zugehöriger Beschreibung).

Der Gegenstand des Anspruchs 1 ist daher ebenfalls neu gegenüber der jeweiligen Lehre der Druckschriften D1 bis D6.

b) Zum Anspruch 5

Der auf ein Latenzzeitzählverfahren gerichtete Anspruch 5 beschreibt die Funktion eines Latenzzeitzählers nach Anspruch 1 und entspricht in seinen Merkmalen inhaltlich den Merkmalen des Anspruchs 1 (vgl. korrespondierende Merkmale M0 bis M6.2 und N0 bis N6.2). Es wird daher auf die vorstehenden Ausführungen zur Neuheit des Anspruchs 1 gegenüber den Druckschriften D1 bis D7 verwiesen, die für Anspruch 5 in gleicher Weise gelten.

Der Gegenstand des Anspruchs 5 ist daher ebenfalls neu gegenüber der jeweiligen Lehre der Druckschriften D1 bis D7.

4. Die Gegenstände der Patentansprüche 1 und 5 sind dem Fachmann aus dem im Verfahren befindlichen Stand der Technik auch unter Einbeziehung seines Fachwissens nicht nahegelegt und beruhen auf einer erfinderischen Tätigkeit (§ 4 PatG).

a) Zum Anspruch 1

Druckschrift D7, die hinsichtlich des Gegenstands des Anspruchs 1 den nächstliegenden Stand der Technik darstellt, unterscheidet sich vom Gegenstand des Anspruchs 1 darin, dass die Beträge zur Erzeugung eines verzögerten Eingangstaktsignals nicht anhand der ermittelten Frequenz eines Eingangssignals als „bestimmtes Signal“ durch einen Frequenzdetektor festgelegt werden, womit Merkmal M2 zumindest teilweise fehlt.

Zwar sieht Druckschrift D7 einen Frequenzdetektor vor („frequency sensing unit“; vgl. Fig. 4 mit Beschreibung, Abs. [0053]). Dieser dient aber abweichend von der vorliegend beanspruchten Lösung nicht der Verzögerung eines Eingangstaktsignals, mit dessen Hilfe ein verzögertes Speicherzugriffsteuersignal gesteuert wird. Vielmehr wird gemäß Druckschrift D7 – basierend auf der mittels des Frequenzdetektors bestimmten Frequenz – die Steuerung eines Ausgangspuffers zur Ausgabe von Daten aus dem Speicher beeinflusst (vgl. Fig. 4 mit Beschreibung). Daher liegt es für den Fachmann ausgehend von Druckschrift D7 nicht nahe, basierend auf einer ermittelten Frequenz eine Verzögerung des Eingangstaktsignals im Sinne der Merkmale M6.1 und M6.2 vorzusehen.

Der Gegenstand des Anspruchs 1 ergibt sich auch unter Hinzuziehen des Fachwissens des Fachmanns nicht aus einer beliebigen Zusammenschau der den Druckschriften D1 bzw. D6 jeweils entnehmbaren Schaltung zum Erzeugen eines verzögerten Steuersignals. Denn aus keiner der Schriften ergibt sich ein Hinweis darauf, dabei unterschiedliche Verzögerungsbeträge vorzusehen, die in Abhängigkeit von der mittels des Frequenzdetektors bestimmten Frequenz festgelegt werden.

Wendet man die Lehre der Druckschrift D6 zur Anpassung der Verzögerung für einzelne Betriebsfrequenzbereiche auf eine DLL-Schaltung gemäß Druckschrift D1 an, unterscheidet sich das Ergebnis vom Gegenstand des Anspruchs 1 ebenfalls darin, dass keine zwei unterschiedlichen Verzögerungsbeträge für ein Eingangstaktsignal bestimmt und mit deren Hilfe zwei unterschiedlich verzögerte Speicherzugriffsteuersignale erzeugt werden. Die Zusammenschau der Druckschriften D1 und D6 legt daher dem Fachmann den Gegenstand des vorliegenden Anspruchs 1 nicht nahe.

Druckschrift D1 liefert keinen Anlass zur Bestimmung unterschiedlicher Verzögerungsbeträge für ein Eingangstaktsignal (vgl. Fig. 1 und 3 sowie die vor-



stehenden Ausführungen zur Neuheit). Da Druckschrift D7 lediglich offenbart, frequenzabhängige Korrekturen bei der Steuerung des Ausgangspuffers des Speichers und nicht an den Eingangstaktsignalen vorzunehmen (vgl. Fig. 4), führt auch eine Zusammenschau der Druckschriften D1 und D7 nicht zum Gegenstand des Anspruchs 1 mit den Merkmalen M6.1 und M6.2 i. V. m. Merkmal M2.

Gemäß Druckschrift D6 wird in Abhängigkeit von einer Frequenz des Eingangstaktsignals direkt Einfluss auf ein Steuersignal des Speichers genommen (vgl. Fig. 4b). Eine Veranlassung, anhand eines ermittelten Frequenzbereichs die Verzögerungen der Taktsignale gemäß Druckschrift D7 vorzunehmen und damit zwei unterschiedlich verzögerte Speicherzugriffssteuersignale bereitzustellen, ergibt sich hieraus nicht. Der Fachmann würde daher keine Zusammenschau der Druckschriften D6 und D7 in Erwägung ziehen; im Übrigen würde eine solche Zusammenschau auch nicht zum Gegenstand des Anspruchs 1 mit den Merkmalen M6.1 und M6.2 i. V. m. Merkmal M2 führen (vgl. die Ausführungen zu den Merkmalen M6.1 und M6.2 in Abschnitt II.3.).

Die gemeinsame Betrachtung der jeweiligen Druckschrift D1, D6 oder D7 mit den weiteren im Verfahren genannten Druckschriften D2 bis D5 führt ebenfalls zu keinem anderen Ergebnis, da keine dieser Druckschriften einen Hinweis auf den Einsatz eines Frequenzdetektors im Sinne der Merkmale M6.1 und M6.2 in Verbindung mit Merkmal M2 des vorliegenden Anspruchs 1 gibt.

Der Gegenstand des Anspruchs 1 ist daher dem Fachmann aus dem im Verfahren befindlichen Stand der Technik auch unter Einbeziehung seines Fachwissens nicht nahegelegt.

b) Zum Anspruch 5

Die vorstehenden Ausführungen zu Anspruch 1 gelten in gleicher Weise für den Gegenstand des Anspruchs 5, dessen Verfahrensmerkmale inhaltlich den Merkmalen des Latenzzeitählers nach Anspruch 1 entsprechen und der sich in gleicher Weise nicht in nahe liegender Weise aus dem Stand der Technik ergibt.

Der Gegenstand des Anspruchs 5 ist dem Fachmann daher aus dem im Verfahren befindlichen Stand der Technik auch unter Einbeziehung seines Fachwissens ebenfalls nicht nahegelegt.

5. Gleichfalls patentfähig sind die besonderen Ausführungsformen der den Latenzzeitähler nach Patentanspruch 1 betreffenden Patentansprüche 2 bis 4 sowie die das Latenzzeitählverfahren nach Patentanspruch 5 betreffenden Patentansprüche 6 und 7.
6. Da die Anmeldung mit den geltenden Unterlagen auch die übrigen Anforderungen zur Patentierung genügt (§§ 1, 2, 5 und 34 PatG), war auf die Beschwerde der Anmelderin der Zurückweisungsbeschluss der Prüfungsstelle für Klasse G 06 F des Deutschen Patent- und Markenamts aufzuheben und das Patent antragsgemäß zu erteilen.
7. Der Beschluss konnte auch ohne mündliche Verhandlung ergehen, da dem Antrag der Anmelderin vollumfänglich stattgegeben wurde.

### III.

#### Rechtsmittelbelehrung

Gegen diesen Beschluss steht der am Beschwerdeverfahren Beteiligten das Rechtsmittel der Rechtsbeschwerde zu. Da der Senat die Rechtsbeschwerde nicht zugelassen hat, ist sie nur statthaft, wenn gerügt wird, dass

1. das beschließende Gericht nicht vorschriftsmäßig besetzt war,
2. bei dem Beschluss ein Richter mitgewirkt hat, der von der Ausübung des Richteramtes kraft Gesetzes ausgeschlossen oder wegen Besorgnis der Befangenheit mit Erfolg abgelehnt war,
3. einem Beteiligten das rechtliche Gehör versagt war,
4. ein Beteiligter im Verfahren nicht nach Vorschrift des Gesetzes vertreten war, sofern er nicht der Führung des Verfahrens ausdrücklich oder stillschweigend zugestimmt hat,
5. der Beschluss aufgrund einer mündlichen Verhandlung ergangen ist, bei der die Vorschriften über die Öffentlichkeit des Verfahrens verletzt worden sind, oder
6. der Beschluss nicht mit Gründen versehen ist.

Die Rechtsbeschwerde ist innerhalb eines Monats nach Zustellung des Beschlusses beim Bundesgerichtshof, Herrenstr. 45 a, 76133 Karlsruhe, durch einen beim Bundesgerichtshof zugelassenen Rechtsanwalt als Bevollmächtigten schriftlich einzulegen.

Wickborn

Kruppa

Dr. Schwengelbeck

Altvater

Hu